



**YENİ MOS TEKNOLOJİLERİNE DAYALI
SÜREKLİ ZAMANLI ULTRA DÜŞÜK GERİLİMLİ
VE GÜÇLÜ AKTİF FİLTRE TASARIMI VE
UYGULAMALARI**

**2024
DOKTORA TEZİ
ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ**

**Arsen A. Mohameedshaker
MOHAMEEDSHAKIR**

**Tez Danışmanı
Doç. Dr.Hüseyin DEMİREL**

**YENİ MOS TEKNOLOJİLERİNE DAYALI SÜREKLİ ZAMANLI ULTRA
DÜŞÜK GERİLİMLİ VE GÜÇLÜ AKTİF FİLTRE TASARIMI VE
UYGULAMALARI**

Arsen A. Mohameedshaker MOHAMEEDSHAKIR

**Tez Danışmanı
Doç. Dr. Hüseyin DEMİREL**

**T.C.
Karabük Üniversitesi
Lisansüstü Eğitim Enstitüsü
Elektrik-Elektronik Mühendisliği Anabilim Dalında
Doktora Tezi
Olarak Hazırlanmıştır**

**KARABÜK
Temmuz 2024**

Arsen A. Mohameedshaker MOHAMEEDSHAKIR tarafından hazırlanan “YENİ MOS TEKNOLOJİLERİNE DAYALI SÜREKLİ ZAMANLI ULTRA DÜŞÜK GERİLİMLİ VE GÜÇLÜ AKTİF FİLTRE TASARIMI VE UYGULAMALARI” başlıklı bu tezin Doktora Tezi olarak uygun olduğunu onaylarım.

Doç. Dr. Hüseyin DEMİREL

Tez Danışmanı, Elektrik-Elektronik Mühendisliği Anabilim Dalı

Bu çalışma, jürimiz tarafından Oy Birliği ile Elektrik-Elektronik Mühendisliği Anabilim Dalında Doktora tezi olarak kabul edilmiştir. 18.07.2024

Ünvanı, Adı SOYADI (Kurumu)

İmzası

Başkan : Doç. Dr. Hüseyin DEMİREL (KBÜ)

Üye : Doç. Dr. Salih GÖRGÜNOĞLU (KÜ)

Üye : Doç. Dr. Satiye KORKMAZ (KBÜ)

Üye : Dr. Öğr. Üyesi Bilgehan ERKAL (KBÜ)

Üye : Dr. Öğr. Üyesi Keziban Seçkin CODAL (AYBÜ)

KBÜ Lisansüstü Eğitim Enstitüsü Yönetim Kurulu, bu tez ile, Doktora derecesini onamıştır

Doç. Dr. Zeynep ÖZCAN

Lisansüstü Eğitim Enstitüsü Müdürü

“Bu tezde yer alan bilgiler akademik kurallara ve etik ilkelere uygun olarak elde edildi ve sunuldu. Ayrıca bu çalışmadan kaynaklanmayan herhangi bir atıfta bulunmadığımı garanti ederim.”

Arsen A. Mohameedshaker MOHAMEEDSHAKIR

ÖZET

Doktora Tezi

YENİ MOS TEKNOLOJİLERİNE DAYALI SÜREKLİ ZAMANLI ULTRA DÜŞÜK GERİLİMLİ VE GÜÇLÜ AKTİF FİLTRE TASARIMI VE UYGULAMALARI

Arsen A. Mohameedshaker MOHAMEEDSHAKIR

Karabük Üniversitesi

Lisansüstü Eğitim Enstitüsü

Elektrik-Elektronik Mühendisliği Anabilim Dalı

Tez Danışmanı:

Doç. Dr. Hüseyin DEMİREL

Temmuz 2024, 215 sayfa

Bu çalışmada, modern elektronik ve haberleşme sistemlerinde kullanılan aktif devre elemanı olan transistörlerin boyutlarının Moore yasasına göre minimum düzeye çekilerek devre tasarımı amaçlanmıştır. Ayrıca düzlemsel teknolojinin sınırlamalarının dezavantajlarını gidermek için Fin şekilli alan etkili transistör (FinFET) ve kompaktlık elde eden çok kapılı devre elemanları gibi geleneksel olmayan mimari geliştirilmiştir. FinFET nanometre teknoloji düğümünde kısa kanal etkilerine karşı daha dayanıklıdır. Çok kapılı cihazların düzlemsel olmayan doğasına ek olarak devre tasarımcıları tarafından uygulanabilir bir teknoloji olarak kabul edilmeden önce ele alınması gereken kompakt modelin mevcudiyeti gibi çeşitli teknoloji entegrasyon zorlukları vardır. Analog devrelerin Lerit Figürü (FoM) cihaz teknolojisinin analog performansından önemli ölçüde etkilenir. Bu tez, ortaya çıkan

FinFET cihazlarını kullanarak devre performansını ciddi şekilde artıran ortak tasarım boşluğunu kapatmaya çalışmaktadır. Nanometre FinFET cihaz teknolojisi göz önüne alındığında FinFET cihazının geometrik yapısını tasarlayarak analog performans parametrelerini geliştirmeye çalışılır. Cihaz yapısı, düşük güç ve düşük voltaj için hem güçlü inversiyon hem de zayıf inversiyon rejiminde çalıştırılan kapı elektrodu olarak yüksek K hafniyum oksit ile izolatör (SOI) 7 nm FinFET'in üç boyutlu (3-D) bir mimarisidir. Önerilen cihazın geliştirilmiş analog performans parametrelerinin devre performansı üzerindeki etkisini göstermek için düşük güç dağılımının çok istenen analog devrelere entegre edilmiştir. 7 nm Finfet teknolojisi kullanılarak tasarlanan devrelerde düşük güç tüketimi ve yüksek performans elde edilmiştir.

Anahtar Sözcükler : Fin- şeklinde alan etkili transistör (FinFET), Analog devreler, Üç boyutlu (3-D) izolatörün mimarisi (SOI) ,7 nm FinFET transistör.

Bilim Kodu : 90529

ABSTRACT

Ph. D. Thesis

NOVEL MOS TECHNOLOGY BASED ULTRA-LOW VOLTAGE LOW POWER CONTINUOUS-TIME ACTIVE FILTER DESIGN AND ITS APPLICATION.

Arsen A. Mohameedshaker MOHAMEEDSHAKIR

Karabük University

Institute of Graduate Programs

Department of Electrical-Electronics Engineering

Thesis Advisor:

Assoc. Prof. Dr. Hüseyin DEMİREL

July 2024, 215 pages

This study aims to optimize circuit design by minimizing the dimensions of transistors, an active circuit element utilized in modern electronic and communication systems, according to Moore's Law. Furthermore, non-conventional architectures such as Fin-shaped Field Effect Transistors (FinFET) and multi-gated devices have been developed to mitigate the disadvantages posed by the limitations of planar technology. FinFETs are more resilient against short-channel effects in nanometer technology nodes. However, there are various challenges in technology integration that need to be addressed before these multi-gated devices can be accepted as a viable technology by circuit designers, including the availability of compact models that account for their non-planar nature. The analog performance of device technology has a substantial impact on the Leirit Figure (FoM) of analog circuits. This thesis attempts to bridge the common design gap that considerably

enhances circuit performance through the utilization of emerging FinFET devices. Considering the nanometer FinFET device technology, this work focuses on enhancing analog performance parameters by designing the geometric structure of the FinFET device. The device structure is a three-dimensional (3-D) architecture of the 7 nm Silicon on Insulator (SOI) FinFET, where the gate electrode operates under both strong inversion and weak inversion regimes with a high-k hafnium oxide insulator. To demonstrate the impact of the improved analog performance parameters of the proposed device on circuit performance, low-power distribution is integrated into highly desirable analog circuits. The circuits designed using 7 nm FinFET technology achieved low power consumption alongside high performance.

Key Word : Fin-shaped field-effect transistor (FinFET), Analog circuits, Three- dimensional (3-D) architecture of Isolator (SOI) ,7 nm FinFET transistor,

Science Code : 90529

TEŐEKKÜR

Bu tez alıőmasının yűrűtűlmesinde bilgi ve deneyimlerinden yararlandıđım sayın hocam Do. Dr. Hűseyin DEMİREL'e teőekkűrlerimi sunarım. Ayrıca bilimsel temeller ıőıđında alıőmamı yűnlendiren ve bilgilendiren bilgi ve yűnlendirmelerinden dolayı kendilerine őukranlarımı sunarım.

Tez izleme sűrecinde katkıda bulunan Do. Dr. Salih GÖRGÜNOĐLU ve Dr. Öğr. Üyesi Bilgehan ERKAL'a őukranlarımı sunarım.

Hayatım boyunca maddi ve manevi olarak her zaman yanımda olan deđerli eőim Dr. Sűnbűl SADIK ve ocuklarım Abdullah ARSEN ve Elmire ARSEN'a yűrekten minnettarlıđımı sunuyorum.

İÇİNDEKİLER

	<u>Sayfa</u>
KABUL.....	ii
ÖZET.....	iv
ABSTRACT.....	vi
TEŞEKKÜR.....	viii
İÇİNDEKİLER	ix
ŞEKİLLER DİZİNİ.....	xiv
ÇİZELGELER DİZİNİ	xx
SİMGELER VE KISALTMALAR DİZİNİ	xxi
BÖLÜM 1	1
GİRİŞ	1
1.1. LİTERATÜR TARAMASI.....	4
BÖLÜM 2	17
FİLTRE TEORİSİNE GİRİŞ	17
2.1. FİLTRELERİN SINIFLANDIRILMASI.....	18
2.2. İŞLENEN SİNYAL TÜRLERİNE GÖRE FİLTRELERİN SINIFLANDIRILMASI	19
2.3. TEMEL FİLTRELERİN ÖZELLİKLERİ.....	21
2.3.1. Düşük Geçiş Filtresinin Özellikleri:	21
2.3.2. Yüksek Geçişli Filtrenin Özellikleri:.....	22
2.3.3. Bant Geçiş Filtresinin Özellikleri:	22
2.3.4. Bant Reddetme Filtresinin Özellikleri:.....	23
2.4. POZİTİF VE NEGATİF GERİ BESLEMELİ YÜKSELTEÇLERİN PRENSİBİ	24
2.4.1. Olumsuz Geri Bildirimin Faydaları:	25
2.5. FİLTRENİN TRANSFER FONKSİYONU	25
2.5.1. Sıfır dereceli sistem	26

	<u>Sayfa</u>
2.5.2. Birinci Dereceden Sistem	27
2.5.3. İkinci Dereceden Sistem	27
2.6. DUYARLILIK VEYA HASSASİYET (SENSİTİVİTY) FONKSİYONU... 27	
2.6.1. Tanım.....	28
2.6.2. Duyarlılık Fonksiyonunun Özellikleri.....	28
2.6.3. Duyarlılık Katsayısı.....	28
BÖLÜM 3	30
FİN FET TEMELLERİ VE CİHAZ ÖZELLİKLERİ.....	30
3.1. CİHAZ ÖLÇEKLENDİRMEDE ZORLUKLAR	30
3.2. TEKNOLOJİ ÖLÇEKLENDİRMESİNİN ETKİLERİ.....	33
3.3. FİN FET İÇİN TAHMİNE DAYALI TEKNOLOJİ MODELLERİ.....	34
3.4. FİN FET'İN CMOS CİHAZI İLE KARŞILAŞTIRILMASI	35
3.4.1. CMOS Cihazındaki Dezavantajlar	35
3.4.2. FinFET'in Etkinliği	35
3.4.3. FinFET Cihaz Tasarımında Karmaşıklık.....	36
3.4.4. FinFET'in Ön Yargılı Tutulmasıyla İlgili Konular	36
3.4.5. Boyutlandırmadaki Sorunlar: FinFET'in V_s 7 nm	36
3.4.6. FinFET'lerde Daha Hızlı Geçiş	38
3.4.7. Termal Problemler	38
3.5. FİN FET PRENSİBİ.....	38
3.6. FİN FET TEKNOLOJİSİ	39
3.7. FİN FET ŞEMASI.....	42
3.8. FİN FET CİHAZININ ÇALIŞMASI	44
3.9. DRENAJ AKIMI DENKLEMİ.....	44
3.10. FİN FET MODELİ.....	46
3.10.1. FinFET Küçük Sinyal Modeli	46
3.10.1. FinFET Hücre Tasarımı	49
BÖLÜM 4	54
OPERASYONEL TRANSİLETKENLİK YÜKSELTİCİSİNDE (OTA) SOI FİN FET UYGULAMASI.....	54

	<u>Sayfa</u>
4.1. OTA TOPOLOJİSİ.....	57
4.1.1. Tek Aşamalı OTA.....	57
4.1.2. Çok Aşamalı OTA (Basamaklı Katlar Tek Aşamalı OTA).....	60
4.2. FİNFET OTA DEVRELERİ	60
4.2.1. Önerilen FinFET Klasik D-OTA Devre Yapısı.....	62
4.2.2. Önerilen FinFET Gelişmiş D-OTA Devre Yapısı	66
4.2.3. OTA-C Tekniğini Kullanarak LC Ağlarının Aktif Olarak Gerçekleştirilmesi	70
4.3. TRANSİLETKEN FİNFET İLE GERÇEKLEŞTİRİLMİŞ ELEMANLAR .	71
4.3.1. Transiletkenler Kullanarak Direnç Gerçekleştirme	71
4.3.2. Gyator Prensibini Kullanarak İndüktör Gerçekleştirme.....	73
4.4. FİNFET OTA-C KULLANILARAK GERÇEKLEŞTİRİLEN TAMAMEN DİFERANSİYEL BİQUAD	77
4.4.1. FinFET OTA-C 2.derecede bant geçiren filtresinin gerçekleştirilmesi....	78
4.4.2. FinFET OTA 2. Derecede Alçak Geçiren Filtrenin Gerçekleştirilmesi ...	80
4.4.3. FinFET OTA-C 4. Derecede Bant Geçiren Filtrenin Gerçekleştirilmesi	81
4.4.4. FinFET OTA-C 6. Derece Bant Geçirgen Filtrenin Gerçekleştirilmesi .	84
 BÖLÜM 5	 87
FİNFET 7 nm ALÇAK GERİLİM DÜŞÜK GÜÇ TRANSİLETKENLİK AMPLİFİKATÖRÜNÜN YENİ TASARIMI VE SONUÇLARI	87
5.1. FİNFET GERİLİM FARKLILAŞTIRICI TRANSİLETKENLİK AMPLİFİKATÖRÜ (VDTA).....	90
5.2. ÇOKLU ÇIKIŞ FİNFET GERİLİM FARKLILAŞTIRICI TRANSİLETKENLİK AMPLİFİKATÖRÜ (MO-VDTA)	92
5.3. DO-VDTA'YA DAYALI FİNFET'İN PARAZİTTİK VE İDEAL OLMAYAN DEĞERLENDİRİLMESİ	93
VDTA'nın Paraziter Çalışması	93
5.4. FİNFET VDTA KULLANAN EVRENSEL BİQUAD FİLTRESİ	94
5.4.1. FinFET VDTA Simülasyon Sonuçları ve Tartışma.....	96
5.5. AKTİF FİNFET VDTA VOLTAJ MODU ÇOK İŞLEVLİ FİLTRE GERÇEKLEŞTİRME	101

5.5.1. FinFET transistör kullanılarak önerilen VDTA tabanlı evrensel biquadratic filtre.....	104
5.6. ÖNERİLEN VOLTAJ MODU MO-VDTA ELEKTRONİK OLARAK AYARLANABİLİR EVRENSEL FİLTRE.	107
5.7. ÖNERİLEN AKIM MODU MO-VDTA EVRENSEL FİLTRE	110
AKIM-MOD BÖLÜMÜ	112
5.8. ÇOK KANALLI Z KOPYASI AKIM FARKLILAŞTIRICI TRANSİLETKENLİK AMPLİFİKATÖRÜ (MU-ZC-CDTA).....	112
5.9. MU-ZC-CDTA VE BİQUAD FİLTRE UYGULAMASI.....	118
5.10. AKIM MODU BİQUAD FİLTRE TOPOLOJISINE DAYALI TEK AKTİF ELEMEN (FİNİFET MU-ZC-CDTA).	120
5.11. Z-KOPYA AKIM TAKİPÇİSİ TRANSİLETKENLİK AMPLİFİKATÖRÜ (ZC-CFTA).....	122
5.12. ÖNERİLEN TEK ZC-CFTA TABANLI AKIM MODLU EVRENSEL BİQUAD FİLTRE	126
5.13. ÖNERİLEN TRANS-EMPEDANS MODU EVRENSEL BİQUAD FİLTRE, ÜÇ ZC-CFTA'DAN OLUŞUR.....	127
BÖLÜM 6	130
FİNİFET TRANSİSTÖR TABANLI TRANSFORMATÖR VE OSİLATÖR TASARIMI	130
6.1. GİRATÖRLERİ (DÖNDÜRÜCÜLERİ) KULLANAN AKTİF FİLTRELER	130
6.1.1. Önerilen Yeni Devre Tasarımı.....	133
6.1.2. Akım Farklılaştırıcı Transiletkenlik Amplifikatörü (CDTA).....	135
6.1.3. Gerilim Farklılaştırıcı Transiletkenlik Amplifikatörü (Mu-Zc-VDTA).....	139
6.1.4. Z- Copy Akım Takipçisi Transiletkenlik Amplifikatörleri	145
6.1.5. Zc-CFTA'nın Önerilen Karşılıklı Bağlantılı Devresi	150
GERİLİM VE AKIM MODUNA DAYALI ÖNERİLEN OSİLATÖR	154
6.2. GERİLİM MODU İLE OSİLATÖR TASARIMI FİNİFET GM-C YAPISI	154
6.2.1. Önerilen FinFET Gm-C Osilatörü	157

6.1.2. Gerilim Modu Gm-c Üçüncü Derece Sinüzoidal Osilatör Konfigürasyonları	158
6.3. Do-VDTA KULLANARAK GERİLİM MODU OSİLATÖRÜ	162
6.4. TEK Do-VDTA TABANLI SİNÜZOİDAL KUADRATÜR OSİLATÖR. 165	
6.5. AKİM MODU İLE OSİLATÖR TASARIMI FİNFET MU-ZC-CDTA YAPISI	167
6.6. ZC-CFTA KULLANAN AKIM MODU DİRENÇSİZ OSİLATÖR.....	170
6.7. İKİ TOPRAKLANMIŞ KAPASİTÖR VE BİR DİRENÇ KULLANAN ÖNERİLEN ZC-CFTA OSİLATÖRÜ.....	172
6.8. DENEYSEL SONUÇLAR OTA.....	174
6.9. DENEYSEL SONUÇLAR ZC-CFTA	178
6.10. INTEL (CORE İ9 11900K) VE RYZEN (9 5900X) SEMICONDUCTOR ARASINDAKİ KARŞILAŞTIRMA.....	180
BÖLÜM 7	186
SONUÇLAR ve ÖNERİLER.....	186
KAYNAKLAR	189
EKLER.....	199
ÖZGEÇMİŞ	215

ŞEKİLLER DİZİNİ

Sayfa

Şekil 1.1.	Çok kapılı transistörlerin ailesi ve diğer çok kapılı cihazlar	2
Şekil 1.2.	Intel'in Yarı İletken Teknoloji Liderliği	3
Şekil 1.3.	ITRS —Yarı İletken için Uluslararası Teknoloji Yol Haritası.....	4
Şekil 1.4.	FinFET cihazının şeması	6
Şekil 2.1.	Filtrelerin sınıflandırılması.....	19
Şekil 2.2.	Alçak geçiren bir filtrenin özellikleri.	21
Şekil 2.3.	Yüksek geçişli bir filtrenin özellikleri.....	22
Şekil 2.4.	Bir bant geçiş filtresinin özellikleri	23
Şekil 2.5.	Bir bant reddetme filtresinin özellikleri	23
Şekil 2.6.	Pozitif ve negatif geri besleme amplifikatörünün blok diyagramı	24
Şekil 2.7.	Bir sistemin blok diyagramı	25
Şekil 3.1.	Düzlemsel ve FinFET transistörü için kapı voltajına karşı kanal akımı [52]	32
Şekil 3.2.	FinFET'te düşük VDD (a) kanal akımında FinFET (b) FinFET'te gecikme [53].....	33
Şekil 3.3.	FinFET cihaz geometrisi	37
Şekil 3.4.	(a) genel bir CMOS cihazının ve (b) dört kanatlı kısa devre geçit FinFET cihazının düzeni	38
Şekil 3.5.	7 nm'lik FinFET veya DG MOSFET'in yapısı.....	39
Şekil 3.6.	(a) SG-FinFET (b) IG-FinFET	40
Şekil 3.7.	(a) FinFET (b) Trigate FinFET arasındaki yapısal karşılaştırmalar	41
Şekil 3.8.	(a) SG INV (b) LP INV (c) IGn INV (d) Igp INV'nin şematik diyagramları.....	42
Şekil 3.9.	İnvertör simülasyon sonuçları	43
Şekil 3.10.	FinFET yapısının şeması	44
Şekil 3.11.	(a) 7 nm N-kanallı FinFET kapı uzunluğu için farklı kapı ön yargı voltajında simüle edilmiş ID—VDS aileleri. (b) Çekme ağı ($t_p = 1.2 \cdot t_n$) e açılır ağı (t_N) ile ilişkili ID—VSS eğrisi.....	45
Şekil 3.12.	Üçlü kapılı FinFET yapısının üç boyutlu şeması	46
Şekil 3.13.	Test çerçeveli devrenin kalıp resmi.....	47
Şekil 3.14.	FinFET küçük sinyal eş değer modeli.....	47

Şekil 3.15.	Yeni FinFET için küçük sinyal eş değer devresi.....	48
Şekil 3.16.	Küçük sinyal eş değer modeli	49
Şekil 3.17.	DGPMOS sembolü.....	52
Şekil 3.18.	Simülasyon FinFET transistör karakteristikleri	52
Şekil 3.19.	Çift kapılı NMOS FinFET’te özellikleri simüle etmek için LTspice şeması.	53
Şekil 3.20.	Giriş özellikleri (a ve b), VG'ye karşı I	53
Şekil 4.1.	Geliştirme teknikleri kazanır	59
Şekil 4.2.	(a) kaskad transiletken (b) düzenli kaskod transiletkeni	59
Şekil 4.3.	Tek çıkışlı ideal OTA devresi.	60
Şekil 4.4.	(a)Dengeli çıkışlı ideal OTA devresi (b)eş değer devresi	61
Şekil 4.5.	Dengeli OTA devre yapısı.....	61
Şekil 4.6	Klasik FinFET OTA yapısının şematik gösterimi.....	63
Şekil 4.7.	Klasik FinFET OTA Dc akım karakteristiği	64
Şekil 4.8.	Klasik FinFET OTA Ac akım karakteristiği	64
Şekil 4.9.	Klasik FinFET OTA transiletkenliği karakteristiği.....	65
Şekil 4.10.	Klasik FinFET OTA Çıkış direnci karakteristiği	66
Şekil 4.11.	Gelişmiş FinFET OTA yapısının şematik gösterimi	67
Şekil 4.12.	Gelişmiş FinFET OTA Dc akım karakteristiği	68
Şekil 4.13.	Gelişmiş FinFET OTA Ac akım karakteristiği	68
Şekil 4.14.	Klasik FinFET OTA transiletkenliği karakteristiği.....	69
Şekil 4. 15.	Gelişmiş FinFET OTA çıkış direnci karakteristiği	70
Şekil 4.16.	Transiletkenlerin direnç benzeri konfigürasyonları: (a) topraklanmış tek uçlu çıkış. (b) diferansiyel. (c) yüzen (Serbest) direnç.....	72
Şekil 4.17.	Gelişmiş FinFET OTA Ac. çıkış direnci karakteristiği.....	73
Şekil 4.18.	Gelişmiş FinFET OTA Dc. çıkış direnci karakteristiği.....	73
Şekil 4.19.	(a) Gyator sembolü; (b) Genel küçük sinyal eş değer devresi; (c) Topraklanmış bir indüktörün gyator simülasyonu; (d) Yüzer bir indüktörün gyator simülasyonu.....	74
Şekil 4.20.	Topraklanmış bir endüktansın OTA-C uygulaması	74
Şekil 4.21.	Yüzer endüktansın ota-c uygulaması	75
Şekil 4.22.	Yüzer endüktansın FinFET OTA-C uygulaması.....	76
Şekil 4.23.	FinFET OTA-C kullanılarak gerçekleştirilen biquad'ın diferansiyel versiyonu	77
Şekil 4.24.	Pasif bant geçiren RLC filtresi	77

Şekil 4.25.	Pasif alçak geçişli rlc filtresi	78
Şekil 4.26.	Aktif ve pasif bant geçiren filtresi	79
Şekil 4.27.	Aktif ve pasif alçak geçiren filtresi	80
Şekil 4.28.	(a) Caskad bağlantısı, (b) Leap-frog topolojisi, (c) LC ladder ağı [79].	82
Şekil 4.29.	FinFET OTA-C 4. dereceden bant geçiren Butterworth filtresi a) Pasif elemanlar ile gerçekleştirilmesi b) Aktif 4. derecede FinFET OTA-c filtresi	83
Şekil 4.30.	Aktif ve pasif bant geçiren filtresi	84
Şekil 4.31.	FinFET OTA-C 6. dereceden bant geçiren Butterworth filtresi a) Pasif elemanlar ile gerçekleştirilmesi b) Aktif 6. derecede FinFET OTA-c f ...	85
Şekil 4.32.	Aktif ve Pasif Bant geçiren filtres	86
Şekil 5.1.	FinFET VDTA blok diyagramı	90
Şekil 5.2.	FinFET VDTA iç mimarisi	91
Şekil 5.3.	FinFET MO-VDTA'nın blok diyagramı.....	92
Şekil 5.4.	Ek Z-kopyası ile VDTA'nın FinFET uygulaması.....	93
Şekil 5.5.	Port paraziti dâhil pratik FinFET VDTA	94
Şekil 5.6.	FinFET VDTA tabanlı LP, HP, BP filtreleri uygulaması	95
Şekil 5.7.	(a) Finfet'te VDTA'nın transiletkenlik parametrelerindeki değişim (b) FinFET tabanlı do-VDTA'da kullanılan FinFET	97
Şekil 5.8.	DC transiletkenlik transfer özellikleri grafikleri (a) IZ+ ve VP Fenfet VDTA (b) DO-VDTA tabanlı FinFET için IZ+ ve IZ- karşı VN	98
Şekil 5.9.	VDTA ve DO-VDTA'nın frekans tepkileri	99
Şekil 5.10.	VDTA devresi için çıkış empedanslarının frekans bağımlılığı	100
Şekil 5.11.	Finfet VDTA kullanarak LP, BP, HP filtrelerinin frekans tepkileri ..	101
Şekil 5.12.	Voltaj modu FinFET VDTA tabanlı LP, HP, BP filtreleri uygulaması	102
Şekil 5.13.	Şekil 9'daki aktif voltaj modu çok işlevli filtre için simüle edilmiş AC transfer yanıtları	104
Şekil 5.14.	Voltaj modu VDTA evrensel biquadratik aktif filtre	105
Şekil 5.15.	Önerilen VDTA tabanlı evrensel biquadratic filtre	107
Şekil 5.16.	Önerilen voltaj modu evrensel biquad aktif filtre	108
Şekil 5.17.	Şekil 5.16'da önerilen filtre için simüle edilmiş LP, BP, HP ve BS yanıtları.....	109
Şekil 5.18.	Önerilen MISO akım modu filtresi	110
Şekil 5.19.	Faz yanıtları önerilen MISO akım modu filtresi	112

Sayfa

Şekil 5.20.	CDTA'nın şematik görünümü	113
Şekil 5.21.	CDTA'nın blok diyagramı	113
Şekil 5.22.	ZC-CDTA'nın şematik görünümü	114
Şekil 5.23.	ZC-CDTA'nın blok diyagramı.....	114
Şekil 5.24.	Mu-Zc-CDTA'nın FinFET Gerçekleştirilmesi	115
Şekil 5.25.	FinFET Mu-Zc-CDTA'nın DC transfer özellikleri	116
Şekil 5.26.	$V_z = 0$ için mevcut kazanımların I_z/I_p , I_z/I_n , I_{x+}/I_p ve I_{x+}/I_n frekans tepkileri.....	117
Şekil 5.27.	FinFET Mu-Zc-CDTA'nın transiletkenliği	117
Şekil 5.28.	P ve n terminallerinin empedanslarının frekans bağımlılığı	118
Şekil 5.29.	Mu-Zc-CDTA'ya dayalı filtre yapısı	119
Şekil 5.30:	Biquad 6. dereceden filtre yapısı	119
Şekil 5.31.	Düzen sonrası simülasyonlarla ikinci, dördüncü ve altı dereceli filtre özellikleri.....	120
Şekil 5.32.	Mu-Zc-CDTA Filtre Devresi.....	121
Şekil 5.33.	Önerilen Mu-Zc-CDTA filtre devresinin frekans tepkisi.....	122
Şekil 5.34.	Kullanılan ZC-CFTA'nın FinFET uygulaması.....	123
Şekil 5.35.	ZC-CFTA (a) Devre Sembolü; (b) Eş değer devre	123
Şekil 5.36.	I_{x+} ve I_{x-} vs V_z akımları.	124
Şekil 5.37.	Frekansa karşı I_z/I_f ve I_{zc}/I_f akım kazancı	125
Şekil 5.38.	I_{x+}/V_z ve I_{x-}/V_z ile frekansın transiletkenlik kazanımları.....	125
Şekil 5.39.	Önerilen akım modu evrensel çift dörtlü filtre	126
Şekil 5.40.	Şekil 5.39'de önerilen filtrenin simüle edilmiş LP, BP ve HP akım tepkileri.....	127
Şekil 5.41.	Önerilen trans-empedans modu evrensel biquad filtre.....	128
Şekil 5.42.	BP, LP, HP ve BR filtresinin simüle edilmiş frekans tepkisi.....	129
Şekil 6.1.	Eş değer yüzer indüktör.....	133
Şekil 6.2.	(a). Transformator elemanı sembolü (b) Transformator elemanının T tipi eş değer devresi	134
Şekil 6.3.	Önerilen yapay transformator devresi tabanlı iki Zc-CDTA.....	135
Şekil 6.4.	Önerilen yapay transformator devresi tabanlı dört Zc-CDTA	136
Şekil 6.5.	Çift ayarlı bant geçiş filtresi	137
Şekil 6.6.	DTBP filtresinin ideal ve simüle edilmiş frekans tepkisi.....	138
Şekil 6.7.	Bant geçişli filtrenin kazanç özellikleri.....	138
Şekil 6.8.	Karşılıklı bağlanmış devre (Mutually coupled circuit MCC)	141

Şekil 6.9.	Eş değer devre	141
Şekil 6.10.	Önerilen yapay transformatör devresi tabanlı iki Mu-Zc-VDTA	142
Şekil 6.11.	Önerilen yapay transformatör devresi tabanlı üç Mu-Zc-VDTA.....	143
Şekil 6.12.	DTBP filtresinin ideal ve simüle edilmiş frekans tepkisi.....	144
Şekil 6.13.	Bant geçişli filtrenin kazanç özellikleri.....	145
Şekil 6.14.	(a) Yüzer indüktörün elektrik sembolü, (b) önerilen yüzer kayıpsız endüktans simülatörü.....	146
Şekil 6.15.	(a) GIS (topraklanmış endüktans simülatörü) indüktörün elektrik sembolü, (b) önerilen GIS (topraklanmış endüktans simülatörü) kayıpsız endüktans simülatörü	147
Şekil 6.16.	Yüzen kayıpsız endüktansın frekansına göre empedansın ideal ve simüle edilmiş büyüklük ve faz tepkileri	148
Şekil 6.17.	(a) GIS (topraklanmış endüktans simülatörü) indüktörün elektrik sembolü, (b) önerilen GIS (topraklanmış endüktans simülatörü) kayıpsız endüktans simülatörü	149
Şekil 6.18.	Yüzen kayıpsız endüktansın frekansına göre empedansın ideal ve simüle edilmiş büyüklük ve faz tepkileri	149
Şekil 6.19.	Kayıplı GIS (topraklanmış endüktans simülatörü) frekansına göre empedansın ideal ve simüle edilmiş büyüklük ve faz tepkileri.....	150
Şekil 6.20.	a) Karşılıklı bağlantılı devrenin sembolü, b) eş değer devresi	151
Şekil 6.21.	(a ve b) Önerilen sentetik yüzer transformatör devresi	151
Şekil 6.22.	Sunulan karşılıklı bağlantılı devreyi test etmek için bant geçişli filtre örneği.....	152
Şekil 6.23.	Şekil 6.19'daki teorik ve simüle edilmiş bant geçiş filtresinin özellikleri	153
Şekil 6.24.	Şekil 6.20'deki teorik ve simüle edilmiş bant geçiş filtresinin özellikleri	154
Şekil 6.25.	Bir osilatörün temel yapısı	157
Şekil 6.26.	Önerilen FinFET GM-c osilatörü	157
Şekil 6.27.	Gm-c osilatörünün voltaj çıkışları	158
Şekil 6.28.	Önerilen üçüncü dereceden dördü sinüzoidal osilatörler TOQSO.....	159
Şekil 6.29.	Şekil 6.26'da önerilen TOQSO'ların simüle edilmiş geçici ve kararlı durum yanıtlarını göstermektedir.	161
Şekil 6.30.	Şekil 6.26'daki simüle edilmiş geçici akım kareler çıkışları	162
Şekil 6.31.	Gerilim modu Do-VDTA osilatörü	164
Şekil 6.32.	165
Şekil 6.33.	Gerilim modu DO-VDTA osilatör çıkış dalga formları.....	165

Şekil 6.34.	— Önerilen voltaj modu DO-VDTA osilatörü.....	165
Şekil 6.35.	Tek Do-VDTA osilatörünün geçici çıkışı	167
Şekil 6.36.	Mu-Zc-CDTA tabanlı dörtlü osilatörün devre konfigürasyonu	168
Şekil 6.37.	Mu-Zc-CDTA tabanlı osilatör devresinin X- terminalinde sinüzoidal akım çıkışı	170
Şekil 6.38.	Zc-CFTA'ları kullanan önerilen Akım modlu osilatörü.....	171
Şekil 6.39.	Önerilen osilatörün simülasyon sonuçları ve geçici yanıt edilmiş çıkış dalga formları Io1 ve Io2.....	172
Şekil 6.40.	Önerilen Zc-CFTA osilatörünün devre şeması	173
Şekil 6.41.	Kuadratur osilatörün akım dalga formlarının simülasyon sonuçları ..	174
Şekil 6.42.	Şekil 6.26 (d)'de gösterilen TOQSO için deneysel kurulum.....	175
Şekil 6.43.	Deneysel VM dörtgen çıkış dalga formları ve Şekil 6.26 (a)'nın frekans spektrumu	176
Şekil 6.44.	Deneysel VM dörtgen çıkış dalga formları ve Şekil 6.26 (a)'nın frekans spektrumu	176
Şekil 6.45.	Deneysel VM dörtgen çıkış dalga formları ve Şekil 6.26 (a)'nın frekans spektrumu	177
Şekil 6.46.	Deneysel VM dörtgen çıkış dalga formları ve Şekil 6.26 (a)'nın frekans spektrumu	178
Şekil 6.47.	Şekil 6.37'de gösterilen TOQSO için deneysel kurulum.....	178
Şekil 6.48.	C = 10pF ile QO için çıkış voltajı dalga formu.....	179
Şekil 6.49.	C = 10pF ile QO için çıkış spektrumu.....	179
Şekil 6.50.	INTEL (çekirdek i9 11900k) ve Ryzen 9 5900x	181
Şekil 6.51.	Entegre devre içinde INTEL (çekirdek i9 11900k) ve Ryzen 9 5900x	182
Şekil 6.52.	(a) Ryzen 9 5900x ve (b) INTEL (çekirdek i9 11900k) arasındaki performans testi	183
Şekil 6.53.	(a ve b) INTEL (çekirdek i9 11900k) ve Ryzen 9 5900x arasındaki hız	184

ÇİZELGELER DİZİNİ

	<u>Sayfa</u>
Çizelge 2.1. Hassasiyet fonksiyonunun özellikleri.....	28
Çizelge 4.1. Çizelge 4.1. Klasik Fımfet OTA simülasyon sonuçları.....	65
Çizelge 4.2. Gelişmiş FinFET OTA simülasyon sonuçları	69
Çizelge 4.3. Gelişmiş FinFET OTA ile gerçekleştirilmiş serbest endüktör simülasyon sonuçları	76
Çizelge 4.4. Gelişmiş FinFET OTA ile gerçekleştirilmiş pasif bant geçiren parametreleri.....	79
Çizelge 4.5. Gelişmiş FinFET OTA yapısı ile gerçekleşen aktif alçak geçiren fitlere parametreleri.....	79
Çizelge 4.6. Gelişmiş FinFET OTA ile gerçekleştirilmiş pasif alçak geçiren parametreleri.....	80
Çizelge 4.7. Gelişmiş FinFET OTA yapısı ile gerçekleşen aktif alçak geçiren fitlere parametreleri.....	81
Çizelge 4.8. Gelişmiş FinFET OTA ile gerçekleştirilmiş 4. derecede pasif alçak geçiren parametreleri	82
Çizelge 4.9. Gelişmiş FinFET OTA yapısı ile gerçekleşen 4. derecede aktif alçak geçiren fitlere parametreleri	82
Çizelge 4.10. Bant geçiren değerleri sağlayan pasif devrenin parametreleri	84
Çizelge 4.11. Gm-C'nin geliştirilmiş FCS yapıları ile gerçekleşen bant geçiren filtre yapısının parametreleri	84
Çizelge 5.15. Biquad filtre için giriş koşulları.....	95
Çizelge 5.2. Akım modu MO-VDTA filtre için giriş koşulları	111
Çizelge 6.1. Şekil 6.26 devresinin CO ve FO.....	159
Çizelge 6.2. V01 ve V02 voltajları arasındaki dörtgen ilişkisi.....	160
Çizelge 6.3. Akımlar I01 ve I02 arasındaki dörtgen ilişkisi	160
Çizelge 6.4. Şekil 6.26 için kullanılan çeşitli transiletkenlik değerleri	161

SİMGELER VE KISALTMALAR DİZİNİ

SİMGELER

H_{eff}	: Etkili silikon Fin yüksekliği
T_{eff}	: Etkili silikon kanat kalınlığı
L_{el}	: Elektriksel (etkili) Kanal uzunluğu
$x(t)_i$: Bir sistemin giriş sinyali.
$x(t)_o$: Bir sistemin çıkış sinyali.
$x(s)_i$: Bir sistemin giriş sinyalinin Laplace dönüşümleri.
$x(s)_o$: Bir sistemin çıkış sinyalinin Laplace dönüşümleri.
$G(s)$: Aktarım fonksiyonu/Bir sistemin açık döngüsü.
$H(s)$: Bir sistemin kapalı döngüsü.
k	: Sabit.
Z	: Sönümlenme oranı.
G	: Kazanç (dB).
T	: Dönem (s).
tr	: Yükselme süresi (s).
ts	: Yerleşim zamanı (s).
S_H^x	: Hassasiyet fonksiyonu
V_{int}/V_i	: Giriş sinüzoidal voltaj sinyali.
I_{int}/I_i	: Giriş sinüzoidal akım sinyali.
V_{out}/V_o	: Çıkış sinüzoidal voltaj sinyali.
I_{out}/I_o	: Çıkış sinüzoidal akım sinyali.
I_{abc}	: Amplifikatör ön yargı akımı ().
I_{o+}	: Pozitif polarite (artı) akımı ().
I_{o-}	: Negatif polarite (eksi) akımı ().
g_m	: Operasyonel transkondüktans amplifikatörünün transiletkenlik kazancı.
I_B	: Ön yargı (Bias) akımı ().

V	: Volt (SI potansiyel birimi).
V_T	: Termal voltaj (V).
K	: Kelvin, SI sıcaklık birimi, temel.
A	: Operasyonel amplifikatörün voltaj kazancı/açık döngü kazancı.
dB	: Desibel (S.I. olmayan yoğunluk birimi).
A	: Amper (S.I. akım birimi, temel).
C	: Coulomb (SI yük birimi = A*s).
q, Q	: Şarj (C).
Hz	: Hertz, SI frekans birimi= S^{-1}

KISALTMALAR

AMS	: Analog Mixed Signal (Analog Karışık Sinyal)
BOX	: Buried Oxide (Gömülü Oksit)
BPF	: Band Pass Filter (Bant Geçiş Filtresi).
BRF	: Band Reject Filter (Bant Reddetme Filtresi).
BSF	: Band Stop Filter (Bant Durdurma Filtresi).
CO	: Condition of Oscillation (Oscillatör'ün Durumu)
CMOS	: Complementary Metal Oxide Semiconductor (Tamamlayıcı Metal Oksit Yarıiletken)
CMRR	: Common Mode Rejection Ratio (Ortak Mod Reddetme Oranı)
CDTA	: Current differencing transconductance amplifier (Akım farklılaştırıcı transiletkenlik amplifikatörü)
CFTA	: current follower trans-conductance amplifiers (Akım takipçisi transiletkenlik amplifikatörleri)
DIBL	: Drain Induced Barrier Lowering (Drenaj Kaynaklı Bariyer Düşürme)
EOT	: Equivalent Gate oxide thickness (Eş değer Kapı oksit kalınlığı)
F.D.SOI	: Fully Depleted Silicon on Insulator (İzolatörde Tamamen Tükenmiş Silikon)
FinFET	: Fin shaped Field Effect Transistor (Kanatlı Alan Etkili Transistör)
FoM	: Figure of Merit (Liyakat Figürü)
FO	: Frequency of Oscillation (Osilatör Frekansı)
GBW	: Gain Bandwidth product (Gain Bandwidth ürünü).

HF	: High Frequency (Yüksek Frekans)
HPF	: High Pass Filter (Yüksek Geçişli Filtre).
I.C.	: Integrated Circuit (Entegre Devre)
ICMR	: Input Common Mode Range (Giriş Ortak Mod Aralığı)
IN-Amp	: Instrumentation Amplifier (Enstrümantasyon Amplifikatörü)
ITRS	: International Technology Roadmap for Semiconductor (Yarı iletken için Uluslararası Teknoloji Yol Haritası)
LPF	: Low Pass Filter (Düşük Geçişli Filtre)
NGCC	: Nested Gm-C Frequency Compensation (İç içe geçmiş Gm-C Frekans Telafisi)
O.T.A	: Operational Transconductance Amplifier (Operasyonel Transiletkenlik Amplifikatörü)
PM	: Phase Margin (Faz Marjı)
P.S.R.R	: Power Supply Rejection Ratio (Güç Kaynağı Reddetme Oranı)
RF	: Radio Frequency (Radyo Frekansı)
RHP	: Right Half Plane (Sağ Yarım Uçak)
SCE	: Short Channel Effect (Kısa Kanal Etkisi)
SEG	: Slective Epitaxial Growth (Slektif Epitaksiyel Büyüme)
SG	: Shorted Gate (Shorted Gate)
SoC	: System on Chip (Çip Üzerindeki Sistem)
SOI	: Silicon on Insulator (İzolator Üzerinde Silikon)
TOQSO	: Third Order Quadrature Sinusoidal Oscillator (Üçüncü Mertebeden Kuadratur Sinüzoidal Osilatör)
TA	: Transconductance amplifier (Transiletkenlik amplifikatörü).
UGBW	: Unity Gain Bandwidth (Unity Gain Bant Genişliği)
VLSI	: Very Large-Scale Integration (Çok Büyük Ölçekli Entegrasyon)
VDTA	: Voltage differencing transconductance amplifier (Gerilim farklılaştırıcı transiletkenlik amplifikatörü)
Zc-CFTA	: Z-copy current follower trans-conductance amplifiers (Z-kopya akım Takipçisi trans-iletkenlik amplif

BÖLÜM 1

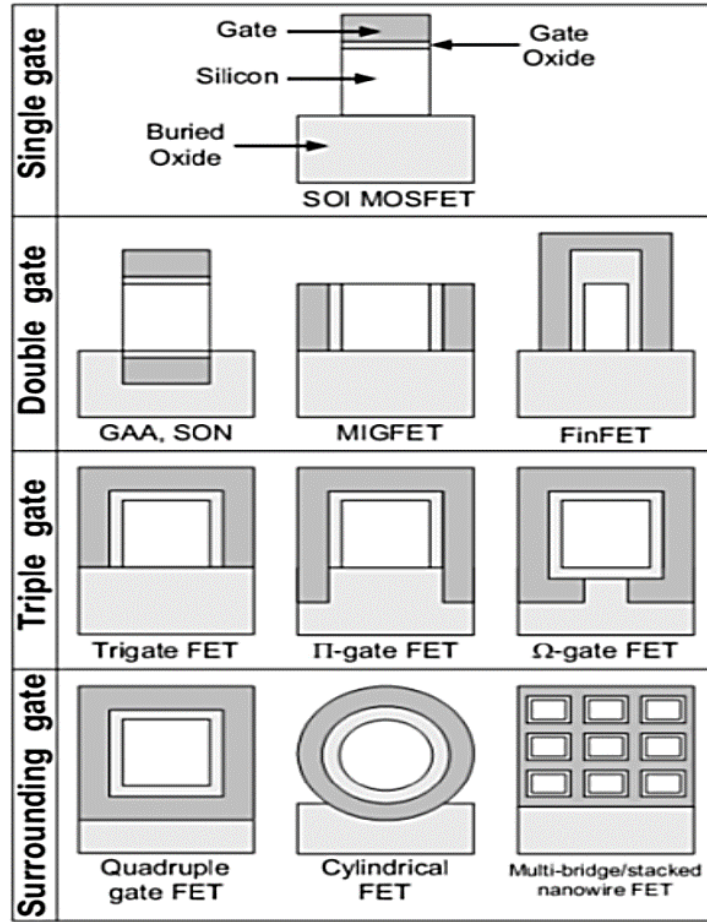
GİRİŞ

Geçtiğimiz yıllarda yarı iletken endüstrisinde en büyük gelişme çok büyük ölçekli entegrasyon (VLSI) teknolojisinde olmuştur. VLSI teknolojisindeki bu muazzam büyüme, öncelikle Moore yasasına göre minimum transistör boyutunu küçültmeye dayanmaktadır. Yüksek paketleme yoğunluklarına, daha yüksek devre hızına ve daha düşük güç dağılımına sahip olmanın avantajları; evrimsel ilerleme için kilit faktörlerdir. Bu durum, öncekilere kıyasla oldukça düşük maliyetle üstün performans ve kompakt boyut ile günümüz bilgisayarlarının ve iletişim sistemlerinin ilerlemesine yol açmaktadır [1]. Bununla birlikte geleneksel MOS FET cihazlarının ölçeklendirilmesi; kısa kanal etkileri, kapı izolator tünellemesi ve doping konsantrasyonlarının sınırlı kontrolü nedeniyle sınırlıdır. Bu durum kısmen tükenmiş SOI ve daha iyi kısa kanal etkileri (SCE'ler), daha yüksek performans ve daha düşük güç tüketimi ile tamamen tükenmiş SOI (FD-SOI) gibi izolator üzerinde silikon (SOI) yapılarına ilişkin mevcut araştırmaları tetiklemiştir. Çip üzerinde sistem (SoC); güç tüketimini azaltırken yüksek hızlı uygulamalar için tek bir entegre devre (IC) üzerinde tek çipli cep telefonu gibi ihtiyaç duyulan tüm analog ve dijital devrelere, işlemcilere ve yazılımlara sahip bir sistemdir.

Teknoloji Yol Haritası'na (ITRS) göre uluslararası yarı iletkenler için çok kapılı alan etkili transistör teknolojisi, bu on yılda FD-SOI ve diğer ölçekli düzlemsel toplu teknolojilerin yerini almak için bir adım daha gelişmiştir [1]. Çok kapılı FET'ler (i) çift kapılı yapılar olarak sınıflandırılabilir. Örneğin: tamamen tükenmiş yün kanal transistörü (DELTA) FET, silikon-hiçbir şey FET, çoklu bağımsız geçişli FET ve Fin şekilli alan etkili transistör (FinFET), (ii) üçlü geçit yapıları, trigate FET, π -gate FET ve Ω -gate FET ve (iii) trigate FET ve (iii) çevre kapı yapıları, silindirik FET, çok köprülü kanal FET, düzlemsel kapı-her yönden FET, ikiz silikon-nanotel FET ve nano ışınli yığılmış kanal FET [2]. Şekil 1.1 yukarıda açıklanan çok kapılı aileyi

özetlemektedir. Kısa kanal etkileri, daha iyi elektrostatik bütünlüğe (EI) yol açan çok kapılı cihazlar geliştirilerek de bastırılabilir. Çok kapılı bir cihazda kanal birden fazla yüzeyde birkaç kapı ile çevrilidir ve böylece kanal üzerindeki kontrol geliştirilir.

Çift kapılı transistörler, FinFET'ler ve kapı çepeçevre FET'ler gibi çeşitli çoklu kapılı cihaz türleri araştırılmaktadır. Ayrıca kompaktlık elde etmek için Fin şekilli alan etkili transistör (FinFET) gibi geleneksel olmayan mimariye doğru bir yönelme vardır.



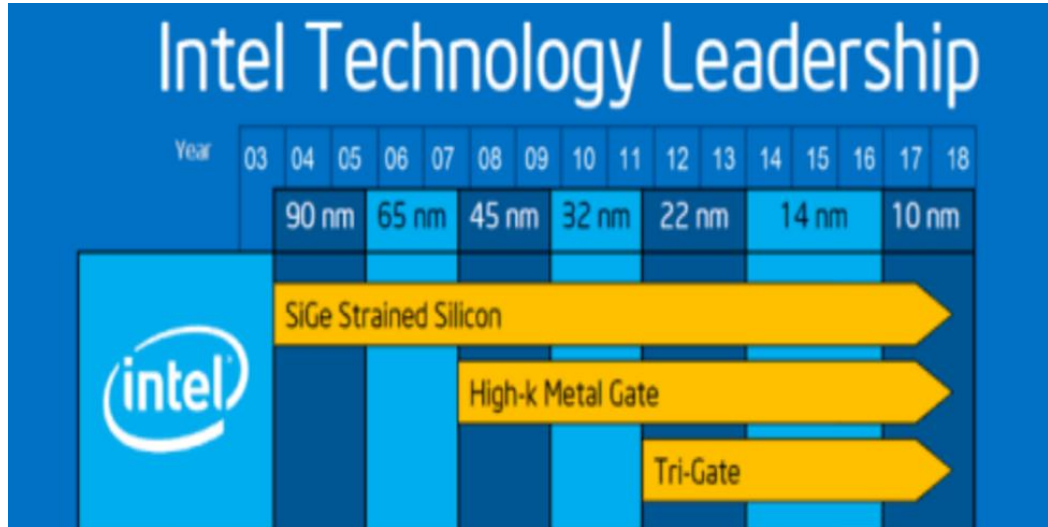
Şekil 1.1. Çok kapılı transistörlerin ailesi ve diğer çok kapılı cihazlar.

FinFET cihazının analog alanda yoğun araştırmaların nesnesi olması düzlemsel CMOS teknolojisinin yerini alacağına göstergesidir. FinFET cihazının yapısı, bir SOI substratı üzerinde bulunan yüzgecin her iki tarafında kısa devre veya bağımsız kapılarla çevrili bir silikon kanattan oluşur. Bir SOI substratı üzerinde. Kısa kapı

(SG) çalışma modundayken iki kapı elektriksel olarak kısa devrededir ve cihazı çalıştırmak için birlikte ön yargılıdır. Bağımsız kapı (IG) çalışma modundayken iki kapı elektriksel olarak bağımsızdır.

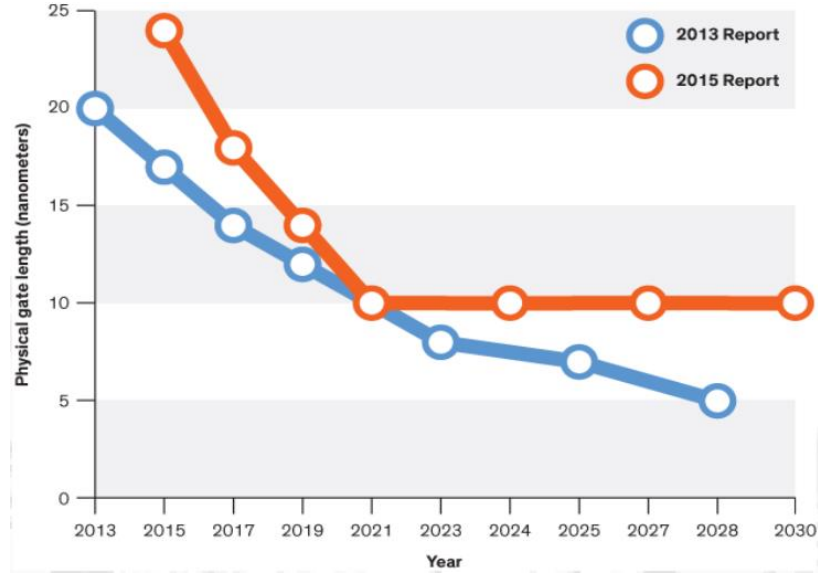
Eşik voltajı, kapı çalışma fonksiyonu tarafından kontrol edilir. IG modu cihazları, arka kapı yanlılığını değiştirerek ön kapının eşik voltajını kontrol eder ve böylece cihazın kapalı akımını kontrol eder [2]. Bu nedenle çok kanatlı SG modlu FinFET'ler, çok kanatlı IG modlu FinFET'lere kıyasla kompakt düzenlere sahiptir. Ölçekli düzlemsel teknolojilerde yüksek κ metal kapının (HKMG) ortaya çıkmasıyla fiziksel kapı-dielektrik kalınlığı ile düşük etkili oksit kalınlığı (EOT) yüksek olabilir.

Kapı sızıntısı olarak fiziksel kapı dielektrik kalınlığına bağlı olduğundan kapı sızıntısı HKMG ile büyük ölçüde azalmıştır. FinFET'lerde içsel bir gövdeyle birleştirilmiş HKMG kapı yığınları, yüzey elektrik alanını önemli ölçüde düşürür ve dolayısıyla kapı sızıntısını daha da azaltır.



Şekil 1.2. Intel'in Yarı İletken Teknoloji Liderliği

Şekil 1.2 yarı iletken endüstrisinin yol haritasını belirleyen Intel'in 90 nm'ye doğru SiGe'yi, 45 nm düğüm içindeki yüksek κ metal kapıyı ve 22 nm düğümünün yakınında TRI kapısını benimsediğini göstermektedir



Şekil 1.3. ITRS —Yarı İletken için Uluslararası Teknoloji Yol Haritası

Şekil 1.3 2021 yılına kadar minyatürleştirme sürecinin son sürecine ilişkin Yarı İletkenler için Uluslararası Teknoloji Yol Haritası (ITRS) vizyonunu sergilemektedir. Minyatürleştirme sınırlarına ulaştıkça çip yapım endüstrisinin transistörlerde ve devrelerde 3D yapılara daha da yönelmesinin beklendiği belirtilmiştir [3].

Düşük çalışma gücü, çalışma sırasında güç dağılımını mümkün olacak şekilde azaltarak devre performansını artırır. Cihaz aşamasında dinamik güç dağılımının tutarlı bir ölçüsü, tek bir transistör anahtarı sırasında ihtiyaç duyulan güçle ilgili olarak güç gecikme ürününü ifade eder. Aktif enerji tüketimini en aza indirmeye yönelik standart üretken yaklaşım, besleme voltajını mümkün olduğu kadar önemli ölçüde azaltır [4].

FinFET mimarisi, kısa kanal etkilerini (SCE) önemli ölçüde düşürmelidir.

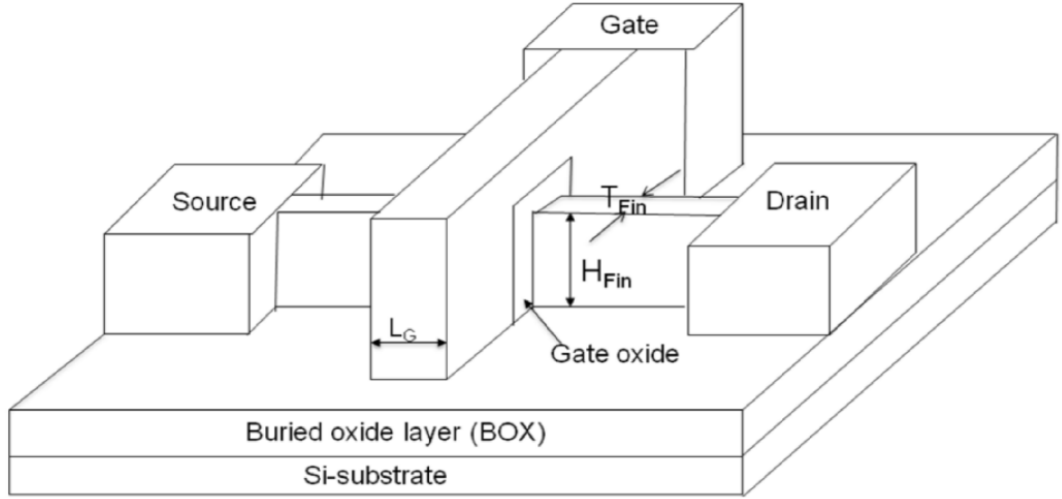
1.1. LİTERATÜR TARAMASI

Bu bölüm; rapor edilen FinFET cihaz yapısının, modellenmesinin, analog performans parametresinin ve ardından teknik boşluğun bir incelemesini sağlar. Analog devre performanslarını arttırmak için farklı tipte analog devre uygulamaları sunulmaktadır. Özet son bölümde verilmiştir.

2004 yılında Jean-Pierre Colinge; İzolatör Üzerindeki Silikon (SOI) MOS transistörlerinin klasik, düzlemsel, tek kapılı cihazlardan çoklu kapılı üç boyutlu cihazlara (çift, üçlü veya dört kapılı cihazlar) yavaş yavaş geliştiğini belirtmiştir. Birden fazla kapı cihazının birim silikon alan başına daha yüksek bir akım sürücüsü sunduğunu ve buna ek olarak optimum kısa kanal etkilerine (azaltılmış drenaj kaynaklı bariyer düşürme (DIBL) ve eşik altı eğim bozulması) sahip olduğunu kanıtlamıştır. Bu cihazların özelliklerini açıklar ve çok geçitli cihazların imalatı sorununa pratik bir çözüm sunar [18].

Poiroux et al. [19] cihaz ölçeklendirmesi nanometre aralığına girerken araştırılan çoklu kapı cihazları, yeni devre tasarım fırsatları açan kanalın büyük ölçüde geliştirilmiş elektrostatik kontrolünü sunar. Dahası çok geçitli cihazların pratik olarak gerçekleştirilmesi teknolojik konularda bir zorluk teşkil etmektedir. Ek olarak bu mimariler nanometre rejimindeki performansı artırmakta ve yeni devre tasarım yaklaşımlarının kapılarını açmaktadır.

2006 yılında Vaidy Subramanian ve ark. [20] FinFET'in toplu MOSFET'lere göre gürültü veya doğrusallık bozulması olmadan azaltılmış sızıntı, mükemmel eşik altı eğimi ve daha iyi voltaj kazancı gibi temel avantajlara sahip olduğunu öne sürmüştür. RF//Analog perspektiften düzlemsel toplu MOSFET'lerin ve FinFET'lerin karşılaştırılması, OFF akımı ve eşik altı akımlardaki azalmadaki iyileşme nedeniyle FinFET'in 5 GHz frekansı civarında daha iyi olduğunu göstermektedir ancak sürücü akımlarını ve transiletkenliği bozan yüksek seri direnç olumsuz tarafıdır. Sonuç olarak 5 GHz uygulamalarının üzerindeki frekans için düzlemsel toplu MOSFET uygundur.



Şekil 1.4. FinFET cihazının şeması

Piet Wambacq et al. [21], metal kapılı ve yüksek-k kapı yığına sahip SOI teknolojisinde FinFET'in (Şekil 1.1), daha yüksek sızıntı, düşük içsel voltaj kazancı, gürültü ve doğrusallık gibi düzlemsel toplu CMOS kireç küçültme sorunlarını önemli ölçüde azalttığını sunmuştur. FinFET'lerin düşük güçlü analog uygulamalar için mükemmel performansa sahip olduğunu kanıtlamıştır. Bununla birlikte FinFET performansı için ana zorluk, mevcut FinFET teknolojisinde 100 GHz ile sınırlı olan maksimum kesme frekansındaki gelişmedir. Bu durumun esas nedeni üç boyutlu mimari nedeniyle parazitik seri direnç ve parazitik kapasitansdır.

Chiarella et al. [22], SOI için kıyaslama sürecini ve Moore yolu boyunca aşağı ölçeklendirme için Planar CMOS'a toplu FinFET alternatiflerini tanıttı. Cihaz teknolojisinin değerleri figürünü ve sınırlamasını bildirdiler. Geometrik mühendislik ile FinFET cihazının yapısı, voltaj kazancı, daha yüksek hareketlilik, eşik voltajı gibi analog performans parametrelerini geliştirdiler ve parazitik kapasitans ve parazitik dirençleri en aza indirdiler. SOI ve toplu FinFET cihazı, geliştirilmiş performansını göstermek için halka osilatör ve SRAM hücreleri gibi analog devrelere entegre edilmiştir.

2012 yılında Chang-Woo ve ark. [23], geometriye bağlı parazitiklerin analitik modellerini kullanarak RF/Analog uygulamalarda nano ölçekli FinFETS cihazı tasarlamak için yönergeler önermiştir. Fin-aralık ile fin-yükseklik oranı gibi önemli geometriye bağlı parametreler RF performansını artırmak için değerlendirilir. Akım

kazanç kesme frekansı ve maksimum salınım frekansına parazitik dirençlerden daha fazla parazitik kapasitans hâkimdir. RF/Analog uygulama için kanatçık aralığının kanatçık yüksekliğine oranının küçük olması gerektiğini bildirmişlerdir.

Vaidyanthan Subramanian [24] gelecekteki CMOS teknolojilerinin yerine birden fazla kapı veya FinFET'ler sunmuştur. Yazar, FinFET üretim teknolojisinin nanometre çağına uygun çeşitli yönlerini, kanal üzerindeki mükemmel kontrolünü ve azaltılmış dopant dalgalanmalarını bildirmiştir.

Birçok cihaz parametresi ve değerler analiz edilir, böylece genel FinFET cihaz analog performansı değerlendirilebilir. FinFET cihazının geliştirilmiş RF performansı, düzlemsel toplu MOSFET'lerinki ile kıyaslanmıştır. Ancak FinFET, üç boyutlu yapısı nedeniyle çok yüksek parazitik kapasitansa ve parazitik dirence sahiptir. Son olarak FinFET teknolojisinin başarısının büyük ölçüde bu iki önemli zorluğun üstesinden gelerek kullanılabilirliğine bağlı olduğu bildirilmektedir.

2014 yılında Jean-Pierre Raskin [25], MOS cihazlarının devam eden küçültülmesiyle birlikte yüzen vücut etkileri, kendi kendine ısınma ve substrat bağlantısı gibi yalıtkan üzerindeki silikonla ilgili çeşitli fiziksel fenomenlerin önemli bir rol oynamaya başladığını bildirmiştir. Yazar, bu fenomenleri geniş bir frekans bandı üzerinden analiz etmiş ve modellemiştir. Bu nedenle cihaz zayıflıkları belirlenir ve bunların üstesinden gelmek için teknolojik çözümler ortaya çıkar. Yazar, yeni nesil cihazlar için çip üzerinde çeşitli sistem ve RF uygulamaları için gerekli olan yüksek dirençli bir SOI substratı tanıtmıştır.

2000 yılında Digh Hisamoto ve ark. [26] nanometre rejiminde yeni bir kendinden hizalı çift kapılı SOI FinFET yapısı önermiştir. Kendinden hizalı çift kapının 17 nm kapı uzunluğunda bile kısa kanal etkilerini etkili bir şekilde bastırabildiğini deneysel olarak gösterdiler. Ultra ince gövde cihazı için istenen eşik voltajını elde etmek için bir kapı malzemesi olarak bor katkılı Si 0.4 Ge 0.6 kullanılmıştır. Parazitik direnci azaltmak için yükseltilmiş kaynak/drenaj bölgesi kullanılır.

Yazar, Xuejue Huang ve ark. [27], 50 nm altı kapı uzunluğuna sahip yüksek performanslı P-Kanal MOSFET'leri bildirmiştir. Kanalların dikey ultra ince Si kanatçıklarında oluşturulduğu ve kendinden hizalı çift kapılarla kontrol edildiği P-Channel FinFET yapısına sahiptir. Bu cihazların $L_g = 45$ nm için $V_{ds} = V_{gs} = 1.2$ V'de yüksek sürücü akımları ($820 \mu A/\mu m$) ve $L_g = 18$ nm'ye kadar iyi performans sergilediğini kanıtlamışlardır. Sunulan simülasyon sonuçları, yukarıdaki yapının 10 nm'ye kadar ölçeklenebileceğini göstermektedir. Ayrıca performansı artırmak için daha ince kapı dielektrik ve daha ince ara parçalar kullanılabilir.

2002 yılında Jong-Tae Park et al. [28], çift ve üçlü kapı yapısının yanı sıra kapı etrafındaki cihazlara sahip çeşitli SOI MOSFET'lerin simülasyonunu sunmuştur. PI-gate MOSFET'ler olarak bilinen, yanaklı oksit içine uzanan yan duvarları olan yeni bir üçlü kapı cihazı konseptini tanıtmışlardır. Tasarım alanını optimize etmek için kapı uzunluğu, kanal genişliği, doping konsantrasyonu ve silikon kanat kalınlığı gibi dört değişkenli cihaz parametrelerinin etkisini dikkate almışlardır. Sonuç olarak SCE'ler ve alt eşik özellikleri geliştirilmiştir. Bu nedenle simülasyon sonuçları, PI-gate cihazlarının gelecekteki nanometre MOSFET uygulamaları için umut verici bir aday olduğunu göstermektedir.

2005 yılında Abhishek Dixit ve ark. [29], 45 nm CMOS teknoloji düğümü için umut verici bir aday olarak çok kapılı alan etkili transistörler cihaz mimarisini önermiştir. Bu 3D cihaz yapıları, kaynak drenaj bölgelerinin dar genişliği nedeniyle yüksek parazitik dirençten muzdariptir. Çok kapılı alan etkili transistörlerde parazitik S/D direnci için analitik bir model geliştirmişler, simülasyonlar ve deneysel sonuçlarla doğrulamışlardır. Bu çalışmada yüzgeç genişliğinde azalma ile S/D direnci artar. Dar kanatlı cihazların parazitik S/D direncini en aza indirmek için potansiyel çözüm S/D bölgelerinde Si'nin seçici epitaksiyel büyümesidir.

D. Leaderer ve diğerleri [30], 110 GHz'e kadar statik ve dinamik koşullar altında 50 nm kapı uzunluğu FinFET'in analog performansını araştırmıştır. Cihaz çalışırken kanat genişliği arttığında hacim ters çevirmeden tam ve kısmi tükenmeye geçtiğinden analog performansın kanatçıkların genişliğinden önemli ölçüde etkilendiğini bildirmişlerdir. DC ölçümü, elektron hareketliliğindeki artışı ve hacim ters çevirme

sırasında analog performanstaki gelişmeleri gösterir. Dinamik ölçüm, düzlemsel cihazlara kıyasla ekstra parazitik kapasitans, kaynak ve drenaj direncinde artış bildirmiştir. Ayrıca RF uygulamasında ileride kullanılmak üzere kaynak/drenaj mühendisliği gibi optimize edilmiş bir işlemle 250 GHz'den daha yüksek kesme frekansındaki artışın elde edilebileceği ölçüm ve simüle edilmiş verilere dayalı olarak kanıtlanmıştır.

2007 yılında V. Subramanian et al. [31] fin genişliği gibi FinFET cihazlarının önemli bir geometrik parametresinin analog performansı üzerindeki etkisini göstermiştir. Yazar, doğrusal ve doygunluk bölgesinde kanat genişliğinin bir fonksiyonu olarak eşik voltajı, eşik altı eğim, drenaj kaynaklı bariyer düşürme, hareketlilik, transiletkenlik, erken voltaj gibi cihaz teknolojisinin FoM'ünü analiz etmiştir. Hareketliliğin kanat genişliğinin güçlü bir işlevi olduğunu kanıtladılar ...ve bu durum FinFET'ler için dar genişlikte bozulur.

Güçlü inversiyon bölgesinde kanat genişliğinin diğer parametreleri etkileyen parazitik S/D direnci üzerindeki etkisi güçlüdür. Yazar, dar kanat genişlikleri için gelişmiş tahrik akımı ve transiletkenlik sağlayan parazitik S/D direncini azaltmada etkili olan seçici epitaksiyel büyüme (SEG) teknolojisini sunmuştur.

H. Kawasaki et al. [32], boyut ölçeklenebilirliğini göstermek ve 32 nm düğüm için eşik varyasyonunu araştırmak için yüksek κ dielektrik çoklu kapılı yüksek ölçekli FinFET SRAM hücreleri üretmiştir. Azaltılmış eşik varyasyonu için tek taraflı iyon implantasyonu önermişlerdir. Düzlemsel bir FET SRAM hücresine göre okuma/yazma marjında önemli bir avantaja sahip olmak için undoped FinFET SRAM hücrelerini simüle etmişlerdir.

2011 yılında S.S. Rathod ve ark. [33], bakire ve ışınlanmış FinFET cihazlarında eşik voltaj kaymasını, mobilite bozulmasını, drenaj akımı ve alt eşik özelliklerini tahmin etmek için analitik bir model bildirmiştir. Bu çalışmada ışınlanmış bir FinFET cihazının özelliklerini etkileyen gömülü oksit ve arayüz tuzaklarında tuzakların oluşumu da sunulmaktadır. Işınlanmış FinFET'lerde elektriksel özelliklerdeki

bozulmayı doğru bir şekilde tahmin etmek için kullanılacak modeli geliştirmişlerdir.

Julio C. Tinoco ve ark. [34], kısa kanal etkilerine karşı yüksek bağışıklıkları nedeniyle CMOS teknolojisinin küçültülmesinin FinFET'ler gibi geleneksel olmayan mimari çok kapılı cihazlara yol açtığını bildirmiştir.

3D mimarisi nedeniyle parazitik direnç ve parazitik kapasitansın analog performanslarını düşürdüğünü göstermişlerdir. Ölçüm ve 3D sayısal simülasyonlara dayanarak dışsal kapı kapasitansının FinFET'lerin RF davranışı üzerindeki etkisini analiz etmişlerdir. Kanat aralığını, S/D uzantısını azaltarak ve kanatçık en boy oranını (H_{fin}/W_{fin}) artırarak elde edilen iyileştirmeyi açıkça sunmuşlardır.

Ayrıca mevcut kazancı ve kesme frekansında bir artış elde etmek için $W_{fin} = 72$ nm, $H_{fin} = 60$ nm, $S_{fin} = 30$ nm ve $L_{ext} 10$ nm'ye karşılık gelen bir fin geometri tasarımına sahip 40 nm düğüm FinFET kullanmışlardır. Sırasıyla yaklaşık %40 ve %80'lik frekans elde edilmiştir.

2013 yılında Navid Paydavosi ve ark. [35], entegre devre tasarımı için çok kapılı transistörü simüle etmek amacıyla fizik tabanlı hesaplama açısından verimli yüzey potansiyeli tabanlı kompakt modeller geliştirmiştir. BSIM-CMG modelleri, hacim inversiyonu ve dinamik eşik voltajı Shift gibi ince gövdeli çok kapılı transistörün önemli fiziğini yakalar. Kısa kanal etkisi (SCE), kuantum mekanik hapsetme etkileri, mobilite bozulması ve parazitikler gibi tüm önemli gerçek cihaz etkileri modellerde yer almaktadır. Daha da büyük devre tasarımı optimizasyonu ve tahmini istatistiksel süreç değişkenliği değerlendirmesi sağlamak için simülasyon süresini daha da azaltır (doğruluğu kaybetmeden).

Neeraj Jain ve ark. [36], cihaz ve devre seviyesinde daha yüksek hız ve düşük güç tüketimi elde etmek için nanometre rejiminde FinFET teknolojisini araştırmışlardır. FinFET, alt nanometre rejiminde CMOS ailesindeki düzlemsel transistörü değiştirmek için umut verici adaydır. Elektrostatik bütünlük ve güvenilirlik açısından cihaz performansını geliştirmişlerdir. Geçit, kaynak/drenaj ve kanal mühendisliği

yaklaşımlarının düşük frekanslı alt eşik analog uygulamalarında dijital ve analog performansı iyileştireceğini bildirmiş ve analiz etmişlerdir.

2016 yılında Yue-Gie Liaw ve ark. [37], derin alt nano proses teknolojisine uygun ultra ince bir Si-fin'e sahip üç boyutlu FinFET cihazı geliştirmiştir. Bu çalışmada 8,6 nm genişliğe ve 82,9 nm yüksekliğe sahip yüksek en boy oranı Si-Fin işlemi ($H/W = 9.64$) sürücü akımında iyileşme gösterir ve mükemmel kapı kontrol edilebilirliğini gösterir. Ayrıca 30 nm kapı uzunluğuna sahip hem n- hem de p kanallı FinFET'ler, umut verici sürücü akımı (iyon), eşik altı salınımı (SS), tahliye kaynaklı bariyer düşürme (DIBL) ve transistör gecikmesini gösterir. TCAD simülasyonunun yardımıyla yazar hem eşik voltajının (V_{th}) hem de kapalı akımın kapı mühendisliği ile uygun şekilde ayarlanabileceğini göstermiştir. S/D direncini büyük ölçüde azaltmak için yükseltilmiş kaynak/boşaltma (S/D) yaklaşımını uygulamışlardır.

Elektronik endüstrisi, esas olarak entegrasyon teknolojilerindeki hızlı ilerlemeler ve çok büyük ölçekli sistem tasarımı nedeniyle son birkaç on yılda olağanüstü bir büyüme kaydetti, Hızla büyüyen elektronik dünyasında hem analog hem de dijital entegre devreler; algılama ve ağ oluşturma, sağlık hizmetleri, tıbbi ve yaşam bilimleri için önemli bir rol oynamaya devam ediyor. Cep telefonlarından taşınabilir DVD oynatıcılara kadar düşük güçlü bileşenlere olan ihtiyaç giderek daha önemli hâle gelmektedir. Geçtiğimiz birkaç yıl içinde cihazları daha düşük güç özelliklerinde çalıştırmak için yeni teknolojilere yönelik tasarım değerlendirmesi de dâhil olmak üzere birkaç farklı yöntem önerilmiştir. Düşük güç dağılımı, mevcut pil ömrünü uzatır. Düşük güç tüketiminin bu kısıtları, implante edilebilir tıbbi cihazlar için arzu edilir. Bu nedenle düşük voltajlı ve düşük güçlü FinFET transistor devrelerine ihtiyaç duyulması piyasa taleplerine, teknolojiye ve tasarım gereksinimlerine dayanan faktörlerden kaynaklanmaktadır.

Daha küçük transistör geometrisi ve daha hızlı yongaların ortaya çıkmasıyla birlikte 1s1 dağılımı ve cihaz ömrü ile ilgili endişeler artmıştır. Daha küçük çipler, pille çalışan ve taşınabilir küçük elektronik cihazların geliştirilmesine yol açmıştır. Cihaz ömrünü ve pil ömrünü uzatmak için dahili devrelerin güç tüketimini azaltmak için çaba gösterilmelidir. Pille çalışan sistemlerin verimliliğini artırmak için alçak gerilim

ve düşük güç devre tasarım teknikleri kullanılır. Özellikle kalp pili, kan akış ölçerler ve işitsel uyarıcılar gibi implante edilebilir cihazlar için çok önemlidir. Çip boyutunun en aza indirilmesinin yanı sıra sistemlerin artan karmaşıklığı, düşük besleme voltajı çalışması ve düşük güç dağılımı ihtiyacı; ısı dağılımını azaltmak ve devre güvenilirliğini korumak için belirgin hale gelir. Bu tür uygulamaların tipik örnekleri arasında taşınabilir radyolar, elde tutulan telsiz telefonlar, çağrı cihazları ve işitme cihazları bulunur. Ayrıca pillerin boyutu artık sınırlayıcı bir faktör haline geldiğinden entegrasyon yoluyla hacimli ve ayırık bileşenlerin boyutunu azaltmak yeterli değildir. Bunun yerine güç dağılımının azaltılması da aynı derecede önemlidir. Sonuç olarak kilit nokta, entegre devrelerin hem düşük voltajlı hem de düşük güçte çalışmasını sağlamaktır.

Finfit transistör devrelerinde daha düşük güç kaynağı voltajına ihtiyaç duyan birçok faktör vardır. Aslında üç ana neden alçak gerilim devrelerinin ortaya çıkmasına bağlanabilir. Kanal uzunluğu alt mikronlara ölçeklendiğinden ve kapı oksit kalınlığı sadece birkaç nanometre haline geldiğinden cihaz güvenilirliğini sağlamak için besleme voltajının azaltılması gerekir. Derin alt mikron ile işlemlerde artık mevcut, izin verilen maksimum besleme voltajı volt altı seviyesine düşmektedir. İkinci neden, tek bir çip üzerindeki artan bileşen sayısından kaynaklanmaktadır. Bir silikon çip, birim alan başına yalnızca sınırlı miktarda güç dağıtılabilir.

Bileşenlerin yoğunluğunun arttırılması, birim alan başına daha fazla elektronik işleve izin verdiğinden çipin aşırı ısınmasını önlemek için elektronik işlev başına gücün düşürülmesi gerekir. Üçüncü neden; taşınabilir, pille çalışan ekipman tarafından belirlenir. Aküden kabul edilebilir bir çalışma süresi verimi alabilmek için yüksek kapasiteli pillerin geliştirilmesindeki yavaş ilerleme göz önüne alındığında hem güç hem de besleme voltajının azaltılması gerekir [38].

VM Senthil Kumar ve ark. [39], 32nm FinFET teknolojisini kullanarak işlemsel amplifikatör tasarlamışlardır. Elektromanyetik paraziti gidermek için Op-amp girişine LPF devresi tanıtılmıştır.

Sonkusare et al. [40], Op-amp tasarımı için standart bir Multi-Gate modeli olan 30 nm SOI FinFET Berkeley kısa kanallı IGFET'i kullanmıştır. IGFET, sensör ve biyomedikal uygulamalar için kompaktlık ve daha sınırlı güç tüketimi elde etmek amacıyla gerçekleştirilen FinFET tarafından kurulmuş OTA'yı kullanan alt eşik kontrolüne karşı çalışma tekniğidir. OTA'nın kazancının zayıf inversiyon bölgesindeki akımdan bağımsız olduğunu oysa hayati inversiyon bölgesine bağlı olduğunu ifade etmiş, araştırmış ve gerekçelendirmişlerdir. Kompanzasyon kapasitörü, birlik kazanç marjı ve döndürme oranında bir gelişme vardır.

ED Manolov [41], önceden tasarlanmış uygun planları kullanarak belirli bir alt eşik bölgesi içinde analog CMOS devrelerini oluşturmanın ayrıntılı sistematik yolunu göstermiştir.

16nm ultra derin alt mikron CMOS teknolojisinde gerçekleştirilen araştırma, boyutlandırma ve mevcut ayna OTA simülasyonu ile gösterilmiştir. Tasarım, boyutlar ve transistörlerin çalışma noktası dâhil olmak üzere devre özelliklerini tartışmıştır. Mevcut ayna OTA, devreyi 16nm CMOS teknolojisinde boyutlandırmak için yapılandırma noktalarını geliştirir. MOS transistörlerin her çalışma bölgesinde pratik analog devre tasarımında kullanılan yaklaşımdır.

Shirazi et al. [42], 20 nm FinFET transistörleri kullanarak MHz frekans aralığı Op-amp tasarlamıştır. Tasarlanan Op-amp, CMOS ile karşılaştırıldığında hız ve güç konusunda gelişmiş performans sergilemiştir.

Bart Philippe et al. [43]; çıkış gücünü dışa doğru elde etmek, azalan kazanç elde etmek, daha önemli transistörler üretmek için üst metal katmanlara bağlanmış ve ilişkilendirilmiş transistörler önermiştir. Birleştirilmiş transistörler, diferansiyel ortak kaynaklı telafi amplifikatör adımlarına entegre olmanın yanı sıra nötralizasyon kapasitörü, transistörün kararlılığını ve maksimum kullanılabilir kazancı artırmak için kapıdan boşaltma kapasitörünün geri besleme etkisini kullanır. Tasarım, birim hücrelerden ve giriş, operatör ve ayrıca çıkış aşaması sırasında nötralizasyon için bir sistem MOM-kapağından oluşmaktaydı. Minyatür bir birim hücreli transistör; orta kanatçıklar nedeniyle kendiliğinden ısınarak kısa bir süre değiştirilir, parmaklar

hafifçe implante edilir ve daha güvenilir ısı dağılımında yükselir. Ayrıca üst metallere hızlı yayılan küçük transistörler, beklenen elektro-göç kurallarına uymayı kolaylaştırır. Amplifikatör, diğer FinFET tasarımlarına kıyasla iki kat daha yüksek frekansta karşılaştırılabilir veya daha iyi performans elde eder.

Steven Callender et al. [44], mm dalga frekanslarında tasarım performansını artırmak için Intel 14nm FinFET/Tri-gate CMOS işleminde bir E-bant PA hakkındaki çalışmayı taklit etmiş ve doğru ölçeklendirmenin RF performansına etkisini araştırmıştır. Nötralizasyon, low-k transformatör tabanlı eşleştirme ağları dâhil, kazanç ve bant genişliğini artırmak için manipüle edilir. Üç aşamalı Sınıf AB PA, nötrleştirilmiş diferansiyel çiftleri içerir. Bu çift transformatöre dayalı bir eşleştirme ağı aracılığıyla oluşur. AB sınıfının üç aşaması, geri çekilme verimliliğini en üst düzeye çıkarmak ve transiletkenlik doğrusal olmamayı en aza indirmek için kullanılır.

Kai et al. [45], dijital güç amplifikatörü (DPA) dâhil olmak üzere kurumsal olarak merkezi dijital kontrollü osilatörün (DCO) ortasında bir alt gigahertz vericisi önermektedir.

16-nm FinFET CMOS'ta üretilen DPA, %51 verimlilikten vazgeçer. Tek uçlu DPA'nın eşleşen transformatörü, alanın \sim %50'sini korumak için DCO transformatörünün iç tarafına yerleştirilmiştir. Ortaya çıkmak için DCO bir geri bildirim yolu aracılığıyla geri ödeme yapar. Ayrıca sargılı bir iptal kapasitörü bazı ikinci harmoniklerin üstesinden gelir.

Steve [46] bir FinFET yönteminin MM dalgası yürütmesini değerlendirmiştir. Daha önce bahsedilen engellerde başarılı olmak için derinlemesine ölçeklendirilmiş teknolojiler, çalışma yöntemleri ve penetrasyon altında bir MM dalgası çalışmasındaki kritik engelleri ele alır.

Ayrıca modern FinFET cihazlarının Intel'in 22FFL sürecinde yürütülen 75GHz LNA ve PA'da gösterildiği gibi enerji verimli MM dalgası işlemleri oluşturmak için uygunluğun doğrulanması gerekir. LNA, gelişmiş akım verimliliği sırasında birikmiş

(akım paylaşımı) bir tasarım kullanır. Tasarım, düşük VDS'deki düzenli görünüm nedeniyle FinFET arasında kabul edilebilir. İki aşamalı doğrusal PA, kazanç ve verimliliğin bazı çıktı aşamalarını geliştirmek için pasif ve aktif verimlilikteki artışı işaret eden bir çalışma tekniği kullanır.

1.2. TEZİN AMACI VE ÇÖZÜM YAKLAŞIMI

Teknolojinin ölçeklendirilmesi, toplu CMOS cihazlarındaki kısa kanal etkileri (SCE'ler) gibi ciddi zorlukları artırmıştır. Bu sorunların üstesinden gelmek için FinFET cihazları geliştirilmiştir. FinFET, geleneksel CMOS tasarımlarına kıyasla daha iyi geçit kontrolü, daha yüksek ION, daha iyi ölçeklenebilirlik ve dolayısıyla gelişmiş performans ve güvenilirlik sunar. Çift kapılı cihazlar arasında yarı düzlemsel FinFET yapısı, imalat sürecinin kolaylığı nedeniyle büyük ilgi görmüştür.

Nanoteknoloji dünyayı bilgisayar, tıp, savunma ve enerji alanlarında birçok yeni uygulamaya yönlendirmektedir. Modern dünya teknolojileri ve veri merkezleri (CPU) büyük ölçüde belleklere dayanır. Veri merkezleri, farklı zamanlarda değişen

erişim modellerine sahip çok sayıda kullanıcı arasında birden fazla kaynağın paylaşılmasına izin veren sanallaştırma teknolojileri tarafından desteklenmektedir.

Son yıllarda alt nanometre teknolojilerinde SCE'lerin daha iyi kontrolüne sahip olduğu birçok alt örtülü FinFET cihazı önerilmiştir [3], [4], [19]- [33]. Kapının her iki tarafındaki alt kısım, yük taşıyıcıları tarafından görüldüğü gibi etkin kanal uzunluğunu artırır. Sonuç olarak kaynaktan kanalizasyona tünelleme olasılığı iyileştirilir. Bu genel olarak cihazın performansını artırır. Bu nedenle FinFET tabanlı akım ve voltaj modu devrelerinin düşük voltaj ve güç tasarımı, birçok uygulama taşınabilir pille çalışan işlemlere geçtiği için giderek daha ilginç bir konu haline gelmiştir. Devrelerin korunmasına izin vermek için tasarım tekniklerine duyulan ihtiyaç besleme voltajlarının azalması ile daha da büyümüştür.

Bu tezin temel amacı, düşük voltajlı ve düşük güçlü çalışmalar için standart FinFET transistör proseslerinde güvenilir akım ve gerilim modu devre tasarım tekniklerinin uygulanabilirliğini araştırmaktır. Düşük voltajlı ve düşük güçlü çalışma için uygun, farklı yapı taşları önerilmekte, tasarlanmakta ve simüle edilmektedir. Bu yapı taşları; farksal akım transiletkenlik amplifikatörü (CDTA), Z-kopya akım izleyici transiletkenlik amplifikatörü (ZC-CFTA) gibi akım modu aktif elemanlarını uygulamak için kullanılır. Çoklu çıkış Z gerilim izleyici farksal transiletkenlik amplifikatörü Mo-ZC-VDTA ve kondansatörlü dengeli operasyonel transiletkenlik amplifikatörleri (Do-OTA-C) gibi voltaj modu aktif elemanları uygulamak için kullanılır.

Ana hedefe ulaşmak için aşağıdaki metodoloji kullanılır:

- Düşük voltajlı ve düşük güç devreleri için mevcut tasarım tekniklerini kapsayacak geçmiş ve mevcut araştırma durumlarına genel bakış
- Düşük besleme voltajının kısıtlanmasının getirdiği zorlukların araştırılması
- Düşük voltajlı çalışma için akım modu devrelerinin tasarımında yapı taşlarının geliştirilmesi
- Önerilen devrelerin verimliliğini ve performansını göstermek için tamamlanmış akım modu aktif elemanların uygulanması.
- Sonuçlar, yorumlar ve öneriler.

BÖLÜM 2

FİLTRE TEORİSİNE GİRİŞ

Filtre temel olarak bir sinyal kombinasyonundan bir grup sinyali izole etmek, bastırmak veya iletmek için tasarlanmış bir cihazdır. Filtreler; sinyal işleme, iletişim sistemleri ve elektronik enstrümantasyonda yaygın olarak kullanılmaktadır. Elektrik filtreleri; analog ve dijital filtrelerde işlenen sinyal türlerine, yapılarında kullanılan elemanların pasif ve aktif filtrelerine ve elde edilen işlev türüne göre birçok aşamada kategorize edilebilir.: düşük geçiş, bant geçişi, yüksek geçiş ve bant durdurma (reddetme) filtreleri.

Literatür araştırmalarında ise teorik olarak matematiksel modellemelere dayanan, GHz-THz bant aralıklarında bant geçiren ve bant durdurucu filtre tasarımlarına rastlanmıştır. Geniş bantta bant durduran veya bant geçiren filtre tasarımları için mikrodalga filtreler kullanılmış olup bu tasarımlar mikro şerit filtre tasarım yöntemlerinden olan mikro şerit hat, dielektrik rezonatörler, dalga kılavuzu gibi yapılar kullanılarak tasarlanmıştır. Elektrik filtreleri modern teknolojiye o kadar nüfuz eder ki şu veya bu şekilde filtre kullanmayan herhangi bir elektronik sistem bulmak zordur [5]. Çeşitli geçiş ve zayıflama bantlarını ayıran frekanslara kesme frekansları denir [6]. Kondansatör ve indüktör içermeyen aktif filtreye Active-R filtresi denir ve minyatürleştirme, tasarım kolaylığı ve yüksek frekans performansı açısından potansiyel avantajları nedeniyle çok dikkat çekmiştir [7]. Geçiş bantlarının ve durdurma bantlarının kalıpları; düşük geçiş, yüksek geçiş, bant geçişi ve bant durdurma gibi en yaygın filtrelere yol açar [8]. Anahtarlamalı bir kapasitör bir direncin yerini alabilir [9]. MOSFET teknolojisi anahtarlamalı kapasitör devrelerini tasarlamak için kullanılabilir [10]. Anahtarlamalı kapasitör kullanan filtre devreleri; çok sofistike, doğru ve ayarlanabilir analog devrelerin üretilmesini sağlar.

Analog filtreler önemli yapı taşlarıdır ve sürekli zamanlı sinyal işleme için yaygın olarak kullanılmaktadır. Son zamanlarda akım modlu analog sinyal işleme devresi teknikleri; yüksek doğruluk, geniş sinyal bant genişliği ve sinyal işlemlerinin uygulanmasının basitliği nedeniyle büyük ilgi görmüştür [11]. Akım-gerilim modu filtresi teorik olarak yüksek çıkış empedansı (ideal olarak sonsuz) ve düşük giriş empedansı (ideal olarak sıfır) sergilemelidir [12].

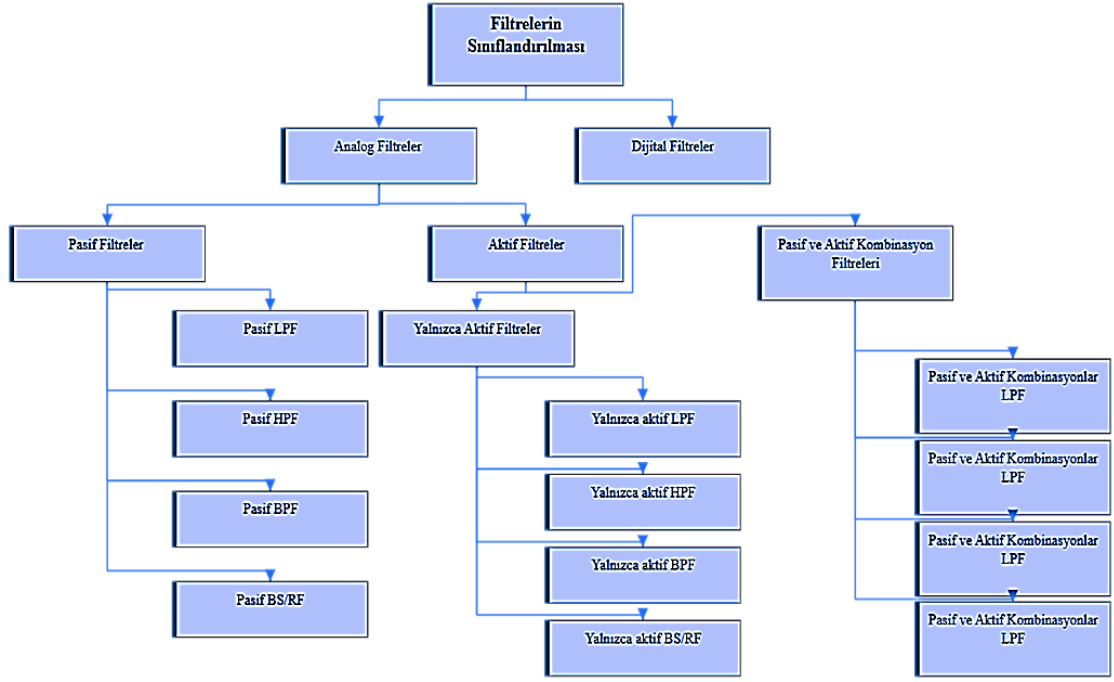
Operasyonel transiletkenlik amplifikatörü (OTA), diferansiyel voltaj kontrollü bir akım kaynağıdır (DVCCS). Transiletkenliği, çıkış akımının giriş voltajına oranını temsil eden geleneksel aktif-RC filtrelerinde R'lerle aynı şekilde bir tasarım parametresi olarak kullanılır (i.e, I_{out}/V_d). Devre parametrelerine elektronik eğilim kazandıran bir tedarik, I_{abc} (amplifikatör ön yargı akımı) ile birkaç on yıl boyunca ayarlanabilir [13].

İşlemsel bir amplifikatör (OA) kutbu kullanan analog sürekli zamanlı aktif filtreler ve operasyonel transiletkenlik yükselticisinin (OTA) transiletkenlik kontrol özelliği, son zamanlarda büyük ilgi görmüştür. Bu filtrelerin ek pasif ögeleri kullanması gerekmez ve bu nedenle bazen yalnızca aktif filtreler olarak adlandırılır [14].

2.1. FİLTRELERİN SINIFLANDIRILMASI

Filtreler, türüne göre şöyle sınıflandırılabilir:

- İşlenen sinyaller
- Yapımında kullanılan elemanlar
- Gerçekleştirilen işlevler



Şekil 2.1. Filtrelerin sınıflandırılması

Filtrelerin sınıflandırmaları Şekil 2.4'te gösterilmiştir.

2.2. İŞLENEN SİNYAL TÜRLERİNE GÖRE FİLTRELERİN SINIFLANDIRILMASI

Filtreler, işlenen sinyal türlerine göre aşağıdaki gibi sınıflandırılabilir:

Analog filtreler:

Analog filtreler analog sinyalleri işlemek için tasarlanmıştır. Analog filtreler, yapımında kullanılan elemanların türlerine göre sınıflandırılabilir.

A. Pasif Filtreler:

Pasif filtre, tamamen pasif elemanlarla (dirençler, kapasitörler ve indüktörler) oluşturulmuş bir analog elektronik filtre türüdür.

Pasif filtreler tarafından gerçekleştirilen fonksiyon türlerine göre sınıflandırılabilir:

Pasif Düşük Geçiş Filtresi (PLPF)

Pasif Yüksek Geçişli Filtre (PHPF)

Pasif Bant Geçiş Filtresi (PBPF)

Pasif Bant Durdurma (Reddetme) Filtresi (PBSF) veya (PB/RF)

B. Aktif Filtreler:

Aktif filtre aynı zamanda tamamen aktif elemanlarla (transistörler, işlemel yükselteçler ve operasyonel transiletkenlik yükselteçleri) ve pasif bileşenlerle birlikte veya bunlar olmadan oluşturulmuş bir analog elektronik filtre türüdür. İki tür aktif filtre vardır. Biri OTA filtresi gibi tamamen aktif bileşenlerle oluşturulur ve yalnızca aktif filtre olarak adlandırılır. Diğer pasif ve aktif kombinasyon filtresi olarak adlandırılır. Pasif ve aktif bileşenlerle oluşturulan Active-R ve anahtarlamalı kapasitör filtreleri buna örnektir.

• Yalnızca Etkin Filtreler:

Yalnızca etkin filtreler, tarafından gerçekleştirilen işlev türlerine göre sınıflandırılabilir:

Yalnızca Aktif Düşük Geçiş Filtresi (AOLPF)

Yalnızca Aktif Yüksek Geçiş Filtresi (AOHPF)

Yalnızca Aktif Bant Geçiş Filtresi (AOBPF)

Yalnızca Aktif Bant Durdurma (Reddet) Filtre (AOBSF) veya (AOBRF)

• Aktif Kombinasyonlar Filtreler:

Pasif ve aktif kombinasyonlar filtresi, tarafından gerçekleştirilen işlevlerin türüne göre sınıflandırılabilir:

Pasif ve Aktif Kombinasyonlar Düşük Geçişli Filtre (PACLPF)

Pasif ve Aktif Kombinasyonlar Yüksek Geçişli Filtre (PACHPF)

Pasif ve Aktif Kombinasyonlar Bant Geçiş Filtresi (PACBPF)

Pasif ve Aktif Kombinasyonlar Bant Durdurma (Reddetme) Filtresi (PACBSF) veya (PACBRF).

Aktif filtreler; enstrümantasyon sistemi, iletişim sistemi, ses sistemi, biyomedikal sistem ve sinyal işleme alanında yaygın olarak kullanılmaktadır.

Dijital Filtreler:

Dijital filtreler dijital sinyalleri işlemek için tasarlanmıştır. Dijital filtre, bir sinyalin ara formunda dijital matematiksel işlemler gerçekleştirerek çalışan herhangi bir elektronik filtredir. Dijital filtreler, matematiksel bir işlev veya algoritma olarak ifade edilebilecek hemen hemen her filtreleme efektini elde edebilir. Dijital filtre basitçe ayrık zamanlı, ayrık genlikli bir kıvrımdır. Dijital filtre, sinyalin örneklenmiş değerleri üzerinde sayısal hesaplamalar yapmak için dijital bir işlemci kullanır.

2.3. TEMEL FİLTRELERİN ÖZELLİKLERİ

Aşağıdaki gibi dört temel filtre vardır:

Düşük geçiren filtre (LPF)

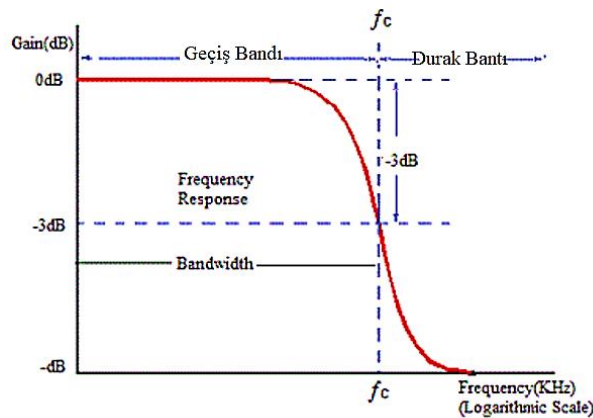
Yüksek geçiren filtre (HPF)

Bant geçiren filtre (BPF)

Bant reddetme/durdurma filtresi (BRF veya BSF)

2.3.1. Düşük Geçiş Filtresinin Özellikleri:

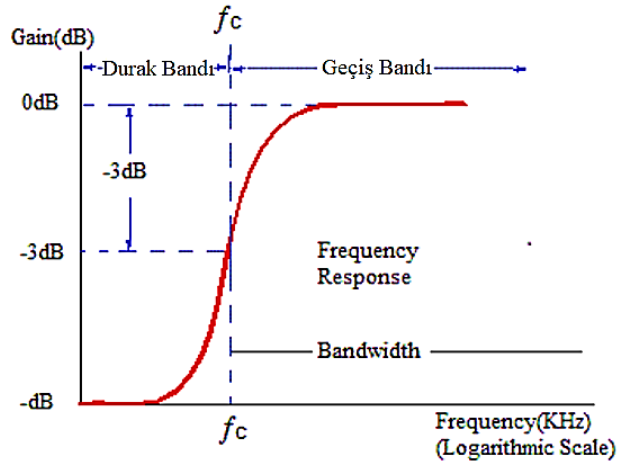
Alçak geçiren filtreler düşük frekanslı sinyalleri geçirirken filtrenin kesme frekansının yani durdurulması istenen frekansın üzerindeki sinyalleri reddeder. Düşük geçiren filtrenin (LPF) özellikleri Şekil 2.5'te gösterilmektedir.



Şekil 2.2. Alçak geçiren bir filtrenin özellikleri.

2.3.2. Yüksek Geçişli Filtrenin Özellikleri:

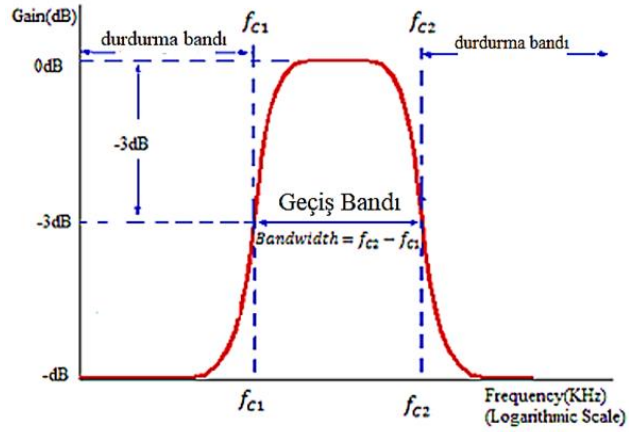
Geçirilmesi istenen frekansın altındaki frekansların durdurulması sağlanır. Bu frekans değerlerinin altındaki sinyaller zayıflatılırken alçak geçiren filtreler tam tersi şekilde çalışan filtrelerdir. Yüksek geçişli filtrenin (HPF) özellikleri Şekil 2.6'da gösterilmiştir.



Şekil 2.3. Yüksek geçişli bir filtrenin özellikleri.

2.3.3. Bant Geçiş Filtresinin Özellikleri:

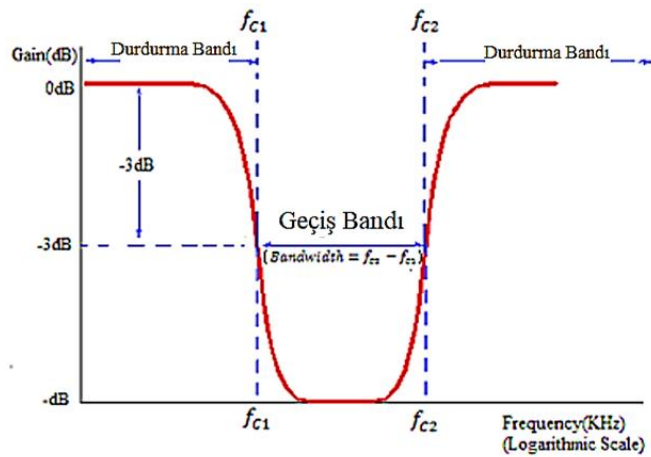
Bant geçiş filtresi belirli bir frekans bandını geçer (düşük $f_{c.1}$ ve daha yüksek $f_{c.2}$ kesme frekansları arasındaki tüm frekanslar). Bant geçiren filtreler geometrik olarak simetrik olur. Bant geçiş filtresinin bir geçiş bandı bölgesi ve iki durdurma bandı bölgesi vardır. Bant geçiş filtresinin (BPF) özellikleri Şekil 2.7'de gösterilmektedir.



Şekil 2.4. Bir bant geçiş filtresinin özellikleri

2.3.4. Bant Reddetme Filtresinin Özellikleri:

Bant reddetme filtresi belirli bir frekans bandını zayıflatır (alt f_{c1} ve daha yüksek f_{c2} kesme frekansları arasındaki tüm frekanslar). Bant reddetme filtresinin iki geçiş bandı bölgesi ve bir durdurma bandı bölgesi vardır. Bu filtre aynı zamanda bant durdurma (BSF) veya bant eleme filtreleri (BEF) olarak da adlandırılır. Bant durduran filtreler belirli bir bant içindeki frekansları reddederken bu frekansların dışındaki frekansları geçirir. Bant reddetme filtresinin (BRF) özellikleri Şekil 2.8’de gösterilmektedir.



Şekil 2.5. Bir bant reddetme filtresinin özellikleri

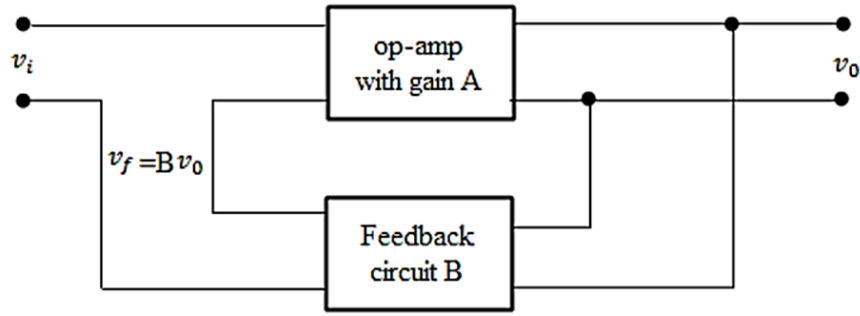
2.4. POZİTİF VE NEGATİF GERİ BESLEMELİ YÜKSELTEÇLERİN PRENSİBİ

Geri besleme kullanan bir işlemsel amplifikatöre geri besleme amplifikatörü denir. Geri besleme amplifikatörü bazen kapalı döngü amplifikatörü olarak adlandırılır çünkü geri besleme, giriş ve çıkış terminalleri arasında kapalı bir döngü oluşturur [15]. Bir geri besleme amplifikatörü temel olarak iki bölümden oluşur. Biri işlemsel bir amplifikatördür diğeri ise bir geri besleme devresidir. Geri besleme devresi; pasif elemanlar, aktif elemanlar veya pasif ve aktif eleman kombinasyonları kullanılarak oluşturulabilir. Kapalı döngü bir amplifikatör; biri işlemsel amplifikatör, diğeri geri besleme devresi için olmak üzere iki blok kullanılarak temsil edilebilir.

Sıradan bir amplifikatör için geri besleme olmadan v_i ve v_o sırasıyla giriş voltajı ve çıkış voltajıdır. A , işlemsel yükselticinin voltaj kazancı ise:

$$A = \frac{v_o}{v_i} \quad (2.1)$$

A kazancı, açık döngü kazancı (open-loop gain) olarak da adlandırılır. İşlemsel bir yükselticinin pozitif ve negatif geri beslemesi ilkesi Şekil 1.9'da gösterilmektedir.



Şekil 2.6. Pozitif ve negatif geri besleme amplifikatörünün blok diyagramı

Şekil 2.9'un iki bölümü vardır. Kazançlı (A) bir işlemsel amplifikatör ve geri besleme oranına (β) sahip bir geri besleme devresi, giriş voltajına bağlanır. Geri beslemenin pozitif veya negatif olmasına bağlı olarak giriş voltajı $v_i \pm \beta v_o$ olur.

Bu voltaj amplifikatör (A) zamanları ile yükseltilir. Olumsuz geri bildirim varsayılırsa:

$$\frac{v_o}{v_i} = \frac{A}{1 \pm B A} \quad (2.2)$$

Denklemin (1.2) sol tarafı, geri beslemeli amplifikatör kazancını temsil eder.

$$A_f = \frac{v_o}{v_i} = \frac{A}{1 - B A} \quad (2.3)$$

Negatif geri besleme amplifikatörü elektronik bir amplifikatördür. Bu, çıkışının bir kısmını girişinden çıkarır. Böylece negatif geri besleme orijinal sinyale direnir.

$$A_f = \frac{v_o}{v_i} = \frac{A}{1 + B A} \quad (2.4)$$

Pozitif geri besleme amplifikatörü elektronik bir amplifikatördür. Bu, çıkışının bir kısmını girişine ekler. Böylece pozitif geri besleme orijinal sinyale direnmez. Terimine geri bildirim faktörü ve geri besleme oranı denir. $(1 \pm \beta A)$ terimi, geri beslemeli döngü kazancı A_f olarak bilinir, kapalı döngü kazancıdır.

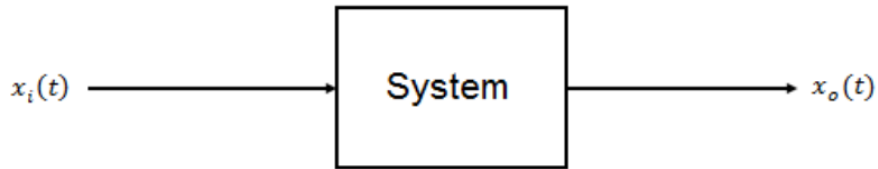
2.4.1. Olumsuz Geri Bildirimin Faydaları:

Olumsuz geri bildirim faydaları aşağıdaki gibidir:

- Yüksek stabilize kazanç
- Doğrusal olmayan bozulma, gürültü ve kazançta azalma
- Artan bant genişliği ve devre kararlılığı
- Giriş empedansını artırma ve çıkış empedansını azaltma
- Daha az genlik, frekans, harmonik ve faz bozulması

2.5. FİLTRENİN TRANSFER FONKSİYONU

Analog filtre, giriş $(x_i(t))$ ve çıkış $(x_o(t))$ sinyallerine sahip doğrusal bir sistemdir.



Şekil 2.7. Bir sistemin blok diyagramı

Bir sistemin belirli bir giriş $(x_i(t))$ ve çıkış $(x_o(t))$ sinyalleri arasındaki ilişki şöyle yazılabilir:

$$a_n \frac{d^n x_o(t)}{dt^n} + a_{n-1} \frac{d^{n-1} x_o(t)}{dt^{n-1}} + \dots + a_1 \frac{d x_o(t)}{dt} + a_0 x_o(t) \quad (2.5)$$

$$= b_m o \frac{(d)^{m-0} x_o(t)}{d^{m-0} t} + b_{n-1} \frac{(d)^{m-1} x_o(t)}{d^{m-1} t} + \dots + b_1 \frac{(d)^1 x_o(t)}{d^1 t} + b_o x_o(t)$$

a'nın ve b'nin sistem parametrelerinin birleşimidir. Bir sistemin transfer fonksiyonu, bir sistemin transfer fonksiyonunun Laplace dönüşümü alınarak belirlenebilir.

Laplace dönüşümü alındığında ve tüm başlangıç koşullarının sıfıra eşit olduğu varsayılırsa:

$$(a_n s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_o) x_o(s) = (b_m s^m + b_{m-1} s^{m-1} + \dots + b_1 s^1 + b_o) x_i(s) \quad (1.6)$$

Sonra

$$G(s) = \frac{x_o(s)}{x_i(s)} = \frac{b_m s^m + b_{m-1} s^{m-1} + \dots + b_1 s^1 + b_o}{a_n s^n + a_{n-1} s^{n-1} + \dots + a_1 s + a_o} \quad (1.7)$$

Burada G (s) bir filtrenin transfer fonksiyonudur ve bir sistemin çıkış $x_o(s)$ sinyalinin Laplace dönüşümünün bir sistemin giriş $x_i(s)$ sinyalinin Laplace dönüşümüne oranı olarak tanımlanır.

$$G(s) = \frac{x_o(s)}{x_i(s)} \quad (2.8)$$

$X_o(s)$ sırasının asla $x_i(s)$ sırasını aşmadığı durumlarda $X_i(s)$ 'in sırasına bir filtrenin sırası denir.

Transfer fonksiyonu aşağıdaki formu alabilir:

Bir voltajın transferinin başka bir voltajın transferine oranına voltaj transfer fonksiyonu denir.

Bir voltajın bir akımın transferine oranına empedans transfer fonksiyonu denir.

Bir akımın transferinin başka bir akımın transferine oranı, akım transfer fonksiyonu olarak adlandırılır.

Bir akımın bir voltajın transferine oranına giriş transfer fonksiyonu denir

2.5.1. Sıfır dereceli 26system

a_0, b_0 hariç tüm **a** ve **b**'ler sıfıra eşitse Denklem (2.9) olur.

$$G(s) = \frac{x_o(s)}{x_i(s)} = \frac{b_o}{a_o} = k \quad (2.9)$$

Burada **k** sabittir, bu nedenle bu sisteme sıfır dereceli sistem denir.

2.5.2. Birinci Dereceden Sistem

a_0 hariç tüm a ve b 'ler, a_1 and b_0 sıfıra eşitse Denklem (2.10) şöyle olur:

$$\begin{aligned} G(s) &= \frac{x_o(s)}{x_i(s)} = \frac{b_o}{a_1 s^1 + a_o} \\ G(s) &= \frac{x_o(s)}{x_i(s)} = \frac{b_o / a_o}{\frac{a_1}{a_o} s + 1} = \frac{K}{Ts + 1} \\ G(s) &= \frac{x_o(s)}{x_i(s)} = \frac{K / T}{s + 1/T} \end{aligned} \quad (2.10)$$

2.5.3. İkinci Dereceden Sistem

a_0, a_1, a_2 ve b_0 hariç tüm a ve b 'ler sıfıra eşitse Denklem (2.11) olur.

$$\begin{aligned} G(s) &= \frac{x_o(s)}{x_i(s)} = \frac{b_o}{a_2 s^2 + a_1 s + a_o} \\ G(s) &= \frac{x_o(s)}{x_i(s)} = \frac{b_o / a_2}{a_2 s^2 + \frac{a_1}{a_2} s + \frac{a_o}{a_2}} \\ G(s) &= \frac{x_o(s)}{x_i(s)} = \frac{kz_n^2}{s^2 + 2\xi z_n s + z_n^2} \end{aligned} \quad (2.11)$$

k sabit, z_n doğal frekanstır ve $\xi = 1/2Q$ sönümlenme oranlarıdır. Herhangi bir sistem denkleme uyar. Herhangi bir 27ytem denkleme (1.11) uyar. Bu sisteme ikinci dereceden 27ytem denir.

2.6. DUYARLILIK VEYA HASSASİYET (SENSİTİVİTY) FONKSİYONU

Aktif filtreler, dalga şekillendirme veya sinyal işleme gibi belirli işlevleri yerine getirmek için tasarlanmıştır. Ağ ögesi varyasyonları ile ağ aktarım işlevinde ortaya çıkan değişiklikler arasındaki neden-sonuç ilişkisi duyarlılık olarak bilinir. Bu nedenle hassasiyet, genel ağ fonksiyonunun ve ağdaki belirli bir parametrenin değişmesinin bir ölçüsüdür. Bu değişikliği en aza indirmek veya hassasiyeti azaltmak için küçük üretim toleranslarına, düşük sıcaklığa, yaşlanmaya ve nem katsayılarına sahip bileşenleri seçmek gerekir [16].

2.6.1. Tanım

Duyarlılık işlevi, bir ağ işlevindeki kesirli değişimin ilgilenilen bir unsurdaki kesirli değişime oranı olarak tanımlanır. Hassasiyet fonksiyonu, aşağıdaki formülle tanımlanabilir:

$$S_x^H = \lim_{\Delta x \rightarrow \infty} \left(\frac{\Delta H / H}{\Delta x / x} \right) = \frac{x}{H} \cdot \frac{\partial H}{\partial x} \quad (1.12)$$

S_x^H Duyarlılık fonksiyonu ise, **H** ağ işlevidir ve **x** ilgi unsurudur.

2.6.2. Duyarlılık Fonksiyonunun Özellikleri

Duyarlılık fonksiyonunun özellikleri Çizelge (2.1)'de özetlenmiştir.

Çizelge 2.1. Hassasiyet fonksiyonunun özellikleri

İlişki	İlişki
$S_x^x = S_x^{kx} = S_x^x = 1$	$S_x^{y_1 y_2} = S_x^{y_1} + S_x^{y_2}$
$S_x^{y^n} = n S_x^y$	$S_{x_1}^y = S_{x_2}^y S_{x_1}^{x_2}$
$S_x^{ky} = S_x^y = S_x^y$	$S_x^{y_1 + y_2} = \frac{y_1 S_x^{y_1} + y_2 S_x^{y_2}}{y_1 + y_2}$
$S_x^{x^n} = n S_x^{kx^n} = n$	$S_x^{y_1 / y_2} = S_x^{y_1} - S_x^{y_2}$
$S_x^{1/y} = S_{1/x}^y = -S_x^y$	$S_{x^n}^y = S_{kx^n}^y = \frac{1}{n} S_x^y = \frac{1}{n}$

2.6.3. Duyarlılık Katsayısı

Genel olarak herhangi bir aktif veya pasif topaklı ağ için bir ağ işlevi F(s), aşağıdaki forma sahip polinomların bir oranıdır [17]:

$$F(s) = \frac{P(s)}{V(s)} = \frac{m_o + m_1 S + m_2 S^2 + \dots + m_n S^n}{b_o + b_1 S + b_2 S^2 + \dots + b_n S^n} \quad (2.13)$$

Burada **m_i** ve **b_i** katsayıları gerçektir ve keyfi bir filtre elemanının işlevleri olabilir **x**. Böyle bir element için **x**'in bağıl katsayı hassasiyetleri aşağıdaki gibi tanımlanabilir:

$$\begin{aligned} S_x^{m_i} &= \frac{x}{m_i} \cdot \frac{\partial m_i}{\partial x} \\ S_x^{b_i} &= \frac{x}{b_i} \cdot \frac{\partial b_i}{\partial x} \end{aligned} \tag{2.14}$$

Veya yarı bağıl katsayı hassasiyetleri (daha da kullanışlıdır)

$$\begin{aligned} S_x(m_i) &= x \frac{\partial m_i}{\partial x} \\ S_x(b_i) &= x \frac{\partial b_i}{\partial x} \end{aligned} \tag{2.15}$$

BÖLÜM 3

FİN FET TEMELLERİ VE CİHAZ ÖZELLİKLERİ

Moore yasasını takiben transistör boyutu son birkaç on yılda sürekli olarak ölçeklendirilmiştir. Sızıntı gücü ve kısa kanal etkileri, transistör cihazlarının ölçeklendirilmesinde en büyük zorluklardı. FinFET cihazının 10 nm boyutlarının altında ölçeklendirmeyi destekleyen MOSFET'e göre avantajlar sağladığı bulunmuştur. CMOS tabanlı transistör ve FinFET cihazlarının performansları karşılaştırıldığında kapıdan elektrostatik etkilerin kontrol edilmesine yardımcı olan FinFET'te örtüşen kapının avantajlı olduğu bulunmuştur. FinFET cihazında kapıyı çevreleyen çok sayıda kanat, kanaldaki şarj akışını kontrol eder. FinFET cihazlarının ölçeklendirilmesi, devre tasarımcıları için çeşitli avantajlara yol açmıştır. Bu bölümde FinFET'ler ve özellikleri hakkında ayrıntılı bir çalışma yürütülmektedir. Kanal yapısını ve elektriksel özelliklerini tanımlayan model dosyası detaylı olarak incelenmekte ve farklı konfigürasyonlara sahip FinFET cihazının özellikleri analiz edilmektedir.

3.1. CİHAZ ÖLÇEKLENDİRMEDE ZORLUKLAR

Günümüz küçük alanlarda ve yüksek hızda çalışmayı gerektirdiğinden günümüzde düşük güç tüketen cihazlara büyük bir talep vardır. Bu nedenle yüksek hızda kompakt cihazlar elde etmek, çok büyük ölçekli entegrasyon (VLSI) tasarım mühendislerinin ana hedefidir. Bu yüzden düşük güç, bu insanlar için ana araştırma konusu haline gelmiştir. Bu durum; ipad'ler, cep telefonları gibi taşınabilir cihazlara olan talebin artmasından kaynaklanmaktadır. VLSI imalat teknolojilerindeki gelişmeler; esas olarak kanal uzunluğunun azaltılması, kapı oksit kapasitanslarının azaltılması gibi cihaz boyutlarının azaltılmasına odaklanmıştır. Bu nedenle metal oksit yarı iletken alan etkili transistörün (MOSFET'ler) (45nm) daha aşağı ölçeklendirilmesine ihtiyaç vardır.

Y. K. Choi et al. [47] tamamlayıcı metal oksit yarı iletken (CMOS) transistörünün 45 nm daha aşağı ölçeklendirmesinin önündeki üç ana engeli sunar, mikroişlemciler gibi yüksek oranda entegre devreler için:

Alt eşik kaçağı

Kapı dielektrik gerilimi ve eşik gerilimi

H.S. Momose et al. [48], iki katta 22 nm altı kapı uzunluğu için zorlukları sunar:

Kaçak akımın en aza indirilmesi

Verimi artırmak için cihazdan cihaza değişkenliğin azaltılması

S.K. Gupta ve ark. [49], zorlukların üstesinden gelmek için yalıtkan üzerinde silikon (SOI), çift kapılı alan etkili transistör (DGFET'ler) gibi birkaç yenilikçi cihazın icat edildiğini tartışmıştır. Yüksek yoğunluklu yongaların tasarımı karmaşıklığı arttırdığından VLSI devrelerindeki paketleme yoğunluğu mümkün olduğunca yüksek olmalıdır. MOSFET cihazının boyutlarındaki azalmaya ölçeklendirme denir.

Milad Mohammadi et al. [50] bir teknoloji ölçeklendirme kavramı sunar. Azaltılan şey kanal uzunluğu ise: L'nin çalışma hızını ve çip başına bileşen sayısını artırmak için kanal uzunluğunun azaltılması durumunda drenaj kaynaklı bariyer düşürme (DIBL), hız doygunluğu, sıcak elektron etkisi ve darbe iyonizasyonu gibi kısa kanal etkileri ortaya çıkar.

MOSFET tasarımı ile ilgili başlıca sorunlar şunlardır:

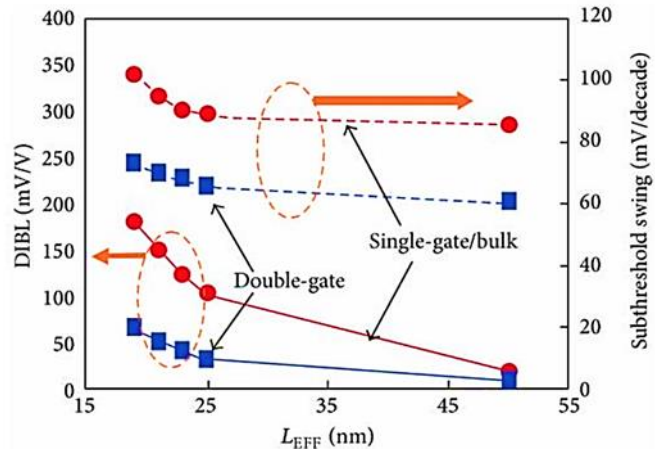
MOSFET boyutunun küçülmesi, kısa kanal efektlerinde artışa neden olur.

Kapı Oksit Tünelleme Sızıntısı: Kapı oksit kalınlığı, kapı kontrolü V_t ve performansını korumak için ölçeklendiğinden kapı izolatörü doğrudan tünel sızıntısı artar.

Değerlik bandından elektron tüneli hem PMO'larda hem de NMO'larda substrat akımı üretir. Kapı kalınlığı ölçeklendirmesi, kapıdan kanala tünel sızıntısına yol açar. Taşıyıcıların doğrudan tünellenmesinde dielektrik malzemenin kalınlığı azaldıkça potansiyel meydana gelir.

Durum Dışı Akım (Off State Current): MOSFET'e en büyük katkıda bulunan durum dışı akımdır, I_{eff} , $V_g = 0$ ve $V_{DS}=V_{DD}$ olarak ölçülür. Statik gücü en aza indirmek için I_{eff} 'i küçük tutmak arzu edilir. Kaçak akım baskındır, 65nm teknolojisinin ötesinde güç tüketiminin %60'ı kaçak akımdır. Şekil 3.1 [51], düzlemsel ve FinFET transistörleri için kanal akımına karşı kapı voltajını göstermektedir.

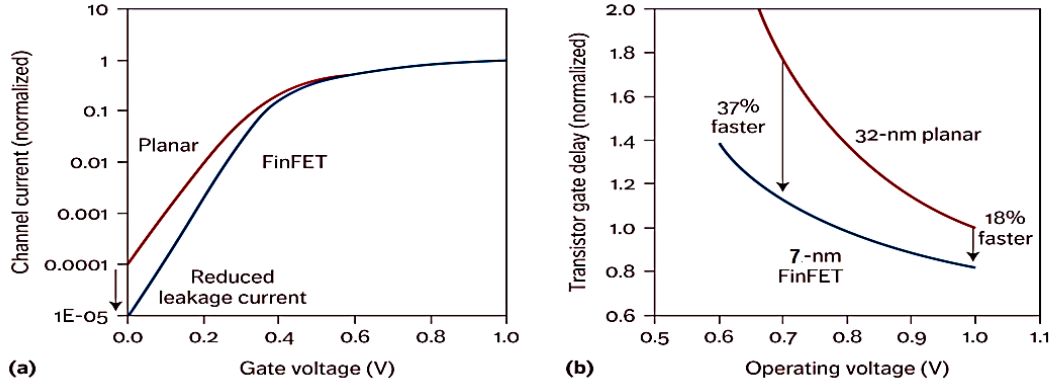
Kendinden Isıtma (Self-heating): Isı transferine metalde elektron taşınması ve yarı iletkenlerde foton taşınması hâkimdir. Termal direnç artışı, kalın gömülü oksit içeren daha ince Si film için belirgindir.



Şekil 3.1. Düzlemsel ve FinFET transistörü için kapı voltajına karşı kanal akımı [52]

Performans Eksikliği (Performance Short Coming): MOSFET'in uzunluğu azaldığında kanal üzerindeki kapı voltajının kontrolü azalır, bu da performansı düşürür.

Kapı Gecikmesi (Gate Delay): Düşük VDD'de FinFET düzlemsel olarak gelişir. FinFET, daha düşük besleme voltajlarında çalışabilir ve aktif gücü >% 50 oranında azaltır. Şekil 3.2 düşük VDD'de düzlemsel MOSFET üzerinden FinFET'i göstermektedir.



Şekil 3.2. FinFET’te düşük VDD (a) kanal akımında FinFET (b) FinFET’te gecikme [53]

3.2. TEKNOLOJİ ÖLÇEKLENDİRMESİNİN ETKİLERİ

Digh Hisamoto et al. [54] ve Animesh Datta et al. [55], kısa kanal cihazları, kaynak ve drenaj bağlantılarının tükenme katmanı genişlikleri ile kanal uzunluğunun aynı büyüklük sırasına sahip olduğu cihazlardır. Kısa kanal etkileri aşağıdaki gibi ayırt edilir:

DIBL: Uygulanan kapı voltajı, elektron akışı için kaynak ve drenaj arasında bir kanal oluşturmayı sağlayan potansiyeli azaltır. Boşaltma voltajı, drenaj potansiyeli arttıkça elektron akışına drenajdan kaynağa neden olur. Kapı voltajı eşik voltajından düşükse elektronlar kaynaktan drenaja akar. Bu kanal akım akışına alt eşik akımı denir. Bu fenomen, drenaj kaynaklı bariyer düşürme olarak bilinir.

Hız Doygunluğu: Taşıyıcı hız, elektrik alanıyla orantılıdır. MOSFET kapısına güçlü bir elektrik alanı uygulandığında elektronların akışının doygun hale gelme hızına hız doygunluğu denir. MOSFET’in uzunluğu azaldığından iyonlar drenaja ulaşmadan önce erken doymuş hale gelir. Bu nedenle erken doygunluk etkileri ve drenaj akımında azalma meydana gelir. Bu durum esas olarak V_{ds} ’den kanaldaki uzunlamasına voltajlar nedeniyle oluşur.

Darbe İyonlaşması: Yüksek uzunlamasına elektrik alanının varlığında yüksek hızlı elektronlar elektron deliği (e-h) çiftleri oluşturur. Bu fenomene darbe iyonizasyonu denir. Elektronların çoğu drenaja girerken kapı voltajı

uygulandığında delikler alt tabakaya girer. Bu parazitik bir substrat akımı oluşturur. Drenaj voltajı uygulandığında elektrik alanı nedeniyle elektronların bir kısmı drenajdan kaçır ve alt tabakaya girerek cihazın performansını etkiler.

Sıcak Elektronlar: Cihaz içindeki yüksek elektrik alanından kaynaklanan bir diğer güvenilirlik sorunu da sıcak elektronlardır. Yüksek elektrik alanı nedeniyle elektronlar ve delikler yeterli yüksek elektrik alanı kazanır. Kapı oksit içine enjekte edilebilir, bu da oksit arayüzü yük dağılımında kalıcı hasara yol açarak transistör özelliklerini bozar. Bu etki daha yüksek drenaj voltajlarında, yüksek yanal elektrik alanında daha fazladır. Sıcak elektron etkisi; trans iletkenlikte bozulmaya, eşik voltajında bir kaymaya ve drenaj akımında bir azalmaya yol açar.

Yüzey Saçılması: Kanal uzunluğundaki azalma nedeniyle yüzey hareketliliği alana bağımlı hale gelir ve uzunlamasına elektrik alan bileşeni artar. Bir MOSFET'teki taşıyıcı, dar bir kanal bölgesinde sınırlıdır.

Yüzey saçılması elektron hareketliliğini azaltır, elektronlar arayüze paralel olarak büyük zorluklarla hareket ederken yüzey ortalama elektron hareketliliği yığın hareketliliğinin yarısıdır.

3.3. FİN FET İÇİN TAHMİNE DAYALI TEKNOLOJİ MODELLERİ

Tam olarak geliştirilmeden önce gelecekteki teknolojilerin özelliklerini keşfetmek için her zaman doğru ve özelleştirilebilir bir model gereklidir. Gelecekteki transistör ve ara bağlantı teknolojileri için Predictive Technology Model (PTM) dosyaları, gelecekteki devre gelişiminin analizinde hayati bir rol oynamaktadır. PTM dosyaları standart devre simülatörleri ile uyumludur ve proses varyasyonları ile ölçeklenebilir. Berkeley Tahmini Teknoloji Modeli (BPTM), FinFET için yeni metodoloji tahmini ve ölçeklenebilir cihaz gibi yeni özelliklerle PTM'ye dönüşmüştür. FinFET cihazının altında yatan fiziği anlamak için kapsamlı araştırmalar yapılmıştır.

Yine de uyumlu çok kapılı cihazlar için kompakt bir model LTSPICE gibi devre simülatörleri ile gereklidir. PTM; FinFET yapısı için gergin Si, çoklu Vth ve High K

Metal Gate (HKMG) işlemleri için ölçeklenebilir modeller içerir. Teknoloji geliştirmeleri; modellerin mobilitedeki artışı, SCE'nin kontrolü ve bir FinFET cihazında ön ve arka kapılar arasındaki bağlantı gibi birincil parametreleri oluşturmasını etkilemiştir. Literatürde (Cao ve diğerleri 2011) ölçekleme sırasında termal etkinin, hareketliliğin ve V_{th} 'nin aynı kalmasının beklendiği doğrulanmıştır. CMOS cihazlarının tahmini modellemesi 32nm düğüme uygulanabilir. Bu durum araştırmanın önerilen devrelerin performansını geleneksel CMOS devreleriyle karşılaştırmasına yardımcı olmuştur.

3.4. FİN FET'İN CMOS CİHAZI İLE KARŞILAŞTIRILMASI

FinFET cihazının özellikleri, fiziksel ve elektriksel özelliklere göre CMOS cihazı ile karşılaştırılır.

3.4.1. CMOS Cihazındaki Dezavantajlar

MOSFET transistörünün ölçeklendirilmesi, transistör yoğunluğunda ve performansında artışlar sağlasa da sızıntı olgusu dezavantajdır. Artan sızıntı; azalan oksit kalınlıklarından, daha yüksek substrat dopinginden ve azalan kanal uzunluklarından kaynaklanır.

Düşük çalışma voltajlarında daha iyi performans elde etmek için indirilmiş bir eşik voltajı, sızıntı sorununu daha da şiddetlendirir.

Kaynağın ve drenajın daralması, geçidin kanal üzerindeki etkin kontrolünü azaltarak DIBL sorununu vurgular.

Cihaz başına statik güç dağılımının dinamik güç dağılımını aşacağı tahmin edilmektedir.

3.4.2. FinFET'in Etkinliği

Eşik voltajından potansiyel olarak daha büyük olduğunda, DG cihazının ve kaynağın kapıları arasına uygulandığında akım drenajdan kaynağa akar. Bununla birlikte çift kapılar, kanalın bir yerine iki taraftan modüle edilmesine izin verir. İki kapı birlikte kanal potansiyelini güçlü bir şekilde etkiler, drenaj

etkisiyle mücadele eder ve kanal akımını kapatmak için daha iyi bir yeteneğe yol açar.

DIBL böylece DG cihazı ile azaltılır ve salınım geliştirilir.

FinFET'ler; uygun maliyetli üretim ve çift kapının doğal hizalanması.

3.4.3. FinFET Cihaz Tasarımında Karmaşıklık

Kanat yüksekliği, H_{fin} ve çip üzerindeki tüm kanatçıklar için aynı olmalıdır. Daha büyük bir yükseklik, işlemeyi zorlaştırır ve kusurlara neden olur.

Fin mühendisliği; dengeleme yüksekliği, kanat kalınlığı, oksit kalınlığı ve kanal uzunluğu nedeniyle karmaşık hale gelir. Kaçak akımın en aza indirilmesi, Ioff ve açık akım olan I_{on} 'u en üst düzeye çıkarmak için gereklidir.

FinFET boyutlandırma zordur çünkü birden fazla kanatçık kullanılarak daha geniş cihazlar oluşturulur.

FinFET boyutlandırma daha sonra devredeki her kapı için en uygun paralel kanat sayısını bulmaktan oluşur.

3.4.4. FinFET'in Ön Yargılı Tutulmasıyla İlgili Konular

FinFET kapılarından birinin bağımsız ön yargısı daha düşük sızıntı sağlar ve performans etkilenir.

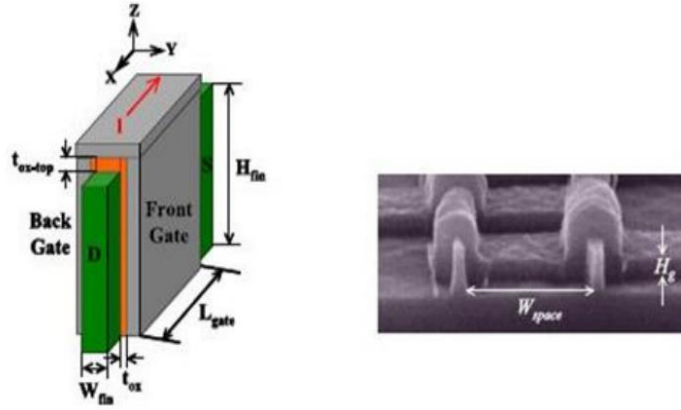
Bu nedenle bağımsız (Independent) ön yargı kullanılmalıdır.

3.4.5. Boyutlandırmadaki Sorunlar: FinFET'in Vs 7 nm

FinFET'in genişliği şu şekilde tanımlanır:

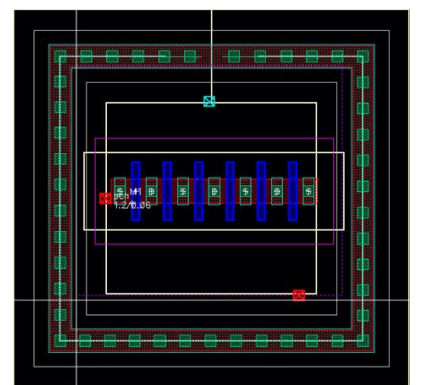
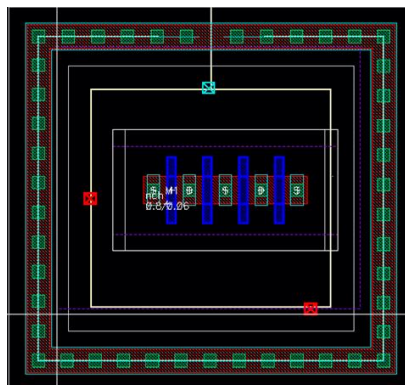
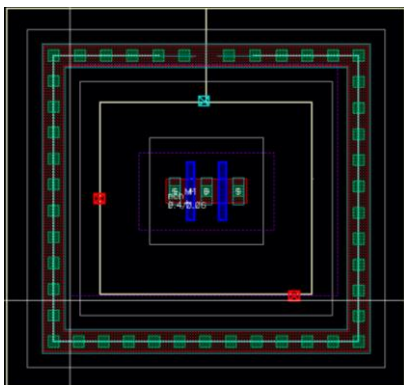
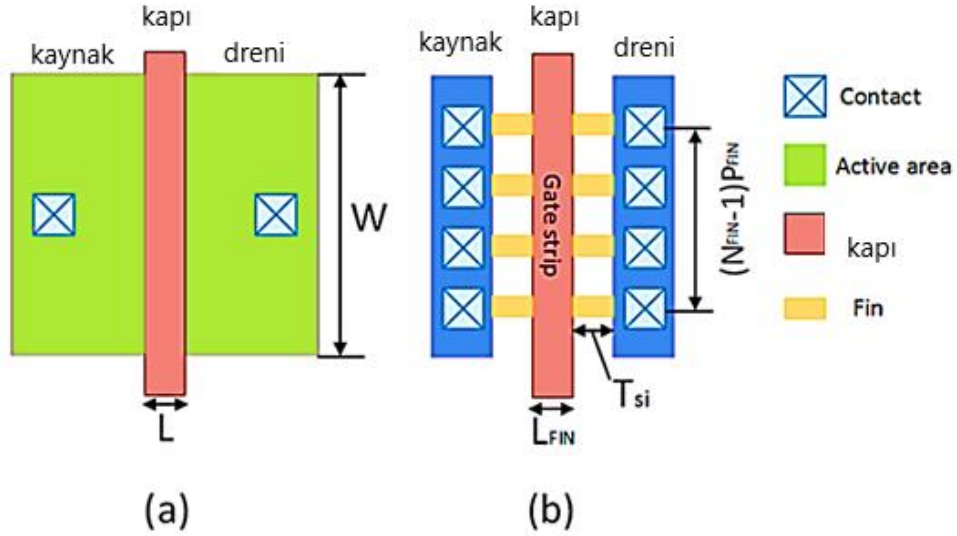
$$W_{gate} = 2 \times H_{Fin}$$

Kapı, Şekil 3.3'te gösterildiği gibi daha geniş bir FinFET elde etmek için kaynak ve drenaj arasındaki birden fazla kanat boyunca örtülmüştür (Brian Swahn & Soha Hassoun 2006). Kanatçık bölgesi sıkıca döşenerek kapı direnci en aza indirilir. Fin boyutlandırmada ayrık optimizasyon yapılır. Böylece bir 'n' fin cihazı, tek bir kanatçık cihazı tarafından verilen akımın yaklaşık n katını verir ve tek bir kanatçık cihazı nedeniyle yükün 'n' katını sağlar.



Şekil 3.3. FinFET cihaz geometrisi

Şekil 3.4'ta, genel bir CMOS cihazının düzeni ile dört kanatlı kısa geçit FinFET cihazı arasındaki karşılaştırmayı göstermektedir. Bu FinFET yerleşim yapısında kapı terminali için tek bir şerit kullanılırken daha geniş bir FinFET cihazı yapmak için birden fazla kanatçık kaynak ve drenaj terminalleri metal bir tel ile bağlanır. Bu, CMOS cihazlarından farklıdır.



Şekil 3.4. (a) genel bir CMOS cihazının ve (b) dört kanatlı kısa devre geçit FinFET cihazının düzeni

3.4.6. FinFET’lerde Daha Hızlı Geçiş

Minimal boyutlu bir n tipi 7 nm MOS cihazıyla karşılaştırıldığında FinFET’ler daha fazla akım sağlar ve daha hızlı anahtarlama süreleri sağlar. Toplu CMOS’ta eşik altı sızıntısı, kapı sızıntısı, ters taraflı bağlantı, banttan banta tünelleme (BTBT) ve kapı kaynaklı drenaj sızıntısı gibi çeşitli sızıntı mekanizmaları mevcuttur. Ancak FinFET cihazında sadece iki kaçak mekanizması vardır: alt eşik akımı ve kapı sızıntısı. ON durumu ve OFF durumu sırasındaki akım, kanat kalınlığı arttıkça artar. Parazitik kaynak/drenaj dirençlerindeki azalma, I_{on} ’in artmasına neden olurken kanal üzerindeki kapı kontrolünün azalması nedeniyle I_{off} artar.

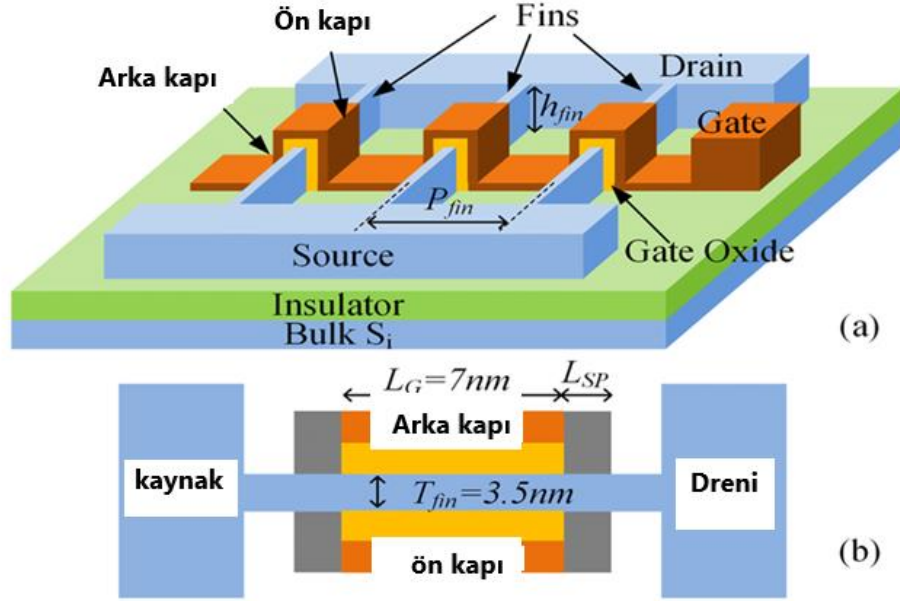
3.4.7. Termal Problemler

FinFET cihazları mükemmel elektrostatik özellikler sağlasa da termal direnç nedeniyle kendi kendine ısınma sorunu yaşanır. Yüzgecin küçük ve sınırlı boyutları, azaltılmış fonon ortalama serbest yol nedeniyle termal direnci artırır. FinFET termal problemleri daha geniş FinFET tasarlanarak çözülebilir. Kaynağın sıcaklığı eşik değerinin üzerine çıkarsa mevcut üretimde bir azalma olur. Buna ek olarak kapı gecikmesi sıcaklığın, Fin genişliğinin ve gövde ön yargısının bir fonksiyonudur.

3.5. FİN FET PRENSİBİ

Çift kapılı MOSFET’in ana fikri, Si kanal genişliğini küçük olacak şekilde seçerek ve kanalın her iki tarafına bir kapı kontağı uygulayarak Si kanalını çok verimli bir şekilde kontrol etmektir. Bu kavram, kısa kanal etkilerini bastırmaya yardımcı olur ve yalnızca bir kapıya sahip bir MOSFET’e kıyasla daha yüksek akımlara yol açar. Aynı DG MOSFET’in üstten görünümü Şekil 3.5’te gösterilmiştir. Burada kapı uzunluğu “L” ile kapı genişliği ise “W” ile tanımlanır. İki kapı uzunluğunun (diyagram hakkında üst kapı uzunluğu ve benzer şekilde alt kapı uzunluğu) kapının

fiziksel boyutuna değil kapının altındaki kaynak ve drenaj bölgeleri arasındaki mesafeye eşit olduğuna dikkat edilmelidir. Kapı ile kaynak/drenaj bölgesi arasındaki örtüşme, ters çevirme tabakasının kaynak ve drenaj bölgesi arasında sürekli bir iletken yol oluşturmasını sağlamak için gereklidir. Parazittik kapasitansını en aza indirmek için örtüşme mümkün olduğunca küçük yapılmalıdır.



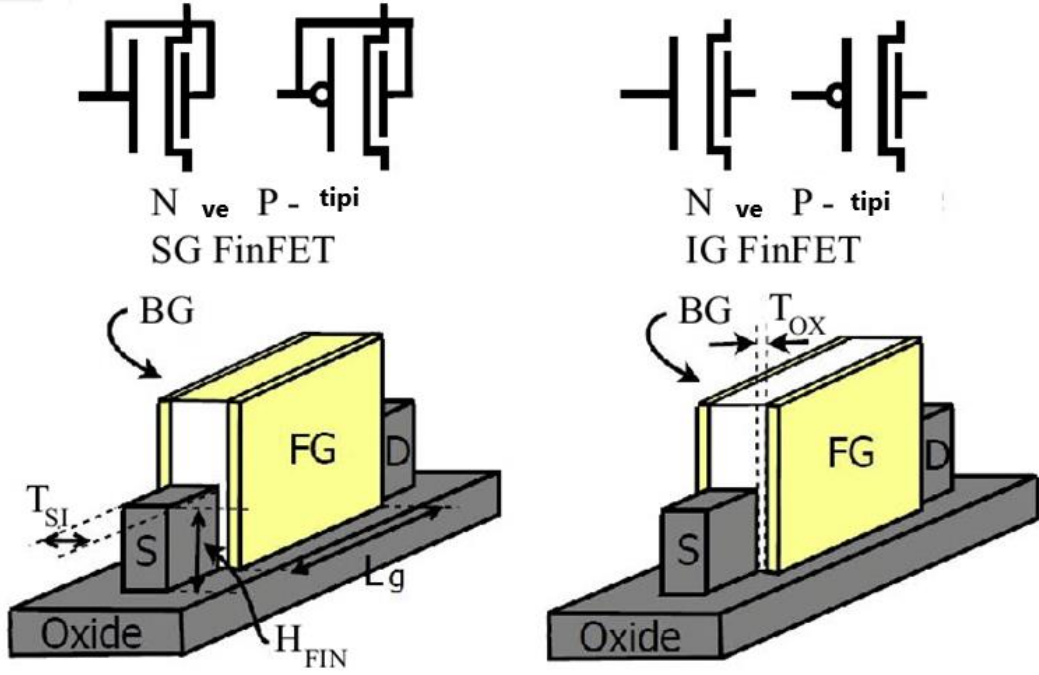
Şekil 3.5. 7 nm'lik FinFET veya DG MOSFET'in yapısı

Kapıya uygulanan voltaj, kaynaktan drenaja elektron akışını kontrol eder. Kapıya uygulanan pozitif bir voltaj, elektronları kapı dielektrik ile yarı iletken arasındaki arayüze çeker. Bu elektronlar, ters çevirme katmanı adı verilen iletken bir kanal oluşturur. Kapı oksit herhangi bir taşıyıcı akışını engellediğinden arayüzde ters çevirme katmanını korumak için kapı akımı gerekmez. Uygulanan kapı voltajının drenaj ve kaynak arasındaki akımı kontrol ettiği D. M. Fried ve diğerleri tarafından net bir şekilde ortaya konmuştur.

3.6. FİN FET TEKNOLOJİSİ

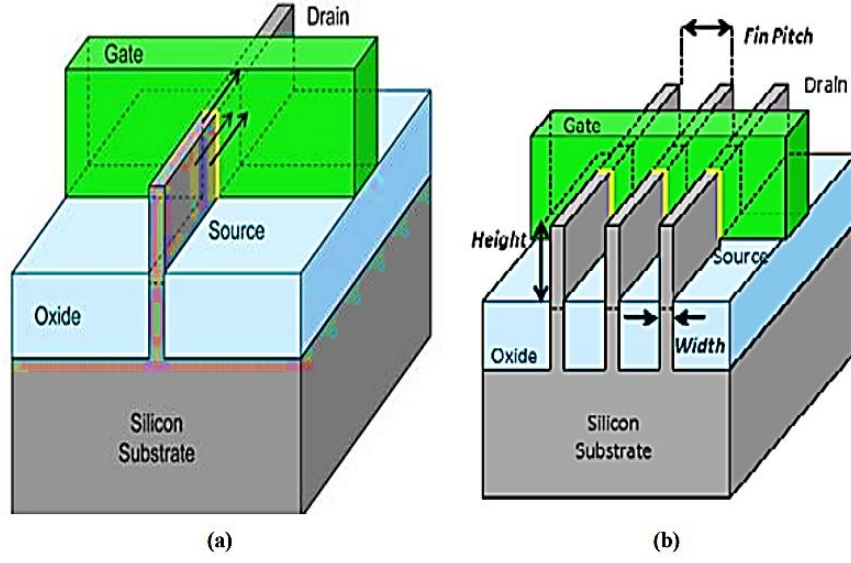
MOSFET'lerin ve FinFET'lerin çalışması aynıdır. MOSFET'ler düzlemsel iken FinFET'ler düzlemsel değildir. Kısa kapı (SG) FinFET ve bağımsız kapı (IG) FinFET'in yapısı Vikas Mahor ve diğerleri tarafından sunulan Şekil 3.6'da

gösterilmektedir. [56], Temel bir platform olarak SOI gofret ile üzerine TSI kalınlığında ince bir silikon filmi desenlenmiştir. Fin kapısı şallarının etrafında gofret düzlemine dik olarak uzunluğu L_g ile bir kanal oluşturulur. Bu nedenle cihaz düzlemsel olmayan olarak adlandırılır. Fin yüksekliği $2NH_{fin}$ genişliğinde H_{fin} 'dir. Burada n kanat sayısıdır. Yüksek akımlı transistörler yapmak için çoklu kanatçıklar kullanılır ve FinFET'in kanatçık sayısı genişliği açısından nicelenir. FinFET'lerin sunduğu teknoloji odaklı avantajlara ek olarak devreler, FinFET'lerin çift kapı yapısından da yararlanmaktadır. Bu, performansı artırır ve gücü optimize eder. Bağımsız kapı yapısına ulaşan cihazın üst kısmını aşındırmak, Y.K Choi ve diğerleri tarafından sunulan FinFET'in ilginç tasarımlarından biridir. [57].



Şekil 3.6. (a) SG-FinFET (b) IG-FinFET

Şekil 3.7, FinFET ve Trigate FinFET arasındaki yapısal karşılaştırmayı göstermektedir. FinFET'in iki kapısı varken Trigate adından da anlaşılacağı gibi üç kapıdan oluşur: ön kapı, arka kapı ve üst kapı. Tri-gate FET'ler ayrıca üst yüzeydeki ek akım iletimi nedeniyle çift kapılı FinFET'lere kıyasla daha az kapı kaynağı kapasitansına sahiptir ancak bu avantaj, artan parazitik direnç ile azalır.



Şekil 3.7. (a) FinFET (b) Trigate FinFET arasındaki yapısal karşılaştırmalar

Dört farklı FinFET çalışma modu sunulmaktadır:

Kısa Kapı İnvörtörü (SG INV) Modu: Transistör kapıları birbirine bağlanır. Şekil 3.7 (a) 'da bir invörtör örneği gösterilmiştir.

Düşük Güç Çevirici (LP INV) Modu (Şekil 3.7 (b)): pFET'in arka kapısı $V_{yüksek}$ sinyaline bağlanır ve güç sızıntısını azaltmak için nFET'in arka kapısı $V_{düşük}$ sinyali bağlanır.

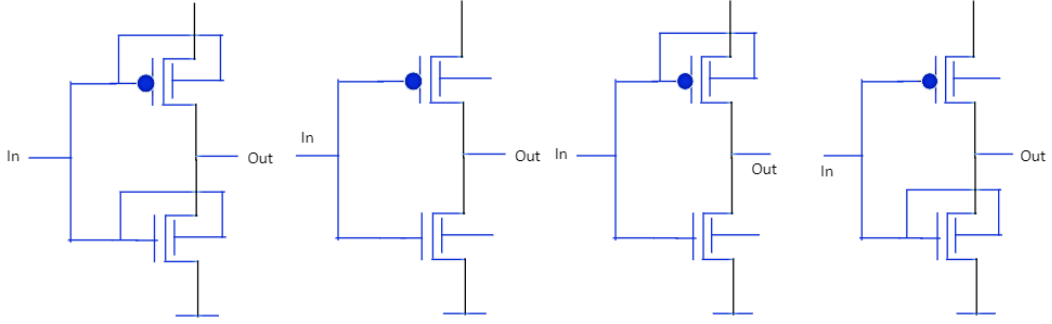
Bağımsız (Independent) Kapı n İnvörtör (Ign INV) Modu (Şekil 3.7 ©): $V_{düşük}$, nFET'in arka kapısı ile bağlanır. Bu mod, sinyaller ters taraflı olduğunda I_{off} 'ta önemli bir azalmaya yol açar.

Bağımsız Kapı p (IGP INV) Modu (Şekil 3.7 (d)): pFET'in arka kapısı $V_{düşük}$ 'e bağlanır.

IG FinFET'in düzeni, SG FinFET'ten daha fazla alana yol açarak SG FinFET'in alanının 2 katı olan SG FinFET'e göre %36 ek yük ile sonuçlanır. SG FinFET, yayılma gecikmesi ve alanı açısından daha iyi bir seçenektir. SG FinFET, LP FinFET'ten daha fazla kaçak akıma sahiptir. LP FinFET, zayıf alan performansına ve yayılma gecikmesine sahiptir.

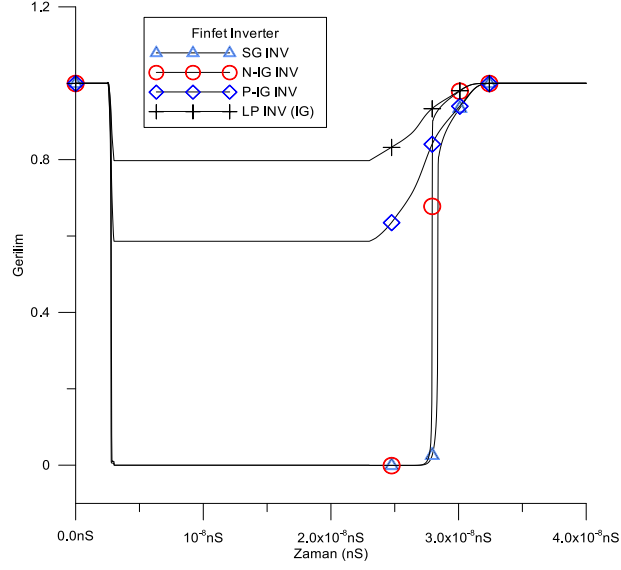
3.7. FİN FET ŞEMASI

Şekil 3.8’de, sunulan dört farklı FinFET çalışma modunu göstermektedir



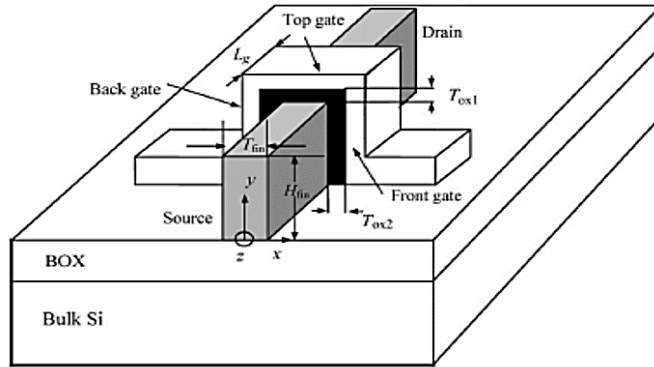
Şekil 3.8. (a) SG INV (b) LP INV (c) IGn INV (d) Igp INV’nin şematik diyagramları

Farklı modlardaki FinFET tabanlı invertörün şeması Şekil 3.8 (a) ‘da gösterilmiştir. Hem transistör p tipi FinFET hem de n tipi FinFET arka kapısının ön kapısına bağlandığı SG modu invertörü göstermektedir. Bu, konfigürasyon yüksek performanslı uygulamalar için en uygundur. Şekil 3.8 (b), n tipi FinFET arka kapısının ön kapısı ile kısa devre yapıldığı IG n tipi mod invertörünü gösterir. Şekil 3.8 (c), IG p tipi mod invertörünün FinFET arka kapısının yüksek oranda ön yargılı olduğunu gösterir ($V_{yüksek} = 0.9V$). Bu mod düşük alana sahiptir, azaltılmış transistör sayısı ve anahtarlamalı kapasitans anlamına gelir. Şekil 3.8 (d), p tipi FinFET arka kapısının yüksekte ($V_{yüksek} = 0.9V$) ön yargılı olduğu ve n tipi FinFET arka kapısının düşükte ($V_{düşük} = 0.1V$) ters ön yargılı olduğu LP modu invertörünü göstermektedir. Arka kapı; uygulanan potansiyel, artan gecikme pahasına düşük güçlü uygulamalar için gerekli olan her iki FinFET’in eşik voltajlarını değiştirir. İnvirtör için simülasyon dalga formu Şekil 3.9’de gösterilmiştir.



Şekil 3.9. İnvörtör simülasyon sonuçları

FinFET, çift kapılı veya trigate cihazıdır. Farklı voltajlar için alanı azaltmak ve daha yüksek performans amacıyla kapılar bağlanabilir. FinFET yapısı sunulan Şekil 3.10'de gösterilmektedir [58]. FinFET toplu gofret üzerinde yürütülür. Kaynak ve drenaj bölgesi toplu olarak katlanır. Dikey yüzgeç, dökme substratın üstünde büyütülür. Kapıya enerji verildiğinde elektronlar kaynaktan drenaja akmaya başlar. Kanal ve kapı arasındaki mesafe, FinFET cihazlarında daha fazla akım akışına yol açan geleneksel MOSFET'lere kıyasla çok daha azdır. Kapı terminalinin uyarıldığı noktada açıklık kanal üzerinde daha iyi bir elektrostatik kontrole sahiptir. Düzlemsel MOSFET düz bir kanala sahipken FinFET dikey bir kanala sahiptir. FinFET'in genişliği, kanalın yüksekliği (H_{FIN}) tarafından yönlendirilir. Bu, daha sonra FinFET'in genişlik nicelemesi olarak bilinen ortak özelliğini yönlendirir [59].



Şekil 3.10. FinFET yapısının şeması

FinFET'ler için geometrik parametreler; kapı uzunluğu (L_g), Fin yüksekliği (H_{fin}), Fin genişliği (T_{fin}), üst kapı kalınlığı ($Tox1$), ön veya arka kapı kalınlığı ($Tox2$) ve kanal uzunluğudur (L_{eff}). Bu geometrik parametrelerden FinFET'ler sınıflandırılır. (T_{fin}) (H_{fin})'den büyükse FinFET'ler tamamen tükenmiş SOI MOSFET olarak bilinir. (T_{fin}) (H_{fin})'den küçükse çift kapılı SOI MOSFET olarak bilinir. Fin yüksekliği ve kalınlığı kısa kanal efektleri (SCE) üzerinde kontrole sahiptir. ($Tox1$) ($Tox2$)'den büyükse buna DG FinFET denir. $Tox1$ 'in $Tox2$ ile karşılaştırıldığı varsayılırsa bir trigate FinFET'in etkin kanal genişliği W denkliği ile verilmiştir. (3.1).

$$W = T_{fin} + 2 * H_{fin} \quad (3.1)$$

3.8. FİNFET CİHAZININ ÇALIŞMASI

Bir FinFET cihazının MOSFET'e benzer olarak üç çalışma modu vardır: doğrusal, doygunluk ve kesme. MOSFET transistörleri için geliştirilen teoriler, FinFET'lerin cihaz çalışmasını [59] tanımlamak için tahmin edilebilir. Ortak bir kapı kurulumunda $V_s=0$ ön yargılı bir FinFET transistör cihazının çalışması ve kaynak hakkında bir drenaj voltajı, V_{ds} tahliyeye uygulanır. Böylece kaynak tahliye bağlantısı ters taraflı olur. Bu ön yargı koşulu altında gövde akımı ve kapı akımı sıfırdır. Kaynak yanlılığı V_{gs} ile ilgili uygulanan kapı voltajı, yüzey taşıyıcı yoğunluklarını kontrol eder. V_{th} 'nin yapının özellikleri tarafından belirlendiği kanal inversiyon katmanını oluşturmak için eşik voltajı (V_{th}) olarak tanımlanan belirli bir V_{gs} değeri gereklidir. $V_{gs} > V_{th}$ için bir ters çevirme katmanı vardır yani drenajdan cihazın kaynağına kadar iletken bir kanal vardır ve bir drenaj akımı I_{DS} akacaktır.

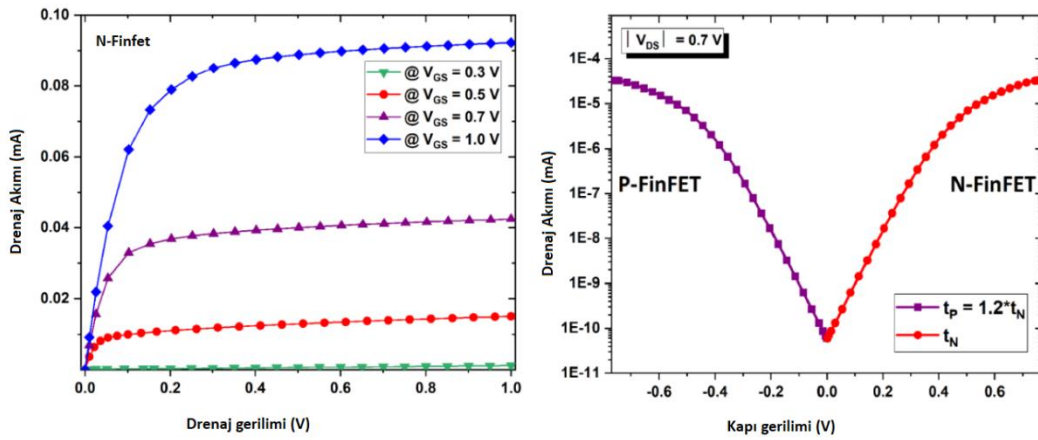
3.9. DRENAJ AKIMI DENKLEMİ

FinFET transistörlerinin drenaj akımı denklemi, MOSFET cihazlarınınkine benzerdir. Doğrusal bölgedeki drenaj akımı denklemi [60] şu şekilde verilir:

$$I_{DS} = 2\mu C_{ox} \frac{W}{L} (V_{gs} - V_{th} - V_{DS}) V_{DS} \quad (3.2)$$

$$W = 2 * (\text{Fin Yüksekliği}) + \text{Fin kalınlığı}$$

Şekil 3.11 (a), 0,2 V'luk bir aralıkta 0,3 V'dan kapı ön yargı gerilimi ile n-FinFET eğrisinin ailesini gösterir. Eğri, drenaj doyma akımının kapı voltajındaki artışla arttığını ve maksimum 0,09 mA değerine ulaştığını gösterir. = 1.0 V'de Şekil 3.11 (b), n-tipi FinFET'in transfer özelliklerinin p-tipi muadili ile karşılaştırılmasını göstermektedir. Simüle edilen sonuçlar [61] deneysel verileriyle karşılaştırılmış ve 0,4 V'un üzerindeki kapı voltajları için yakın bir eşleşme bulunmuştur. Adil bir karşılaştırma için kapı çalışma işlevi her iki cihaz için eşit tutulur ve W/L oranı, doyma akımı da eşit olacak şekilde ayarlanır. 78.08 mV/Dec ve 75.84 mV/Dec eşik altı salınım ve p-FinFET ve N-FinFET için sırasıyla – 0.28 V ve 0.27 V eşik voltajı Şekil 3.9 (b) 'den çıkarılır.

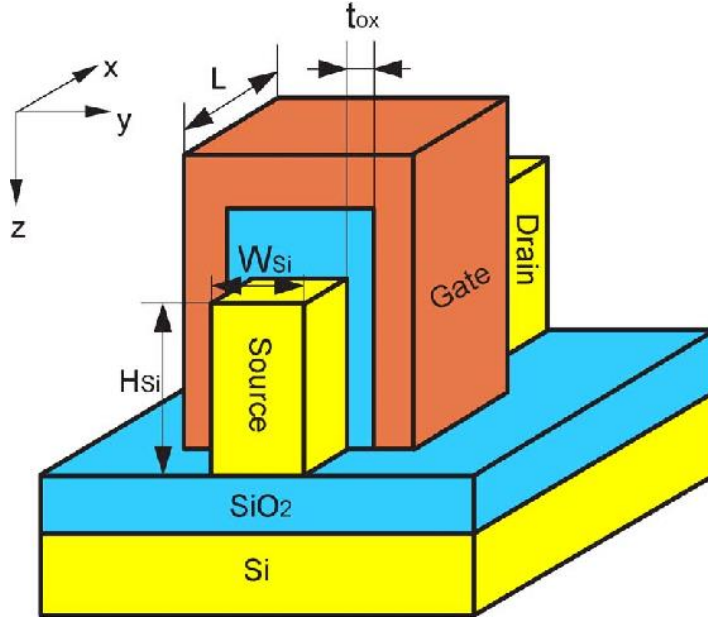


Şekil 3.11. (a) 7 nm N-kanallı FinFET kapı uzunluğu için farklı kapı ön yargı voltajında simüle edilmiş ID—VDS aileleri. (b) Çekme ağı ($t_p = 1.2 \cdot t_n$) ve açılır ağı (t_n) ile ilişkili ID—VSS eğrisi.

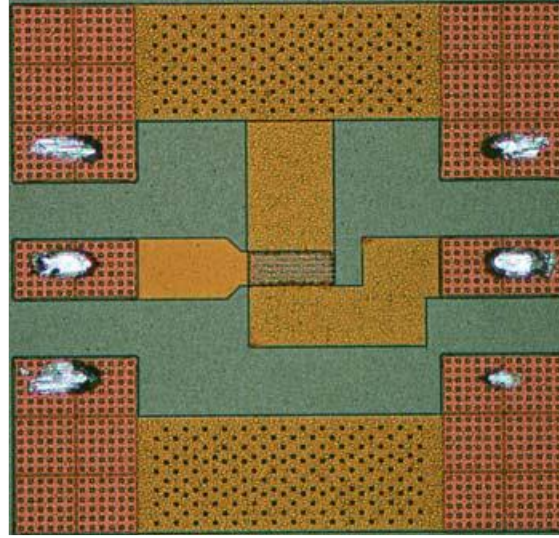
3.10. FİN FET MODELİ

3.10.1. FinFET Küçük Sinyal Modeli

Jenerik fizik tabanlı çift kapılı MOSEFT modelleme çerçevesi yakın zamanda rapor edilmiştir [62]. Bununla birlikte en kesin bilimsel verilere göre GHz bölgesindeki davranışını tanımlayan bir FinFET küçük sinyal modeli yoktur. İncelenen FinFET yapısı, anahtar geometri parametrelerinin tanımlandığı Şekil 3.12'da gösterilmiştir. Fabrikasyon transistör Şekil 3.13'te gösterilmiştir. Bu cihazdan elde edilen ölçüm sonuçlarına dayanarak yüksek frekanslı küçük bir sinyal modeli tarafımızca geliştirilmiştir.

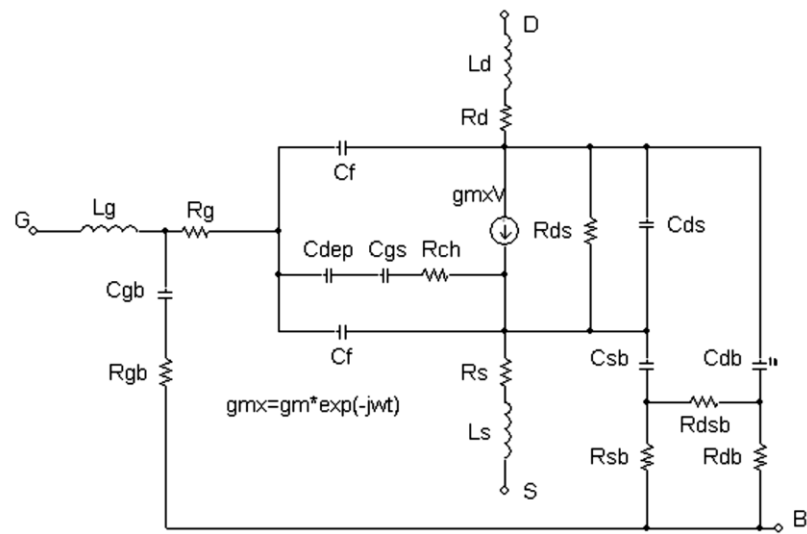


Şekil 3.12. Üçlü kapılı FinFET yapısının üç boyutlu şeması



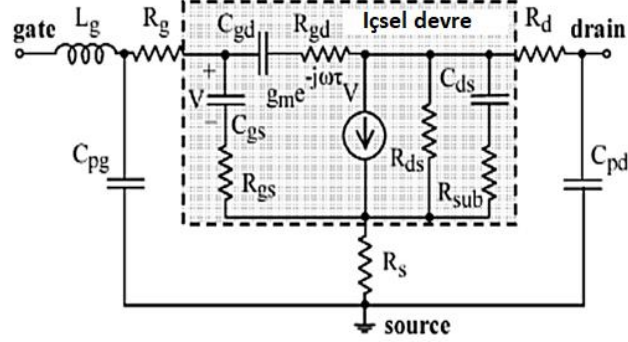
Şekil 3.13. Test çerçevesi devrenin kalıp resmi.

Şekil 3.14'te gösterilen eş değer devre, dışsal bileşenler uygun şekilde modellenirse GHz aralığında yeterli olduğu bulunan yarı statik bir yaklaşıma dayanmaktadır [63]. Bu model; tam içsel yarı statik MOS modelini, kapının seri parazitik empedansını, kaynağını, drenajı ve ayrıca bir substrat bağlantı ağını içerir. Dış kısım; parazitik seri dirençler R_g , R_d ve R_s 'yi ve parazitik seri indüktörleri L_g , L_d ve L_s 'yi içerir. İçsel model; voltaj kontrollü akım kaynağı, çıkış direnci ve kanal empedansı kapısından ve ayrıca içsel kapasitörler C_{gs} , C_{gd} ve C_{ds} 'den oluşur.



Şekil 3.14. FinFET küçük sinyal eş değer modeli

Ls ve Ld'nin etkileri gömme işlemi ile ihmal edilir. Ayrıca devre topolojisinde artık parazitikler ve substrat etkileri dikkate alınır ve bu nedenle Lg, Cpg, Cpd, Rg, Rs, Rd, Rsub dâhil edilir. Yeni FinFET'in küçük sinyal eş değer devresi Şekil 3.15'te gösterildiği gibidir.

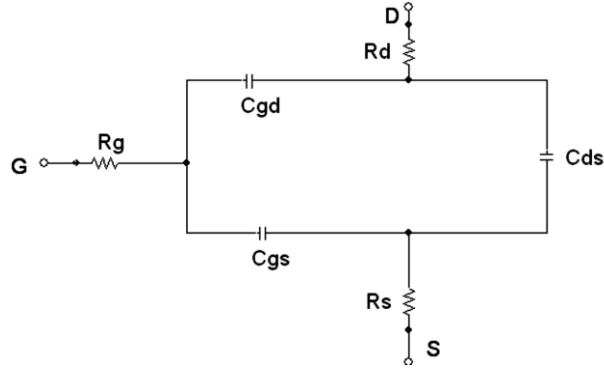


Şekil 3.15. Yeni FinFET için küçük sinyal eş değer devresi

Sıkıştırma koşulu altında, düşük frekanslarda kapasitanslar olan Cpg ve Cpd Im (Yij)'den elde edilir. Sıkıştırma koşulunun üstünde Vgs elde edilir. Soğuk koşullarda Z parametrelerinden Lg, Rg, Rs ve Rd elde edilir. Bu ön yargı koşuluyla transistörün iç kısmı, sunulan denklem (3.3)'de gösterildiği gibi Z parametrelerinin aşağıdaki ifadelerine yol açan dağıtılmış bir RC ağı ile modellenenabilir.

$$\begin{aligned}
 Z_{11} &= R_g + R_s + \frac{R_{ch}}{3} + j(\omega L_g - \frac{1}{\omega C_y}) \\
 Z_{12} = Z_{21} &= R_s + \frac{R_{ch}}{2} \\
 Z_{22} &= R_D + R_s + R_{CH}
 \end{aligned} \tag{3.3}$$

Parazitik direnç, cihaz $V_{GS} = V_{DS} = 0V$ 'de ön yargılı olarak düşük frekansta çıkarılır. Bu ön yargı koşulu altında içsel düğümler arasındaki üç kapasitör dışında içsel devrenin katkısı kaybolur. Ek olarak düşük frekans bölgesinde parazitik indüktörler ve substrat eşleşmesi ihmal edilebilir. Düşük frekansta sıfır ön yargı eş değer devresinin şeması Şekil 3.16'da gösterilmiştir.



Şekil 3.16. Küçük sinyal eş değer modeli

3.10.1. FinFET Hücre Tasarımı

Standart bir hücre kütüphanesindeki hücrelerin tasarımı; güçle ilgili gecikme, alan optimizasyonları gibi önemli kararları ve değiş tokuşları içerir. Standart bir hücrenin cihaz parametrelerini seçmek için birçok algoritma vardır. Böylece hücre bir metrik için optimize edilir. 7 nm FinFET'lerin LTspice'de nasıl kullanılabilceği ve diyagramın nasıl olduğugösterilecektir:

NMOS ve PMOS FinFET'ler için semboller oluşturulabilir. FinFET'leri modellemek için gereken dosyalar, FinFET'i iki paralel bağlı transistörden (ön kapı transistörü ve arka kapı transistörü) ve ön kapı transistörleri ile arka kapı transistörleri için model dosyalarından oluşan bir alt devre olarak tanımlayan bir netlist dosyasıdır.

Böylece NMOS ve PMOS FinFET transistörlerini tanımlamak için 5 dosya oluşturulmuştur:

'7 nm_FinFET.sp': Bu dosya bir NMOS FinFET ve bir PMOS FinFET için alt devreleri tanımlar.

'soinmos1.pm': Bu dosya, ön kapı NMOS transistörünün model dosyasıdır.

'soinmos2.pm': Bu dosya arka kapı NMOS transistörünün model dosyasıdır.

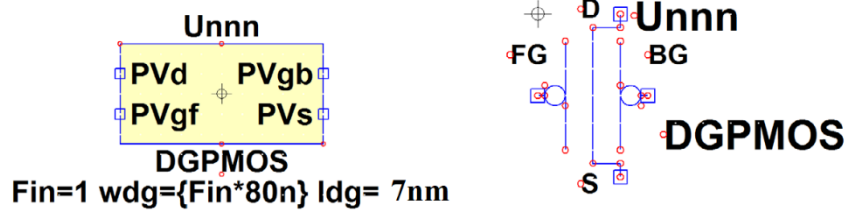
'soipmos1.pm': Bu dosya, ön kapı PMOS transistörünün model dosyasıdır.

'soipmos2.pm': Bu dosya, arka kapı PMOS transistörünün model dosyasıdır.

N-channel ve P-channel Finfet transistor	
<pre> .param tbsi=8.6n ** subckt for NMOS ** .subckt DGNMOS NVd NVgf NVgb NVs wdg=80n ldg=32n .include soinmos1.pm ; front soi model card .include soinmos2.pm ; back soi model card .param pnch = 2e16 .param ptox = 1.4e-9 .param ptsi = tbsi .param ptbox = 1.4e-9 .param npvthf0 = 0.29 .param npvthb0 = 0.29 .param esi = 11.7 .param eox = 3.9 .param nlamba1 = (-1)^(ptox/(ptbox+ptsi*(esi*eoxx))) .param nlamba2 = (-1)^(ptbox/(ptox+ptsi*(esi*eoxx))) .param delta1 = 0.008 .param delta2 = 0.008 .param Voff2=-0.09 .param N = 0.2 .param Vt = 0.0259 .param Voff1 = 0.0 mn1 NVd NVgf1 NVs 0 nmos1 w='wdg/2' l='ldg' + as='wdg/2*2*ldg' ad='wdg/2*2*ldg' + ps='wdg/2+4*ldg' pd='wdg/2+4*ldg' mn2 NVd NVgb1 NVs 0 nmos2 w='wdg/2' l='ldg' + as='wdg/2*2*ldg' ad='wdg/2*2*ldg' + ps='wdg/2+4*ldg' pd='wdg/2+4*ldg' En1 NVgf NVgf1 VALUE = { (nlamba1)^(-1)*[N]^[V]log(1+exp((((nlambc En2 NVgb NVgb1 VALUE = { (nlamba2)^(-1)*[N]^[V]log(1+exp((((nlambc .ends </pre>	<pre> ** subckt for PMOS ** .subckt DGPMOS PVd PVgf PVgb PVs wdg=1u ldg=32n .include soipmos1.pm ; front soi model card .include soipmos2.pm ; back soi model card .param pnch = 2e16 .param ptox = 1.4e-9 .param ptsi = tbsi .param ptbox = 1.4e-9 .param ppvthf0 = -0.25 .param ppvthb0 = -0.25 .param esi = 11.7 .param eox = 3.9 .param plamba1 = (-1)^(ptbox/(ptbox+ptsi*(esi*eoxx))) .param plamba2 = (-1)^(ptbox/(ptox+ptsi*(esi*eoxx))) .param pdelta1 = 0.008 .param pdelta2 = 0.008 .param Voff2 = 0.12 .param N = 0.2 .param Vt = 0.0259 .param Voff1 = 0.0 mp1 PVd PVgf1 PVs n1 pmos1 w='wdg/2' l='ldg' + as='wdg/2*2*ldg' ad='wdg/2*2*ldg' + ps='wdg/2+4*ldg' pd='wdg/2+4*ldg' mp2 PVd PVgb1 PVs n1 pmos2 w='wdg/2' l='ldg' + as='wdg/2*2*ldg' ad='wdg/2*2*ldg' + ps='wdg/2+4*ldg' pd='wdg/2+4*ldg' vdd n1 0 1 Ep1 PVgf PVgf1 VALUE = { (plamba1)^(-1)*[N]^[V]log(1+exp((-1)^(ps Ep2 PVgb PVgb1 VALUE = { (plamba2)^(-1)*[N]^[V]log(1+exp((-1)^(ps .ends </pre>

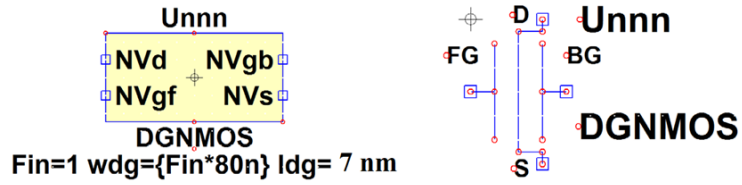
Yukarıdaki şekil '7 nm_FinFET. sp' dosyasının bir bölümünü göstermektedir. Bu dosyada biri NMOS FinFET ve diğeri PMOS FinFET için olmak üzere iki alt devre tanımlanmıştır. Alt devrelerin her biri, biri ön kapı transistörü ve diğeri arka kapı transistörü için olmak üzere iki model dosya referansına ('.include' direktifleri) sahiptir. Biri NMOS transistörü 'DGNMOS' ve diğeri PMOS transistörü 'DGPMOS' için olmak üzere iki '.subckt' direktifine dikkat edilmelidir. Bu direktiflerde transistör geometrilerini tanımlayan parametreler tanıtılır ve varsayılan değerler verilir. Kanal uzunluğu hem NMOS hem de PMOS için varsayılan 7 nm değeriyle 'ldg' parametresi ile tanımlanır. Kanal genişliği 'wdg' parametresi ile tanımlanır ve netlist dosyasından paralel bağlı transistörlerin kanal genişliğinin 'mn1/mn2' ve 'mp1/mp2' olduğu fark edilir. NMOS transistörü için varsayılan 'wdg' değeri 80n'dir. Oysa PMOS transistörü için bu değer 1u'dur. Bir FinFET transistörünün kanal genişliği, kanalı oluşturan kanatçık yüksekliği ile ilgilidir. Bu nedenle pratikte kanal genişliği, devre tasarımcısı tarafından kontrol edilebilen bir parametre değildir ve kanal genişliğinin varsayılan değeri muhtemelen NMOS ve PMOS transistörleri için aynı olacaktır.

Şekil 3.17'da gösterilmiştir. Bu sembol, otomatik oluşturulan sembollerle klasöre kaydedilir.



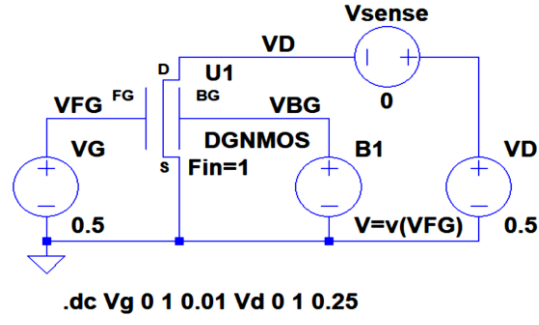
Şekil 3.17. DGPMOS sembolü

Aynı şekilde DGNMOS transistörü için Şekil 3.18'da gösterildiği gibi bir sembol tasarlanabilir. Semboller varsayılan olarak otomatik oluşturulan sembollerle klasöre kaydedilir ancak bunlar FinFET devreleri, FinFET ağ listesi ve model dosyaları ile klasöre de kaydedilebilir.



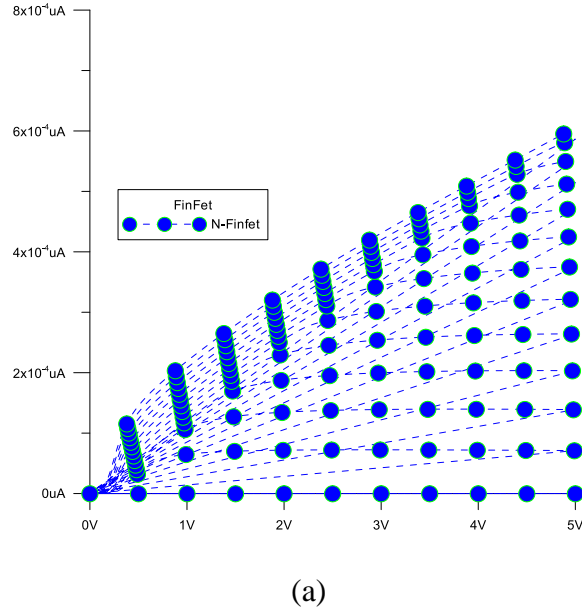
Şekil 3.18. Simülasyon FinFET transistör karakteristikleri

Bir NMOS çift kapılı FinFET için transistör özellikleri gösterilmiştir. Simülasyonlar için LTspice şeması aşağıdaki şekilde gösterilmiştir.

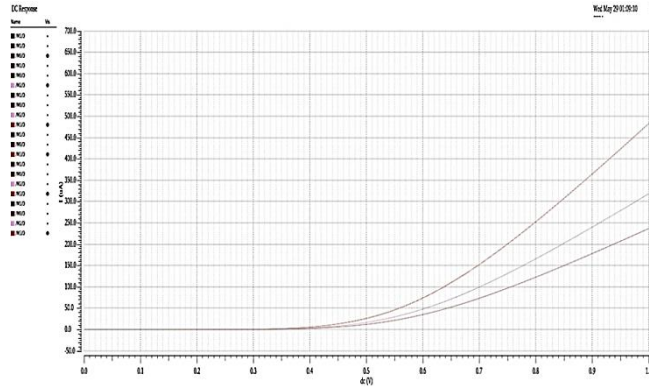


Şekil 3.19. Çift kapılı NMOS FinFET'te özellikleri simüle etmek için LTspice şeması.

Elde edilen I_D ve V_G grafiği Şekil 3.20'de gösterilmiştir.



(a)



(b)

Şekil 3.20. Giriş özellikleri (a ve b), V_G 'ye karşı I

BÖLÜM 4

OPERASYONEL TRANSİLETKENLİK YÜKSELTİCİSİNDE (OTA) SOI FİNFET UYGULAMASI.

System on Chip (SoC); dijital, analog, karışık sinyal ve radyo frekansı (RF) uygulamalarını tek bir çip alt tabakasında entegre eder. VLSI tasarımındaki eğilim günümüzde derin mikron altı teknolojilerde daha da minyatürleştirmeye ve Moore yasasının daha da devam etmesi için metodolojilerin belirlenmesine yöneliktir [64]. Analog alan, devrelerin tasarımında benzersiz bir dizi zorluk sunar. DC kazancı (Adm), ortak mod kazancı (Acm), birlik kazanç-bant genişliği ve ortak mod reddetme oranı (CMRR) gibi analog devrelerin liyakat figürü (FoM) büyük ölçüde cihazların analog performansına bağlıdır. Cihazın analog performans parametreleri; analog devrelerin FoM'unu önemli ölçüde etkileyen transiletkenlik (gm), içsel voltaj kazancı (Av) ve çıkış direnci (ro) vb. içerir. Ancak bu performans parametre değerleri cihazın geometrik boyutlarına göre değişmektedir. Bu nedenle tasarım parametrelerini etkili bir şekilde keşfetmek ve cihaz/devre tasarımı hakkında daha iyi bilgi sahibi olmak esastır.

Herhangi bir karışık sinyal işleme sisteminin sinyal girişi doğada analogdur ve sinyal koşullandırma zinciri çoğunlukla yüksek kazançlı bir OTA'dan oluşur. Bu nedenle karışık sinyal devrelerinin başarılı bir şekilde ölçeklendirilmesi için amplifikatörler nanometre rejimine ölçeklendirilmelidir. Geleneksel CMOS süreçlerinin ölçeklendirilmesi, nanometre rejimlerinin performansları üzerinde zorluklar ve yapısal sınırlar oluşturur. Kısa kanal etkileri, kuantum mekanik etkiler, doping ve kapı kontrolünde azalma gibi standart düzlemsel yığın teknolojilerinin (örneğin CMOS) ölçeklendirme sınırlamaları; izolatör üzerinde silikon (SOI) ve çok geçitli transistörler gibi yeni cihaz konseptlerine yol açar [65].

SOI teknolojisi; düşük voltaj, yüksek hızlı çalışma ve düşük güç tüketiminin toplu teknolojiye kıyasla elde edilebilmesi nedeniyle düşük bir kapasitansa sahiptir [66]. Şu anda FinFET, nanometre boyutlarıyla bu tür sınırlamaların üstesinden gelmek için umut verici bir cihaz teknolojisi gibi görünüyor. Bununla birlikte birincil odak, derin mikron altı cihazlara sahip analog devrelerin tasarımıdır. Dahası FinFET cihaz teknolojisi, karışık sinyal analog devreleri tasarlamak için umut verici görünüyor. OTA devresi, analog sinyal işlemenin omurgası ve ayrıca daha karmaşık devrelerin bir yapı taşı olduğu için seçilmiştir [67]. OTA devresi bir giriş diferansiyel aşamasına ve ardından yüksek kazanç aşamasına sahiptir ve bu nedenle analog alanda daha fazla kullanılabilir. Çeşitli uygulamalar arasında değişken frekanslı osilatörler, değişken kazançlı amplifikatörler ve akım kontrollü filtreler bulunur.

İnternet devrimi ve düşük güçlü biyolojik sensörlere duyulan gereksinim nedeniyle pasif sensörlerin yaygın şekilde yayılması, zayıf inversiyon bölgesi işletim cihazları alanına olan ilgiyi artırdı. Bu cihazlar; dünyanın seyrek nüfuslu, erişilemeyen bölgelerinde bulunabilecek sensörlerde konuşlandırılacaklarından uzun pil ömrünü desteklemelidir. Hem cihaz hem de devre seviyesinde, sistemlerde ve uygulamalarda çok sayıda cephede yeni teknoloji için bir iyileştirme gereklidir. Bununla birlikte besleme voltajını ve transistör kanal uzunluğunu sürekli olarak küçültülmesine rağmen devrenin analog kısmının performansını inanılmaz derecede azaltmıştır. Minyatürleştirme için nanometre FinFET cihaz teknolojisinin analog alandaki düşük güç rejimi için en iyi seçenek olduğu sonucuna varılabilir. Zayıf inversiyon bölgesinde çalışan analog devreler, yüksek enerji verimliliği sağlayan yüksek GM/ID oranına sahip oldukları için alçak gerilim ve düşük güç uygulamaları için kullanılır. Ayrıca analog alanda bildirilen araştırma çalışmalarının çoğu nanometre CMOS teknolojilerine dayanmaktadır [68].

FinFET cihazı, zayıf inversiyon bölgesi olarak da bilinen operasyonun zayıf inversiyon bölgesinde ön yargılıdır. Bu, FinFET'in çok düşük akım çekmesini ve ayrıca ihmal edilebilir miktarda gücü dağıtmasını sağlar. Ultra düşük güç tasarımı, düşük voltajlarda bile son derece hassas analog ön uç biyomedikal uygulamalarda bir zorunluluktur. Bu nedenle odak noktamız herhangi bir analog devrenin ayrılmaz bir parçası olan OTA üzerinedir. Biyomedikal cihazların ön yüzünün bir parçası olarak

kullanılabilir ve uzak yerlerdeki pasif sensörlerde kullanılabilir. Akıllı sensörler ve biyomedikal uygulamalarda, gürültü varlığında küçük diferansiyel sinyalleri tanımak için operasyonel transiletkenlik amplifikatörü çok sık gereklidir. Bu nedenle bu tür amplifikatörler çok düşük ofset voltajına, yüksek CMRR'ye sahip olmalı; daha az akım dağıtılmalı ve düşük bir besleme voltajında çalışmalıdır. Bu çalışmada bu yönler göz önünde bulundurularak, analog performans için SOI 7 nm yüksek-k FinFET cihazını optimize ederek tasarlanan FinFET tabanlı iki aşamalı operasyonel transiletkenlik amplifikatörünün (OTA) geliştirilmiş performansı araştırılmış ve simüle edilmiştir. Operasyonel transiletkenlik amplifikatör devresinin bu gelişmiş analog performans parametresinin etkisi, güçlü ve zayıf inversiyon bölgesinde analiz edilir.

Entegre devre (IC) teknolojisindeki gelişme, cihaz boyutlarının ve besleme voltajlarının azalmasına neden olmuştur. Bununla birlikte eşik voltajları orantılı olarak küçültülmez. Bu durum; düşük güç için artan taleple birleştiğinde taşınabilir, pille çalışan elektronik cihazlar, cep telefonları ve dizüstü bilgisayarlar gibi daha yüksek çip entegrasyonu ve düşük güç tüketimi elde etmek için daha fazla araştırma için teşvik sağlar. Minyatürleştirme için nanometre FinFET cihaz teknolojisinin analog alanda düşük güç rejimi için en iyi seçenek olduğu bildirilmiştir [69].

Taşınabilir cihazlarda büyük kapasitif yükleri çalıştıran yüksek kazançlı, geniş bant genişliğine sahip amplifikatörler; alçak gerilim lineer regülatörlerinde hata yükselteçleri görevi görür. Düşük alan ve büyük kapasitif yükleri çalıştırabilen frekans dengelenmiş çok kademeli amplifikatörler., düşük güç gerektirir. Çok aşamalı operasyonel yükselteçlerin tasarımı ve optimizasyonu, modern IC teknolojilerinde giderek daha zor hale gelmektedir. Çok aşamalı OTA'lar, kazanç ve voltaj salınımlarını iyileştirmek için yatay olarak kazanç aşamalarının basamaklanmasına dayanır ancak düşük besleme voltajında çalışırken bant genişliği pahasına elde edilir [70]. Bir amplifikatörün kazanç bant genişliği, her ikisi de aktif cihazın transiletkenliğine ve kapasitansına çok bağlıdır. Cihazın içsel parametreleridir. Çok kademeli amplifikatörün çok kutuplu yapısı, kapalı döngü stabilite problemlerine maruz kalır. Bu nedenle kompanzasyon, OTA'nın frekans kararlılığını iyileştirmek ve gerekli frekans aralığı için kazanç ve faz doğrusal

yapmak için kullanılır. Literatürde çok kademeli amplifikatörlerin stabilitesini, sıklığını ve geçici tepkilerini iyileştirmek için birçok olası telafi şeması alternatif rapor edilmiştir [71].

Bu tür amplifikatörlerin en önde gelen darboğazı, çıkıştaki direğin içeriye çekilmesidir (baskın kutba çok yakın). Bu da bant genişliğini önemli ölçüde sınırlar ve düşük güç ve düşük alan kısıtlaması altında amplifikatörün telafisini zorlaştırır. Kapasitörler kullanarak veya ileri beslemeli yollar kullanarak telafi, çok kademeli amplifikatörlerde en yaygın kullanılan frekans kompanzasyon teknikleridir [72]. Her şeyden önce iyi bir değiş tokuş, kazanç ve karmaşıklık arasında üç basit aşama basamaklanarak verilir. Her transistörün en boy oranının ve ön yargı akımlarının analitik olarak üç aşamalı OTA'nın ana parametreleriyle ilişkili olduğu iyi tanımlanmış bir tasarım prosedürü ile 7 nm teknoloji düğümünde frekans telafisi ile SOI FinFET tabanlı OTA tarafımızca tasarlanmıştır.

4.1. OTA TOPOLOJİSİ

OTA topolojisinin performans parametreleri üzerinde ciddi bir etkisi vardır [73]. Bugüne kadar farklı hedefler için çok sayıda OTA topolojisi sunulmuştur. Bildirilen bu topolojiler genel olarak iki kategoriye ayrılır:

Tek aşamalı (stage) OTA

Çok aşamalı OTA

4.1.1. Tek Aşamalı OTA

Birkaç tek aşamalı OTA yapısı için derinlemesine bir analiz ve tasarım yönü [74] 'de verilmiştir.

Bu OTA'ların sunduğu ön avantajlar aşağıdaki gibidir:

Basit yapı

Yüksek ortak mod sinyal reddi

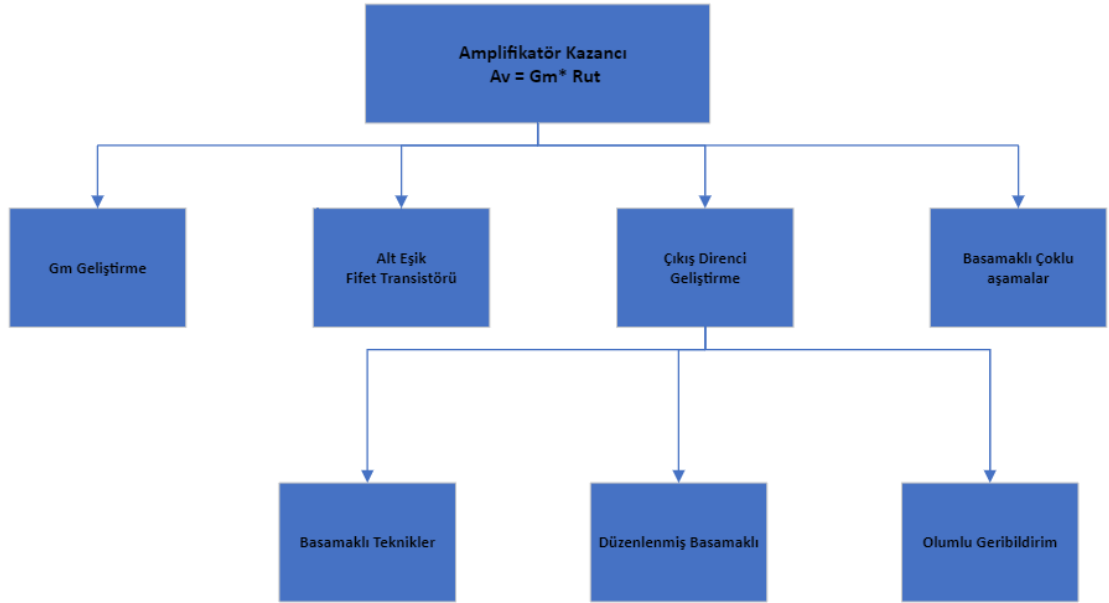
Geniş bant genişliği

Düşük güç tüketimi
Azaltılmış harmonik bozulma
Büyük voltaj salınımı
Yüksek hız

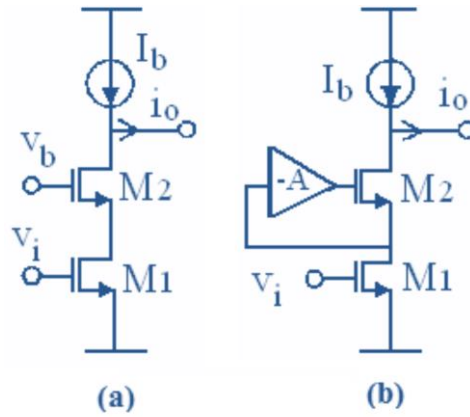
Bununla birlikte tek aşamalı OTA, nispeten küçük çıkış empedansı ve sınırlı transiletkenlik nedeniyle küçük bir kazanç sunar [75]. Ayrıca FinFET transistör; kireç küçültme, düşük çıkış direnci nedeniyle içsel kazancını etkilemiştir.

Nanoteknoloji FinFET sürecinde OTA'ların kazancını arttırmak için kullanılan teknikler Şekil 1.1'de özetlenmiş ve kısaca şu şekilde tartışılmıştır:

- **Transiletkenlik (Gm) Geliştirme:** Kazanç artışı, giriş aşaması transistörünün transiletkenliği ön olan OTA devresinin transiletkenliği artırılarak elde edilebilir. Giriş transistörünün transiletkenliği, drenaj akımı veya FinFET'in en boy oranı artırılarak arttırılabilir. Her iki seçimin de güç tüketimi maliyeti vardır ve birincisi OTA'nın hızını düşürür. Transiletkenlik iyileştirme yoluyla kazanç artışı sağlanır.
- **Alt Eşik FinFET Transistörü:** Eşik voltajından daha düşük bir giriş voltajı uygulamak, FinFET'i eşik alt/zayıf inversiyon bölgesinde çalıştırır. FinFET'ten çok düşük akım geldiğinden nispeten büyük bir çıkış direnci sunar.. Ek olarak FinFET nispeten büyük bir Gm/Id verimliliği sağlar. Bu, nispeten büyük bir voltaj kazancına yol açar. Bununla birlikte FinFET'in küçük bir tahliye akımı, OTA devresinin çevirme hızını sınırlar.
- **Çıkış Direnci Geliştirme:** Büyük çıkış direnci kullanarak kazanç geliştirme; pozitif geri bildirim, basamaklama teknikleri ve düzenlenmiş basamaklama teknikleri gibi yöntemler dâhil edilerek elde edilebilecek iyi geliştirilmiş bir tekniktir. Pozitif geri besleme tekniği, çıkış düğümünde negatif iletkenlik sağlar ve çıkış empedansını arttırır. Bununla birlikte olumlu geri bildirim tekniğinin kullanılması faz marjını sert bir şekilde azaltır ve bir OTA'yı kararsız hale getirir. Şekil 4.2 (a) 'da gösterilen Finfet'in birbiri üzerine istiflendiği basamaklı teknik, pozitif geri besleme tekniğine göre geliştirilmiş dirençle marjinal olarak iyi bir faz marjı sağlar.



Şekil 4.1. Geliştirme teknikleri kazanır



Şekil 4.2. (a) kaskad transiletken (b) düzenli kaskod transiletkeni

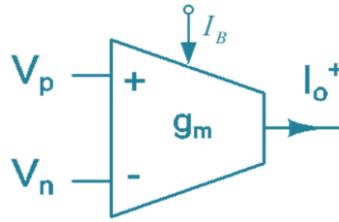
Bununla birlikte basamaklı metodolojide transistörlerin istiflenmesi, OTA'nın çıkış voltajı salınımlarını azaltır. Bu dezavantaja rağmen basamaklı teknik, sadeliği ve güç tasarruflu yapısı nedeniyle OTA'nın kazancını artırmak için yaygın olarak kullanılmaktadır. Geleneksel basamaklı teknikte daha fazla iyileştirme, basamaklı transistörü sürmek için ek bir yardımcı amplifikatörün kullanıldığı Şekil 4.2 (b) 'de gösterilen düzenlenmiş basamaklı yapı kullanılarak elde edilir. Bununla birlikte ek bir amplifikatörün kullanılması devreyi karmaşık hale getirir ve OTA'nın genel güç ve alan tüketimini artırır.

4.1.2. Çok Aşamalı OTA (Basamaklı Katlar Tek Aşamalı OTA)

Birden fazla kazanç aşamasının basamaklanması, bir amplifikatörün genel kazancını iyileştirmek için köklü bir metodolojidir. Böyle birçok aşamalı amplifikatörün eş değer kazancı, tüm basamaklı kazanç aşamalarının ürünüdür. Bununla birlikte her kazanç aşamasının eklenmesi, bant genişliğini kısıtlayan ve bir amplifikatörün kararlılığını önemli ölçüde riske atan ekstra bir kutup getirir. Bu sınırlamaları hafifletmek için farklı tazminat planları benimsenmiştir [76]. Ayrıca çok kademeli amplifikatörler, düşük voltajlı bir ortamda gürültü toleransını iyileştirmeye yardımcı olan bir raydan raya çıkış aşaması kullanarak büyük bir çıkış voltajı salınımı sağlar. Bu avantajlara rağmen çok kademeli amplifikatör, hantal ve güce aç kompanzasyon devreleri nedeniyle tek kademeli bir amplifikatörün hız ve güç verimliliğiyle hiçbir yerde eşleşmez.

4.2. FİNFET OTA DEVRELERİ

OTA esas olarak voltaj kontrollü akım besleme elemanıdır. Eğim parametresini çarparak girişlerine verilen voltaj farkını çıkışına akım olarak yansıtır. Şekil 4.3'te tek çıkışlı ideal OTA devresi modeli verilmiştir. Bu modellerde V_p , pozitif giriş ve V_n negatif girişe uygulanan voltajlardır. Ayrıca i_{o+} , pozitif çıkıştan elde edilen akımdır; i_{o-} negatif çıkıştan gelen akımdır ve I_B kontrol akımıdır.

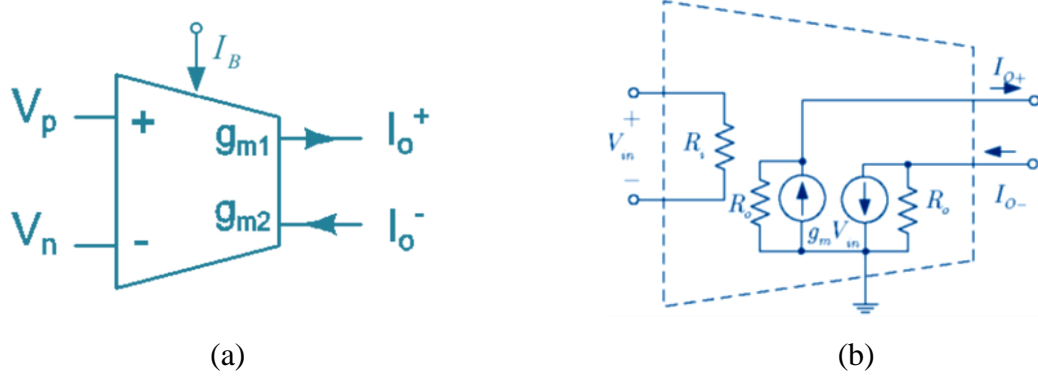


Şekil 4.3. Tek çıkışlı ideal OTA devresi.

$$g_m = \frac{I_{o^+}}{V_p - V_n} \quad (4.1)$$

$$g_m = K(I_B) \quad (4.2)$$

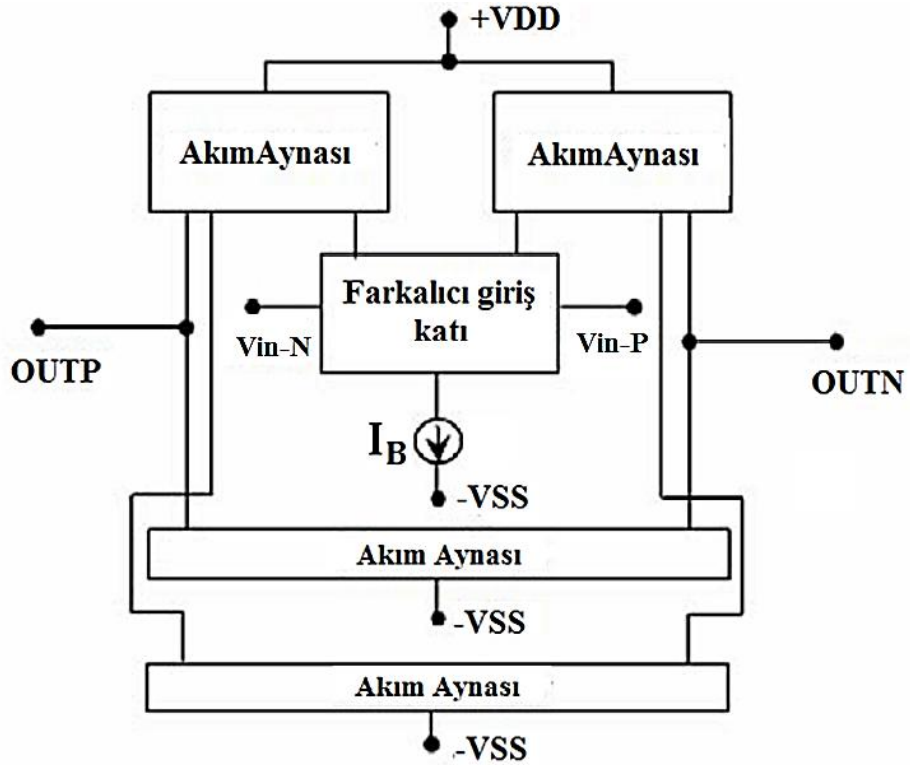
OTA devresi çift çıkışlı da yapılabilir, Şekil 4.4'te dengeli çıkışlı ideal OTA elemanını gösterilmiştir.



Şekil 4.4. (a)Dengeli çıkışlı ideal OTA devresi (b)eş değer devresi

$$g_{m1} = \frac{I_o^+}{V_p - V_n}$$

$$g_{m2} = \frac{I_o^-}{V_p - V_n}$$
(4.3)



Şekil 4.5. Dengeli OTA devre yapısı

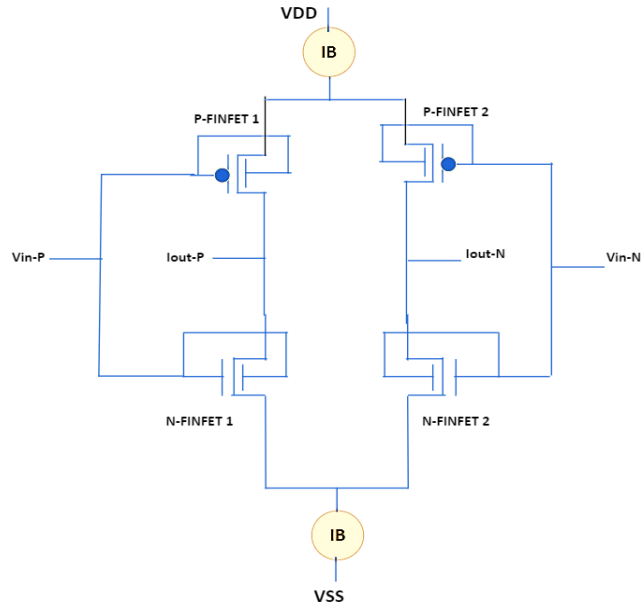
Şekil 4.5, dengeli bir OTA yapısı gerçekleştirirken dikkate alınan temel parçaları göstermektedir. FinFET dengeli OTA yapıları, geniş bant yapıları nedeniyle yüksek frekanslı aktif filtreler ve osilatörlerin gerçekleştirilmesinde çok uygundur. IB kontrol akımı yardımıyla dengeli OTA eğimi, filtrenin ayar frekansını ayarlamak mümkün olacak şekilde değiştirilebilir. Oluşturulacak devrenin çıkış direncinin yüksek olması istenirse yapıda kaskod akım aynaları kullanılır. Aşağıda en basit OTA yapısının korelasyonları bulunmaktadır.

$$R_{\text{çıkış}} = \frac{2}{(\lambda n + \lambda p)\beta I_B} \quad (4.4)$$

$$Av = \frac{V_{\text{çıkış}}}{V_{\text{giriş}}} = Gm.R_{\text{çıkış}} \quad (4.5)$$

4.2.1. Önerilen FinFET Klasik D-OTA Devre Yapısı

Bu önerilen çalışmada dengeli OTA yapısı için kullanılacak olan klasik şematik iki akım kontrolü ve dört transistör aşağıdaki Şekil 4.6'te gösterilmiştir. Klasik D-OTA yapısı birkaç transistörden oluşur ve yüksek çıkış direnci yapının avantajlı yönlerinden biridir. I_{O-P} ve I_{O-N} terminaleri arasındaki genlik değerleri, buldukları invertör yapısının transistörlerinin geçiş iletkenlerinin toplamının yarısıdır ve aralarında 180° faz farkı vardır.

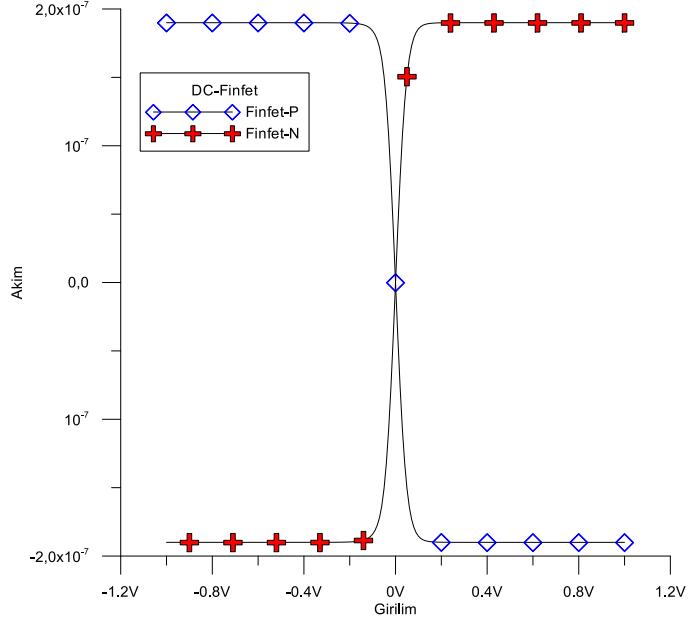


Şekil 4.6. Klasik FinFET OTA yapısının şematik gösterimi.

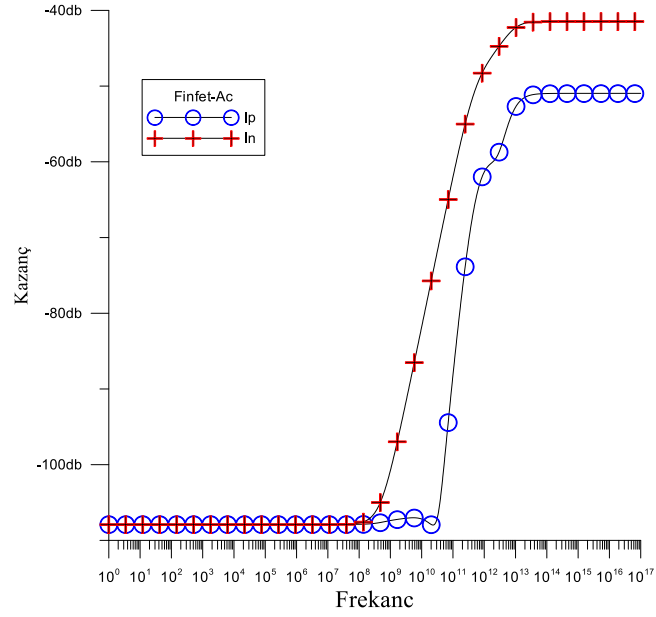
Klasik FinFET OTA devresinin çıkış direnci (R_o) denklemi:

$$R_{\text{çıkış}} = \pm \frac{1}{(g_{m.4} \text{ P } g_{m.3}) + (g_{m.1} \text{ P } g_{m.2})} \quad (4.6)$$

Şekil 4.6'daki klasik FinFET OTA yapısının karakteristik özelliklerinin performansını göstermek için caddence virtüözü, doğrusal teknoloji SPICE programı ve transistörler için 7 nm proses parametreleri kullanılacaktır. Devrede kutuplama akımları ve besleme gerilimleri $I_{B1}=I_{B2}=170\text{nA}$ ve $VDD= -VSS=0.1\text{V}$ şeklinde alınmıştır. Ofset geriliminin olması, devrede sükûnet anında çıkışlardan akım akmaması demektir. Ayrıca $0.23\mu\text{W}$ 'luk düşük güç harcamasıyla da devre yapısına artı bir özellik katmaktadır. Devrenin FinFET OTA yapısından oluşmuş DC ve AC karakteristikleri sırasıyla Şekil 4.7'de verilmiştir.



Şekil 4.7. Klasik FinFET OTA Dc akım karakteristiği



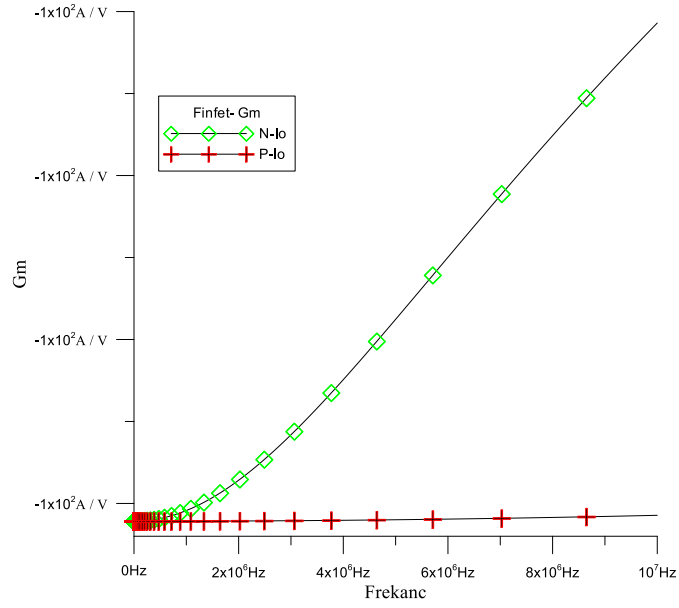
Şekil 4.8. Klasik FinFET OTA Ac akım karakteristiği

Transiletkenlik simülasyonları, gm değeri ve çıkış terminali empedansları sırasıyla Şekil 4.9, 4.10'da verilmiştir. FinFET OTA yapısının tanımlayıcı denklemi Denklem 4.7 'de verilmiştir.

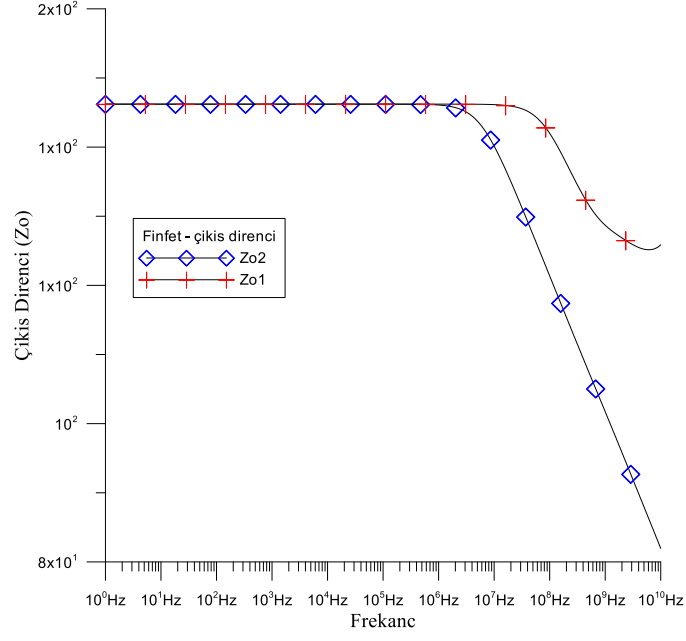
$$\begin{aligned}
I_o(P) &= gm(V_{in}(P) - V_{in}(N)) \\
I_o(N) &= -gm(V_{in}(P) - V_{in}(N))
\end{aligned}
\tag{4.7}$$

Çizelge 4.1 Çizelge 4.1. Klasik Finfet OTA simülasyon sonuçları

Güç Kaynağı	0.1 V
Gm	48.8 nA/V
Z+ terminal çıkış empedansı	20.457 MΩ
Z- terminal çıkış empedansı	20.457 MΩ
FinFET Güç harcaması	0.23μW
FinFET Giriş dengesizlik gerilim	0 V



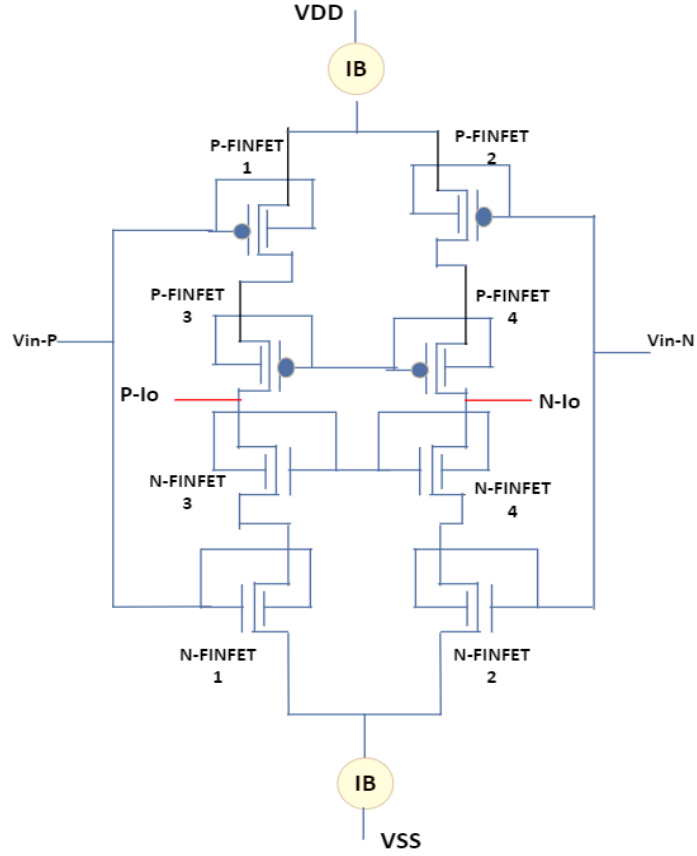
Şekil 4.9. Klasik FinFET OTA transiletkenliği karakteristiği



Şekil 4.10. Klasik FinFET OTA Çıkış direnci karakteristiği

4.2.2. Önerilen FinFET Gelişmiş D-OTA Devre Yapısı

Bu önerilen çalışmada dengeli OTA yapısı için kullanılacak olan gelişmiş şematik iki akım kontrolü, 4 tane P-FinFET ve N-FinFET transistorlar Şekil 4.6'da gösterilmiştir. Gelişmiş D-OTA yapısı yüksek çıkış direncinin klasik D-OTA'ya göre de yüksek oluşu yapıyı daha avantajlı hale getirmektedir.

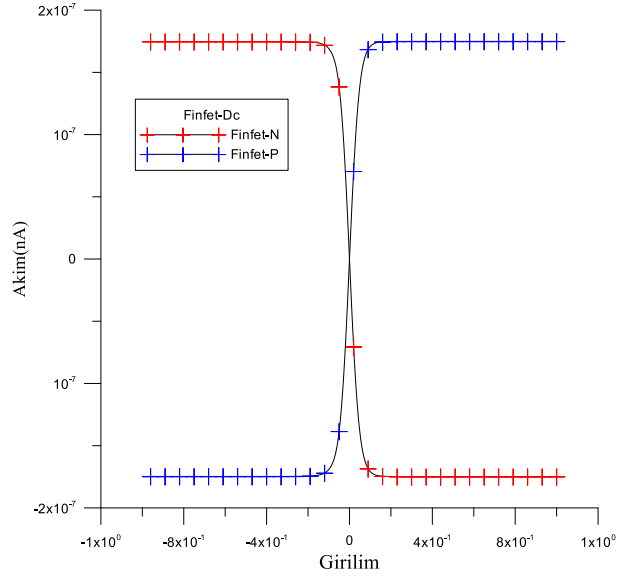


Şekil 4.11. Gelişmiş FinFET OTA yapısının şematik gösterimi

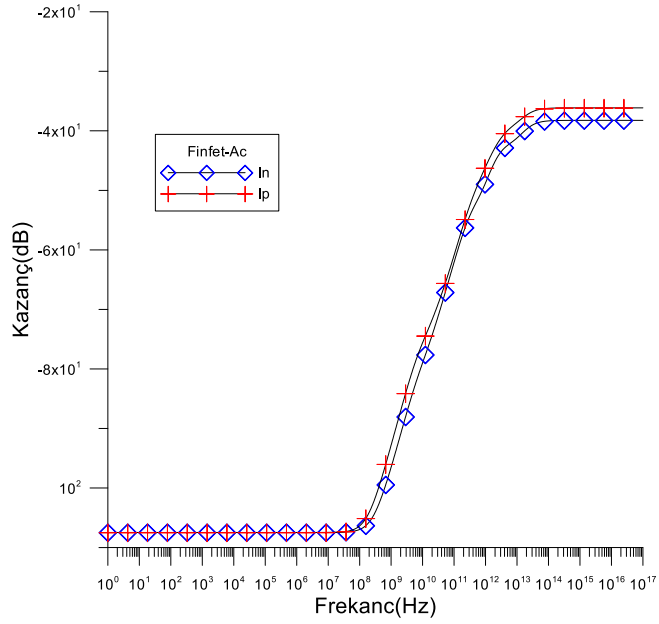
Gelişmiş FinFET OTA devresinin olumlu ve olumsuz çıkış direnci (R_o) denklemi:

$$R_{\text{çıkış}} = \pm \frac{1}{\frac{(g_{m4} \text{ P } g_{m3}) g_{m.8}}{g_{m.8}} + \frac{(g_{m1} \text{ P } g_{m2}) g_{m.6}}{g_{m.6}}} \quad (4.8)$$

Şekil 4.11'deki klasik FinFET OTA yapısının karakteristik özelliklerinin performansını göstermek için caddence virtüözü, doğrusal teknoloji SPICE programı ve transistörler için 7 nm proses parametreleri kullanılacaktır. Devrede kutuplama akımları ve besleme gerilimleri $I_{B1}=I_{B2}=170\text{nA}$ ve $VDD=-VSS=0.1\text{V}$ şeklinde alınmıştır. Ofset geriliminin olması, devrede sükûnet anında çıkışlardan akım akmaması demektir. Ayrıca $0.011\mu\text{W}$ 'luk düşük güç harcamasıyla da devre yapısına artı bir özellik katmaktadır. Devrenin FinFET OTA yapısından oluşmuş DC ve AC karakteristikleri sırasıyla şekil (4.12) ve (4.13) verilmiştir.



Şekil 4.12. Gelişmiş FinFET OTA Dc akım karakteristiği

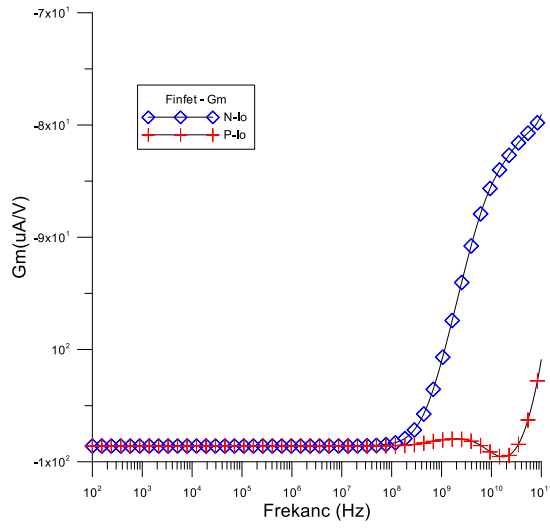


Şekil 4.13. Gelişmiş FinFET OTA Ac akım karakteristiği

Gm1 ve gm2 eğimlerinin frekansla değişimini incelemek için Şekil 4.14'teki yapı oluşturulmuştur. Simülasyon için bu kaynağın voltajının frekansı; çıkışları referansa kısaltılarak, girişlerden biri referansa bağlanarak ve 1V AC voltaj kaynağı diğer girişe bağlanarak 100GHz olarak değiştirilir.

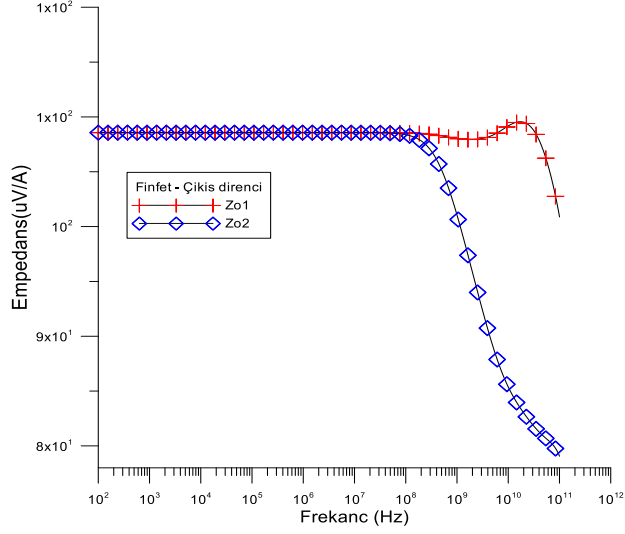
Çizelge 4.2. Gelişmiş FinFET OTA simülasyon sonuçları

Güç Kaynağı	0.1 V
Gm	3.72 uA/V
Z+ terminal çıkış empedansı	268 K Ω
Z- terminal çıkış empedansı	268 K Ω
FinFET güç harcaması	0.011 μ W
FinFET giriş dengesizlik gerilim	0 V



Şekil 4.14. Klasik FinFET OTA transiletkenliği karakteristiği

Şekil 4.15'teki yapılar, Z_{in} ve Z_o giriş empedanslarının frekansla varyasyonunu incelemek için kurulmuştur. Çıkışlar ve girişlerden biri simülasyon referansına bağlanarak ve 1V AC voltaj beslemesi diğer girişe bağlanarak bu kaynağın voltajının frekansı 100GHz olarak değiştirilir.



Şekil 4. 15. Gelişmiş FinFET OTA çıkış direnci karakteristiği

4.2.3. OTA-C Tekniğini Kullanarak LC Ağlarının Aktif Olarak Gerçekleştirilmesi

LC filtre ağları, iletişim ve ölçüm ekipmanı alanında kritik bir rol oynamaktadır. Alçak geçiren filtreler, bir sistemdeki yüksek frekanslı gürültüyü ortadan kaldırmak için kullanılabilir. Çentik filtreleri tipik olarak örneğin 60 Hz. güç kaynağı paraziti gibi zahmetli frekansları ortadan kaldırmak için kullanılır. Nispeten dar bir sinyal bant genişliği üzerinde ölçüm yaparken düşük frekanslı ve yüksek frekanslı bileşenleri ortadan kaldırmak için bant geçiren filtreler ihtiyacı vardır. LC filtreleriyle ilişkili birçok önemli özellik vardır. LC rezonans devreleri, empedansların büyüklük ve fazda son derece hızlı değişikliklere sahip olmasını sağlar. Bu empedansların uygun şekilde birbirine bağlanmasıyla geçiş bantları ve durdurma bantları arasında çok dik eğimli filtreler gerçekleştirilebilir. Seri veya paralel rezonans, bazı frekansları tamamen bloke etmek veya iletmek için kullanılabilir. Ayrıca LC merdiven filtreleri eleman toleranslarına karşı çok düşük geçiş bantı hassasiyetleri sergiler. Bununla birlikte özellikle filtre büyük ve hacimli olma eğiliminde olduklarından indüktörler, entegre bir devre yongasında gerçekleştirilecekse bu tür gerçekleştirmelerde bir sorun teşkil eder. Bu, pasif LC filtrelerinin aktif simülasyonlarına duyulan ihtiyacı ifade eder. Simüle edilmiş LC filtrelerinin büyük bir çoğunluğu, işlemsel yükselteçler (op amper) ve operasyonel

transiletkenlik yükselteçleri (OTA'lar) [77] ile oluşturulmuştur. OTA'lar op amperlerden çok daha yüksek bant genişliğine sahiptir, aynı silikon çip üzerindeki diğer analog veya dijital devrelerle kolayca ayarlanabilir ve entegrasyon için çok daha basit devre sağlayabilir. Ayrıca, OTA'larla gerçekleştirilen analog filtreler genellikle op-amp muadillerinden daha az bileşene sahiptir. Bu nedenlerden dolayı OTA'lar entegre filtre ağları oluşturmak için giderek daha fazla kullanılmaktadır.

Herhangi bir filtre üç pasif eleman (direnc, indüktör ve kapasitör) kullanılarak gerçekleştirilebildiğinden OTA'ları kullanarak indüktörlerin ve dirençlerin aktif olarak gerçekleştirilmesi, RLC filtre ağını sadece bir dizi transiletken ve kapasitöre indirger. En popüler indüktörlerin aktif olarak gerçekleştirilmesi için yöntem, gyrator prensibine dayanmaktadır. Gyrator, OTA'lar kullanılarak inşa edilmiştir. Dirençler, çıkışı ters çevirme girişine geri bağlayarak transiletkenlerden gerçekleştirilir. Bu nedenle bu tür filtrelerdeki temel yapı taşı, kapasitif olarak yüklenen transiletken veya OTA-C entegratörüdür ve bu filtre uygulama tekniğine OTA-C veya Gm-c tekniği denir.

4.3. TRANSİLETKEN FİNFET İLE GERÇEKLEŞTİRİLMİŞ ELEMANLAR

Transiletkenlerin temel eleman bloğunu anlamak, bir filtre tasarlamaya başlamadan önce çok önemlidir. Ota-c veya Gm-C filtresi, gerekli aktif ve pasif elemanları değiştirmek için çeşitli Transiletken tasarımları içerir. Yukarıda açıklandığı gibi bu kadar büyük bir direnci entegre etmenin neredeyse imkânsızdır ve bir transiletken blok bu sorunu çözebilir. Transiletken bir indüktör olarak da ayarlanabildiğinden bir LC merdiven kurulumu da gözlemlenebilir.

4.3.1. Transiletkenler Kullanarak Direnc Gerçekleştirme

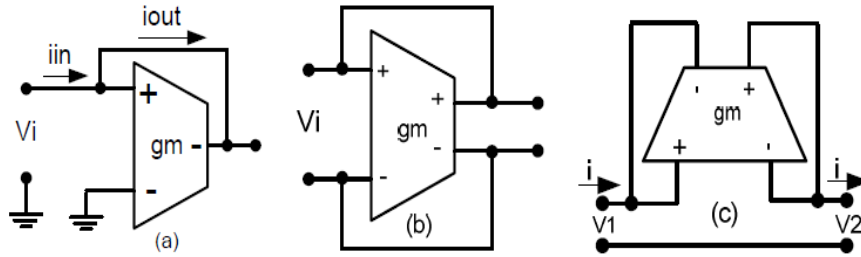
Geçiş iletkenliğinin ilk temel bloğu direnc benzeri bir elemandır. Bu model düşük hassasiyetteki LC basamaklı filtre kaynağının ve yük dirençlerinin birlikte entegre edilebildikleri uygulamalarda kullanışlıdır. Aşağıdaki şekillerde geçiş iletkeni bazı çeşitli farklı direnc benzeri elemanlar gösterilmektedir. Şekil 4.16, bir transiletkeni

ve transiletkenler kullanılarak hem topraklanmış hem de yüzer dirençlerin gerçekleştirilmesini göstermektedir.

$I_{giriş}$, $I_{çıkış}$ 'a eşit olduğundan, transiletkenin direnci şu şekilde tanımlanabilir:

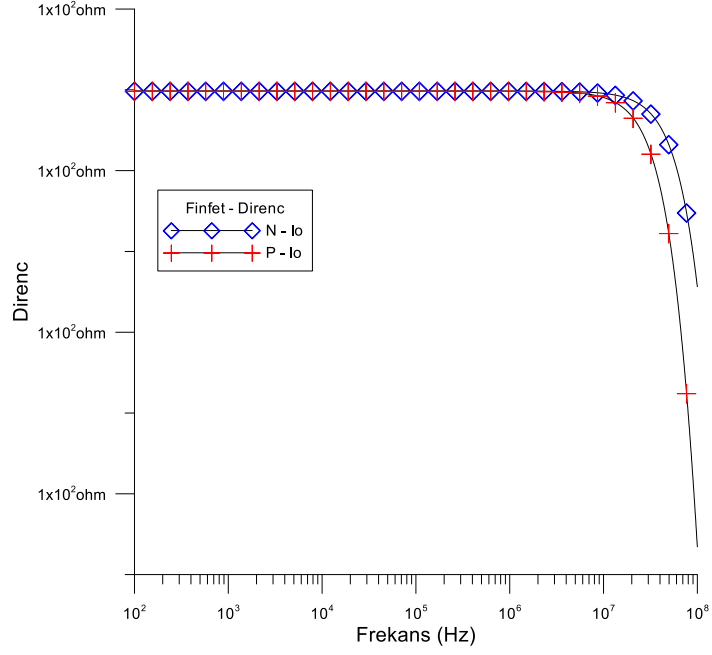
$$I_{giriş} = I_{çıkış} = G_M \times V_{giriş} \quad (4.9)$$

$$R = \frac{V_{giriş}}{I_{çıkış}} = \frac{1}{G_M} = G_m^{-1} = \Omega$$

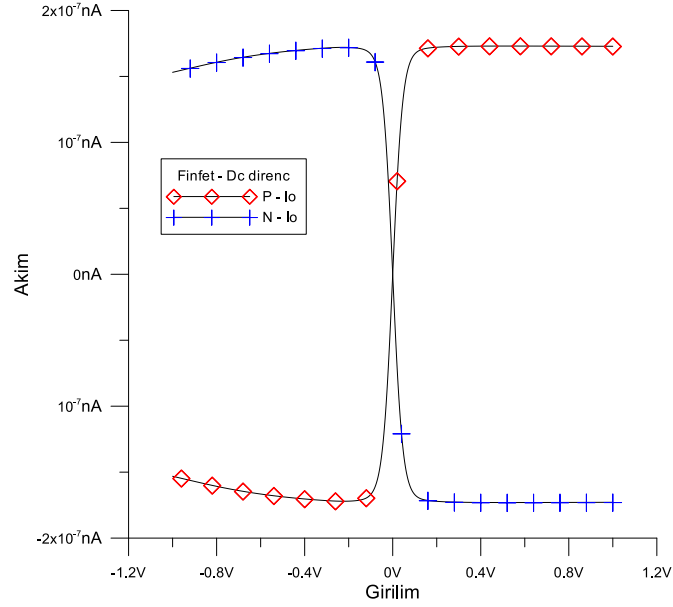


Şekil 4.16. Transiletkenlerin direnç benzeri konfigürasyonları: (a) topraklanmış tek uçlu çıkış. (b) diferansiyel. (c) yüzen (Serbest) direnç

G_m ayarlanarak giriş düğümüne bakan direnç (topraklanmış direnç durumunda) veya V_1 ile V_2 arasındaki direnç (yüzer direnç durumunda) sırasıyla şekil 4.17 ve 4.18'de gösterildiği gibi istenen herhangi bir değere ayarlanabilir.



Şekil 4.17. Gelişmiş FinFET OTA Ac. çıkış direnci karakteristiği

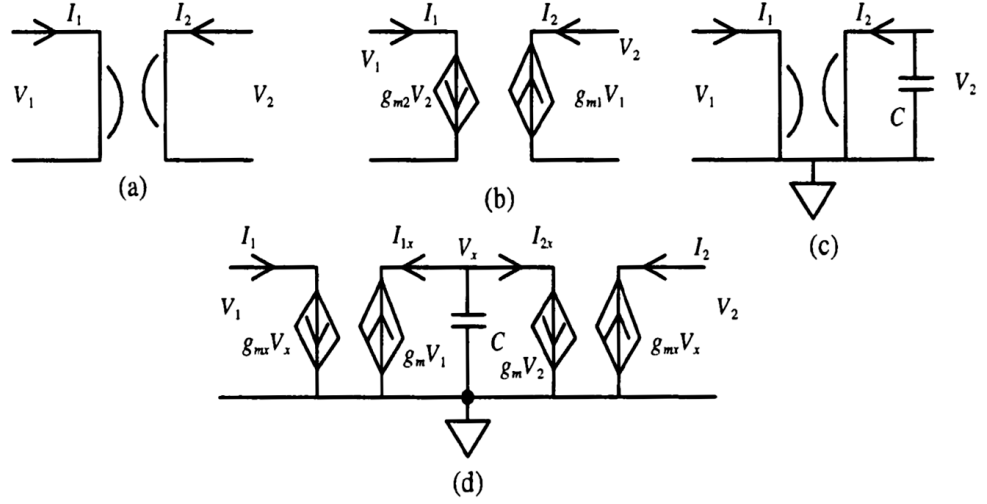


Şekil 4.18. Gelişmiş FinFET OTA Dc. çıkış direnci karakteristiği

4.3.2. Gyrator Prensibini Kullanarak İndüktör Gerçekleştirme

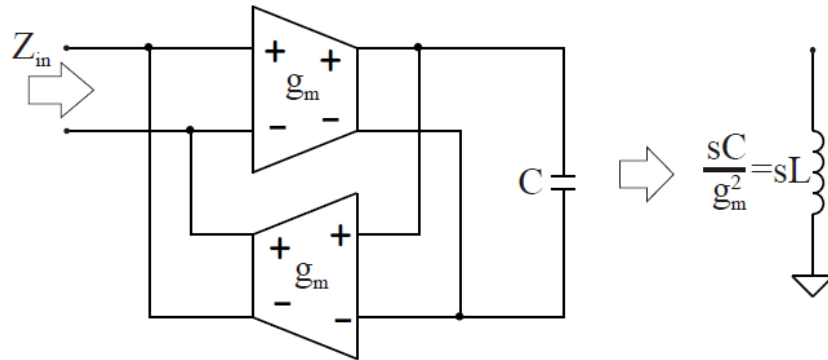
İndüktörler, gyrator [78] kullanılarak simüle edilebilir. Şekil 4.19'da gösterilen bir gyrator, her porttan geçen akımın diğer bağlantı noktasından geçen voltajla orantılı

olduğu iki portlu bir ağıdır. Gyrator yapısı bu nedenle doğal olarak transiletkenlik kullanımına dayanır. Bu tür ağlardaki giriş empedansı (Z_{in}), çıkış empedansı $Z_{çıkış}$ ile ters orantılıdır. ($Z_{in} = 1/Z_{çıkış}$) .

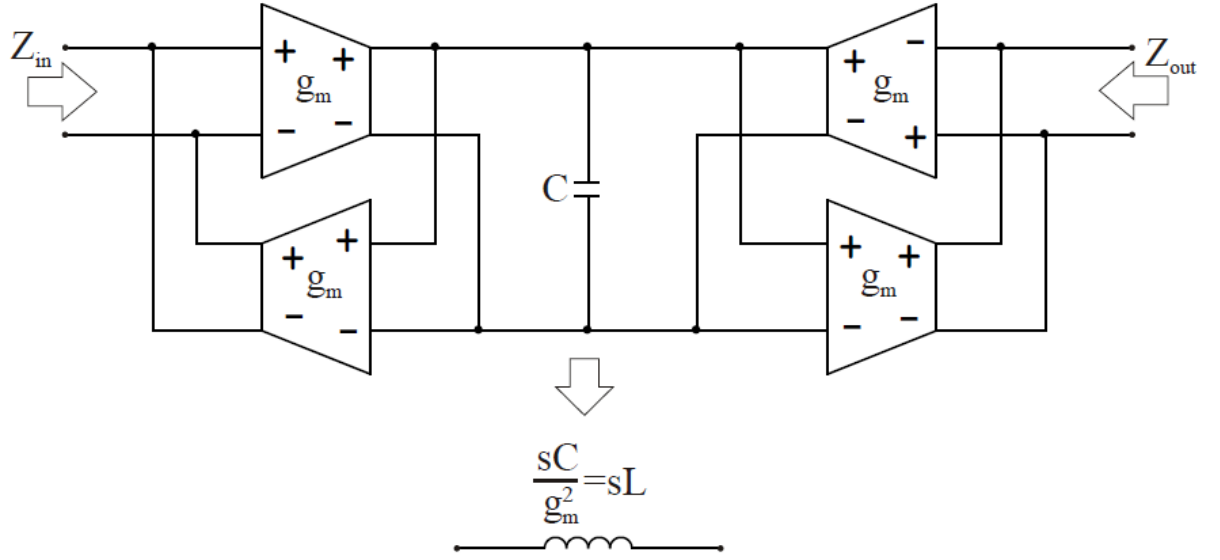


Şekil 4.19. (a) Gyrator sembolü; (b) Genel küçük sinyal eş değer devresi; (c) Topraklanmış bir indüktörün gyrator simülasyonu; (d) Yüzer bir indüktörün gyrator simülasyonu

Analizden bir endüktansın bir kapasitansın ters çevirilmesi ile uygulanabileceği sonucuna varılır. OTA-C tasarım tekniklerinde gyratörler, bir geri besleme döngüsüne bağlı bir çift transiletkenlik amplifikatörü olarak gerçekleştirilir. Topraklanmış ve yüzer bir endüktansın işlevselliğini simüle etmek için kullanılan yapılar Şekil 4.20 ve Şekil 4.21'de sunulmuştur.



Şekil 4.20. Topraklanmış bir endüktansın OTA-C uygulaması



Şekil 4.21. Yüzer endüktansın ota-c uygulaması

Burada gyratorun direnci $1/g_m$ 'ye eşittir. Kapasitans değeri aşağıdaki denkleme göre hesaplanabilir:

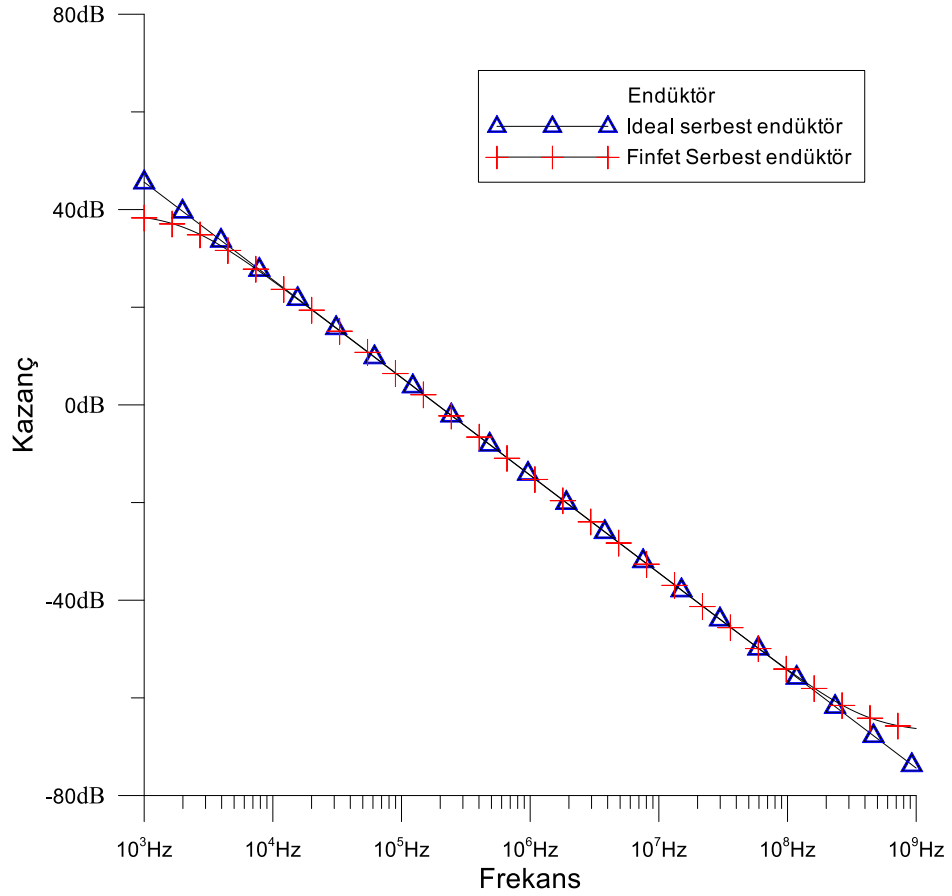
$$L = \frac{V}{I} = \frac{C_L}{G_M^2}$$

$$C_L = g_m^2 \cdot L \quad (4.10)$$

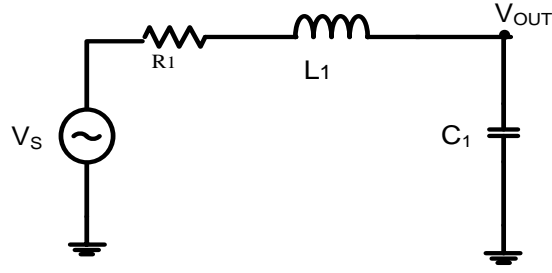
Daha önce OTA-C veya Gm-C filtresinde belirtildiği gibi topraklanmış ve serbest endüktörler yerine Gm hücrelerinin ve C'nin nasıl kullanılabileceği ayrıca cadence virtüözü ve LTSPICE programı D-OTA ile iç yapı olarak geliştirilmiş OTA yapısının kullanılacağı gösterilmiştir. Simülasyonlarda 7 nm proses parametreleri kullanılmıştır. Şekil 4.22, endüktans simülatörünün frekansına göre empedansın değişiminin gösterildiği ideal endüktans değerini göstermektedir. İki uçlu serbest endüktans simülatörü, Şekil 4.22'de gösterildiği gibi ideal endüktans ile çok iyi bir eşleşme ile çalışır.

Çizelge 4.3. Gelişmiş FinFET OTA ile gerçekleştirilmiş serbest endüktör simülasyon sonuçları

Parametreler	Değerler
$V_{DD}=-V_{SS}$	0.1V
$I_{B1,2}$	170nA
Gm değeri	68nA/V
Endüktör(L)	1nH
C_L değeri	1.2 nF
Çıkış direnci	800kHz ile 180 MHz



Şekil 4.22. Yüzer endüktansın FinFET OTA-C uygulaması



Şekil 4.25. Pasif alçak geçişli rlc filtresi

Bu biquad, kolaylık sağlamak için (4.11) ve (4.12) denklemlerindeki transfer fonksiyonlarını uygular.

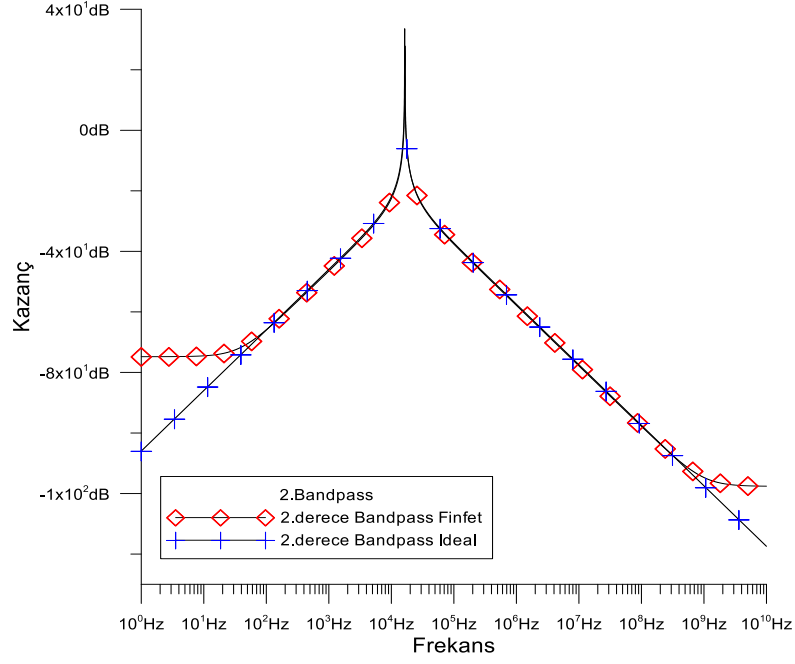
$$V_{o1} = \frac{g_{m2}g_{mo}V_1 + s^2V_3C^2 + sCg_{m1}V_3 - sCg_{m2}V_2}{g_{m2}g_{m3} + sCg_{m1} + S^2C^2} \quad (4.11)$$

$$V_{o2} = \frac{s^2V_2C^2 + sCg_{mo}V_1 - sCg_{m3}V_3}{g_{m2}g_{m3} + sCg_{m1} + S^2C^2} \quad (4.12)$$

4.4.1. FinFET OTA-C 2.dercede bant geçiren filtresinin gerçekleştirilmesi

Şekil 4.23'teki biquad, $V_2 = V_3 = 0$ ayarlayarak V_{o2} 'deki denklemde (4.12) bant geçiş fonksiyonunu gerçekleştirir. Sonuç simülasyonu, cadence ve doğrusal teknoloji 7 nm FinFET parametrelerini kullanan aşağıdaki şekilde görülebilir.

$$V_{o2} = \frac{sCg_{mo}V_1}{g_{m2}g_{m3} + sCg_{m1} + S^2C^2} \quad (4.13)$$



Şekil 4.26. Aktif ve pasif bant geçiren filtresi

Çizelge 4.4. Gelişmiş FinFET OTA ile gerçekleştirilmiş pasif bant geçiren parametreleri

Parametreler	Değerler
R1	4Ω
L	100μH
C	1nF

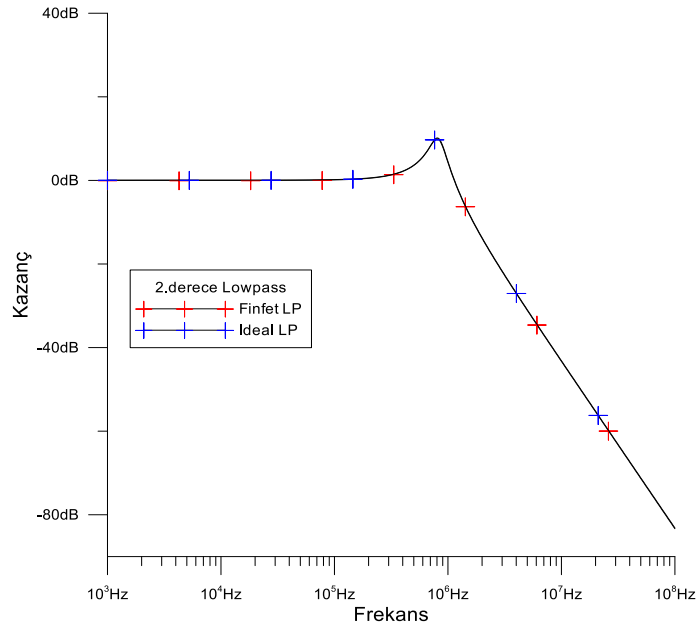
Çizelge 4.5. Gelişmiş FinFET OTA yapısı ile gerçekleşen aktif alçak geçiren fitlere parametreleri

Parametreler	Değerler
C ₁	0.5nF
C _{L=L×(gm)²}	1nF
I _L	170nA
I _R	50nA
g _{m1} =g _{m3} =g _{m4}	34 nA/V
g _{m2}	11.1 nA/V

4.4.2. FinFET OTA 2. Dercede Alçak Geçiren Filtrenin Gerçekleştirilmesi

Biquad Şekil 4.22, $V_2 = V_1 = 0$ ayarlayarak V_{o1} düğümünde denklemde (4.13) düşük geçiş fonksiyonunu gerçekleştirir. Sonuç simülasyonu, cadence ve doğrusal teknoloji 7 nm FinFET parametrelerini kullanan aşağıdaki şekilde görülebilir.

$$V_1 = \frac{g_{m2}g_{m3}V_1}{g_{m2}g_{m3} + sCg_{m1} + S^2C^2} \quad (4.13)$$



Şekil 4.27. Aktif ve pasif alçak geçiren filtresi

Çizelge 4.6. Gelişmiş FinFET OTA ile gerçekleştirilmiş pasif alçak geçiren parametreleri

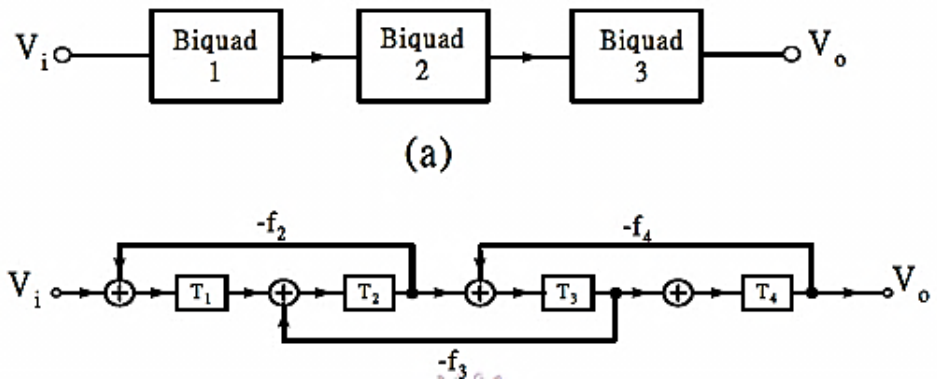
Parametreler	Değerler
R1	20Ω
L	12μH
C	3.1nF

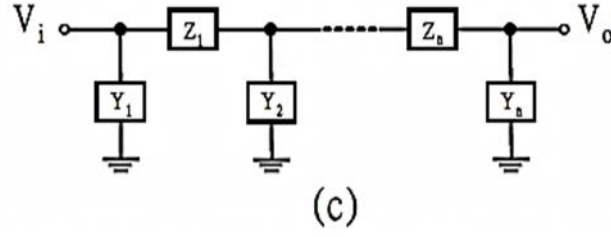
Çizelge 4.7. Gelişmiş FinFET OTA yapısı ile gerçekleştirilen aktif alçak geçiren fitlere parametreleri

Parametreler	Değerler
C_1	0.5pF
$C_{L=L \times (g_m)^2}$	0.8pF
I_L	50nA
I_R	170 μ A
$g_{m1}=g_{m3}=g_{m4}$	75.3 nA/V
g_{m2}	26 nA/V

4.4.3. FinFET OTA-C 4. Derecede Bant Geçiren Filtrenin Gerçekleştirilmesi

Yüksek dereceli filtre genellikle üç farklı şekilde gerçekleştirilir: caskad topolojisi, leapfrog topolojisi ve LC merdiveni veya merdiven topolojisi. Üç taslak yapı Şekil 3.14'te gösterilmiştir. Yöntem 1 ve 2i dördüncü derece FinFET OTA-C Butterworth bant geçiren filtresini uygulamak için kullanılmıştır. Yöntem 1'in avantajı, geri besleme döngüsü olmadığından daha az kararlılık sorunu olması, filtrenin tasarlanmasının ve ayarlanmasının kolay olmasıdır. Cascade topolojisi, bileşen varyasyonlarına karşı yüksek hassasiyetin dezavantajını ortadan kaldırabilir ve filtreyi kolayca çözme yeteneğine sahiptir. Tez; tam hassasiyet, düşük güç ve daha az verimli alan kullanan otomatik bir ayar sistemi kullanır.





Şekil 4.28. (a) Caskad bağlantısı, (b) Leap-frog topolojisi, (c) LC ladder ağı [79].

Biquad 4. dereceden Butterworth, Şekil 4.28 kullanılarak tasarlanabilir. Denklemde bant geçirme işlevini yerine getirir (4.14). Sonuç, 7 nm'lik cadence ve doğrusal teknoloji parametreleri kullanılarak aktif FinFET ve pasif RLC'nin altındaki aşağıdaki şekilde görülebilir.

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{sg_{m1}C_1^{-1}}{s^2 + sC_{L1}g_{m2}C_1^{-1} + g_{m3}g_{m4}(C_1C_{L1})^{-1}} * \frac{sg_{m6}C_2^{-1}}{s^2 + sC_{L2}g_{m9}C_2^{-1} + g_{m7}g_{m8}(C_1C_{L2})^{-1}} \quad (4.14)$$

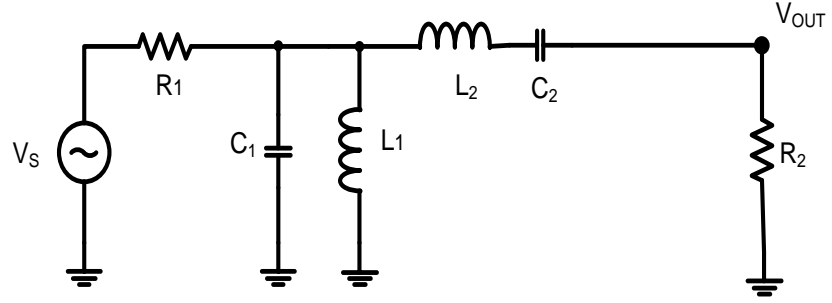
Çizelge 4.8. Gelişmiş FinFET OTA ile gerçekleştirilmiş 4. derecede pasif alçak geçiren parametreleri

Parametreler	Değerler
R1	30Ω
R2	30Ω
L2	10μH
L1	10nH
C2	0.1μF
C1	0.1μF

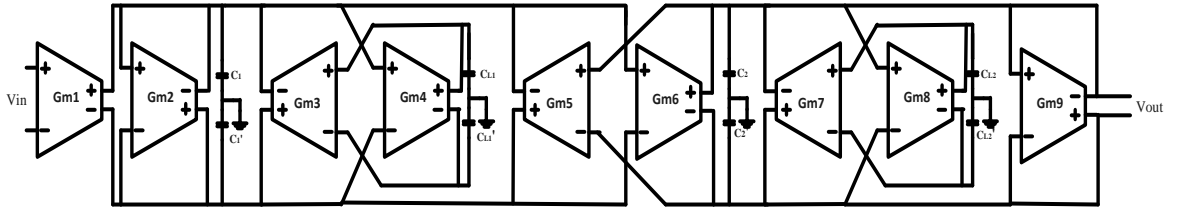
Çizelge 4.9. Gelişmiş FinFET OTA yapısı ile gerçekleşen 4. derecede aktif alçak geçiren fitlere parametreleri

Parametreler	Değerler
C ₁	0.1pF
C ₂	1pF
C _{L1=L×(gm)²}	0.2pF
C _{L2=L×(gm)²}	1pF

I_L	170nA
I_R	100nA
$g_{m1}=g_{m3}=g_{m4}=g_{m5}=g_{m6}=g_{m7}=g_{m8}$	10nA/V
$g_{m2}=g_{m9}$	2.1nA/V

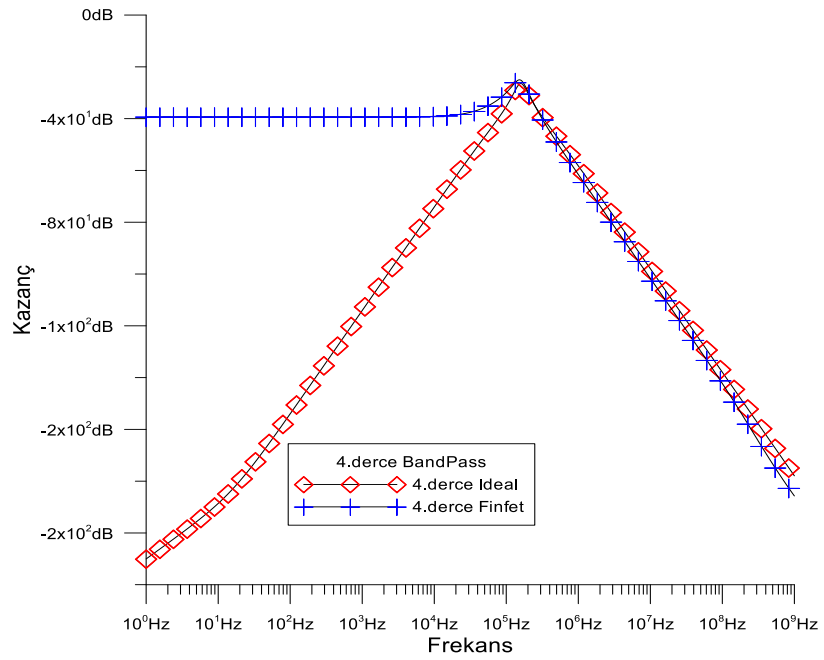


(a)



(b)

Şekil 4.29. FinFET OTA-C 4. dereceden bant geçiren Butterworth filtresi a) Pasif elemanlar ile gerçekleştirilmesi b) Aktif 4. derecede FinFET OTA-c filtresi



Şekil 4.30. Aktif ve pasif bant geçiren filtresi

4.4.4. FinFET OTA-C 6. Derece Bant Geçirgen Filtrenin Gerçekleştirilmesi

Bant geçirgen filtre yöntemlerinden biri Butterworth filtresidir. Transfer fonksiyonu için sürekli zaman filtresi denklemi 4.15'te gösterilmektedir. FinFET OTA-C, katlanmış casocda topolojisi kullanır. Şekil 4.28'e göre altıncı derece LC prototiplendiği için pasif ve aktif bir Butterworth filtresi yapıldı. GM'ler basit diferansiyel çift GM'lere kıyasla daha fazla güç tüketir. Bununla birlikte Şekil 4.28'de gösterilen çip alanını azaltmak için önerilen filtrelerin ölçüm sonuçları ile simülasyon arasında kapsamlı bir karşılaştırma sunulmaktadır.

$$H(s) = \frac{V_{out}(s)}{V_{in}(s)} = \frac{s^3 G_{m1,6,10} C_{1,2,3}^{-1}}{s^6 + s^3 C_{L1,2,3} G_{m2,13} C_{1,2,3}^{-1} + G_{m3,4,7,8,11,12} C_{1,2,3} C_{L1,2,3}^{-1}} \quad (4.15)$$

Çizelge 4.10. Bant geçiren değerleri sağlayan pasif devrenin parametreleri

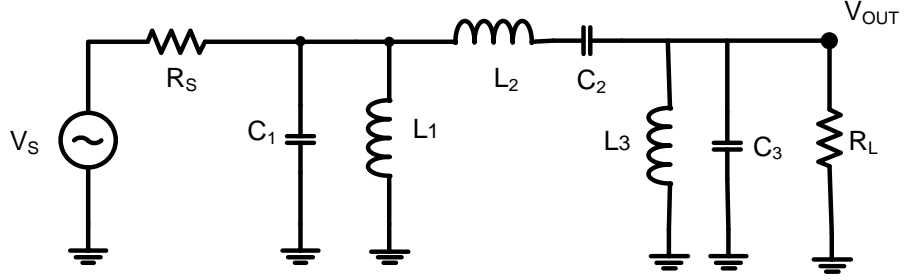
Parametreler	Değerler
R1	110Ω
R2	110Ω
L2	7mH
L1,3	0.14mH
C2	14.1pF
C1,3	707pF

Çizelge 4.11. G_m -C'nın geliştirilmiş FCS yapıları ile gerçekleşen bant geçiren filtre yapısının parametreleri

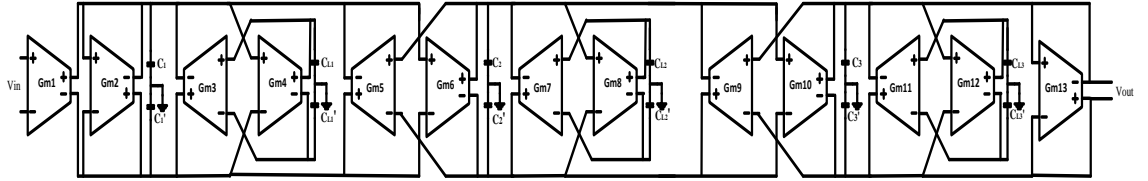
Parametreler	Değerler
$C_{1,3}$	3pF
C2	13.5pF
$C_{L1,3} = L \times (gm)^2$	0.1pF
$C_{L2} = L \times (gm)^2$	1pF
I_L	170nA

I_R	100nA
$g_{m1}=g_{m3}=g_{m4}=g_{m5}=g_{m6}=g_{m7}=g_{m8}=g_{m9}=g_{m10}=g_{m11}=g_{m12}$	4.24nA/V
$g_{m2}=g_{m13}$	1.222nA/V

Sonuç, 7 nm'lik cadence ve doğrusal teknoloji baharat parametrelerini kullanarak aktif FinFET ve pasif RLC'nin altındaki aşağıdaki şekilde görülebilir.

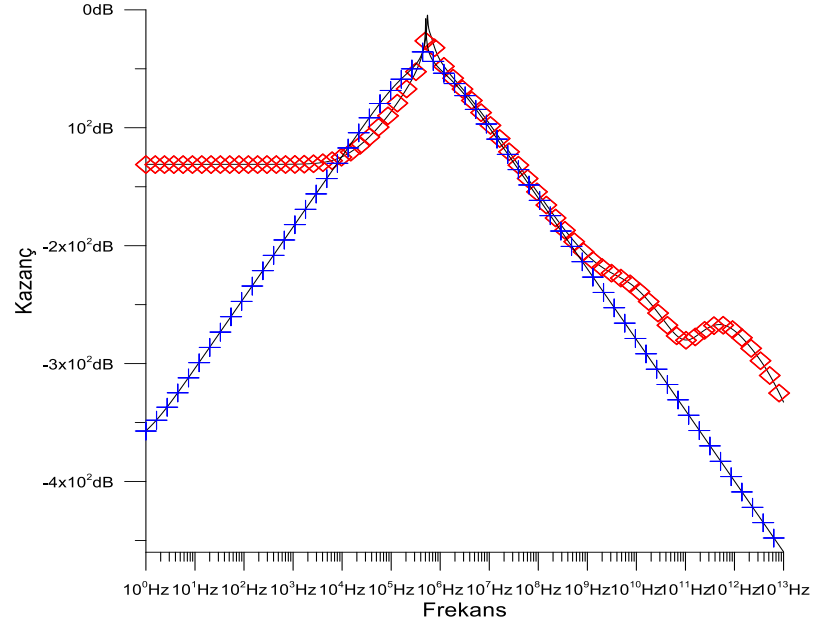


(a)



(b)

Şekil 4.31. FinFET OTA-C 6. dereceden bant geçiren Butterworth filtresi a) Pasif elemanlar ile gerçekleştirilmesi b) Aktif 6. derecede FinFET OTA-c f



Şekil 4.32. Aktif ve Pasif Bant geçiren filtres

BÖLÜM 5

FİNFET 7 nm ALÇAK GERİLİM DÜŞÜK GÜÇ TRANSİLETKENLİK AMPLİFİKATÖRÜNÜN YENİ TASARIMI VE SONUÇLARI

Çeşitli analog sinyal işleme devreleri, bir dizi yeni aktif eleman kullanılarak tasarlanmıştır [80]. Çeşitli yeni aktif ögelerin kontrol dağılımı yapılır. Literatür; operasyonel transdüktans amplifikatörü (OTA) ve varyasyonu, çok çıkışlı OTA'ları, akım farklılaştırıcı transiletkenlik amplifikatörleri ve voltaj farklılaştırıcı transiletkenlik amplifikatörleri (VDTA) gibi çeşitli iletkenlik amplifikatörlerini ve bunların varyasyonlarını içerir.

Akım farklılaştırıcı iletkenlik amplifikatörü (CDTA), akım modu analog uygulamaları için kullanılan aktif elemanlardan biridir. İlk olarak Biolek tarafından tanıtılmıştır [81]. CDTA'nın giriş bölümü, akım farklılaştırıcı tampon amplifikatörüne (CDBA) benzer akım farklılaştırma ünitesidir (CDU) ve ardından çoklu çıkışlı işlemsel iletkenlik amplifikatörü (OTA) gelir. Diferansiyel giriş akımı z terminalinden akar ve ona bağlı empedans boyunca bir voltaj düşüşüne neden olur. Bu voltaj düşüşü OTA bloğu tarafından çıkış akımına dönüştürülür. CDTA yapıları çip üstü sistemler için çok uygundur. CDTA'nın gerçekleşmesi ve bazı uygulamaları literatürde rapor edilmiştir.

Basamaklı biçimde CDTA kullanılarak akım modu filtreleri gerçekleştirilmiştir [82]. Yüksek performans ancak daha yüksek besleme voltajı sergileyen yeni bir CMOS uygulaması önerdi [83]. Analitik modeli ile modifiye edilmiş bir CMOS CDTA yapısını tartıştı ve ayrıca tasarımı doğrulamak için yeni CDTA'nın uygulamalarını sunulmuştur. Shah [84], CDTA kullanarak mevcut modda çok işlevli bir filtre ve trans giriş filtresi önermiştir. Elektronik olarak ayarlanabilir bant geçiş filtresi de tartışılmıştır ve CDTA [85] kullanılarak tasarlanmıştır. CMOS CDTA kullanarak sinyal iletimi için 0.1 dB geçiş bandına sahip bir video filtresi uygulanmıştır. Birden

fazla giriş özelliğine sahip CDTA kullanan başka birçok işlevli filtre sunmuştur. Çoklu giriş ve çoklu çıkış olan CDTA kullanan KHN filtresi önermiş ve CDTA'nın yüksek performansla yeni bir şekilde gerçekleştirilmesini önermiştir [86]. Basit bir yapıya sahip yeni bir CDTA uygulaması sunmuş ve KHN filtresinde bir CDTA uygulaması önermiştir. Osilatörlerin uygulanmasında CDTA'nın kullanılması [87] tarafından önerilmektedir. CDTA bloğuna dayalı çok fazlı bir sinüzoidal osilatör ve dört fazlı dörtlü osilatör önermiştir [88-90]. CDTA'nın modifiye edilmiş yapısını gerçekleştirmiş ve uygulamalarını mevcut mod dörtlü osilatör, KHN filtresi ve mevcut modda düzeltmede sunmuştur.

Başka aktif eleman, akım farklılaştırıcı iletkenlik amplifikatörünün (CDTA) akım farklılaştırma biriminin bir voltaj farklılaştırma birimi ile değiştirilerek oluşturulan voltaj farklılaştırıcı transiletkenlik amplifikatörüdür (VDTA) ve böylece devrenin elektronik ayarlanabilirliği artırılır [91]. Giriş voltajlarının farkı ilk transiletkenlik aşamasından geçer ve z terminali boyunca bir voltaj düşer. Daha sonra bu voltaj düşüşü, ikinci transiletkenlik aşaması aracılığıyla x^+ ve x^- terminallerinde çıkış akımına ulaşır. Böylece amplifikatörün programlanabilirliği, her iki aşamanın transiletkenliği ayarlanarak artırılır. Bu nedenle uygulanan giriş diferansiyel voltaj iken akım çıkışlarıyla birlikte iki farklı transiletkenlik değerine sahip olduğu için VDTA, voltaj ve trans iletkenlik tabanlı uygulamalarda kullanılabilir. Araştırmacılar tarafından VDTA'ya dayalı çeşitli uygulamalar rapor edilmiştir. Bir VDTA ve pasif elemanlara dayalı bir voltaj modu çoklu giriş ve bir çıkışlı evrensel çift dörtlü filtre önermiştir [92] Bu yapı kullanılarak beş filtre işlevi gerçekleştirilmiştir. İki farklı yüzer indüktör simülatörü önermiştir [93]. Bir simülatör, bir VDTA bloğu ve topraklanmış bir kapasitör kullanır ve başka bir konfigürasyon, iki VDTA ve bir topraklanmış kapasitör kullanır. [94] VDTA blokları ve pasif elemanlar kullanarak trans giriş modunda bir voltaj modu biquad filtre sunmuştur. Önerilen konfigürasyon, çeşitli filtre işlevlerini gerçekleştirir. [95], VDTA'nın transiletkenlik aşamaları tarafından ayarlanabilen VDTA bloklarına dayalı tamamen aktif yüzer direnç bildirmiştir.

[96] elektronik olarak ayarlanabilir VDTA yapısını kullanarak açık akım sinüzoidal osilatör çıkışları önermiştir. Bu konfigürasyon kullanılarak üç farklı akım çıkışı

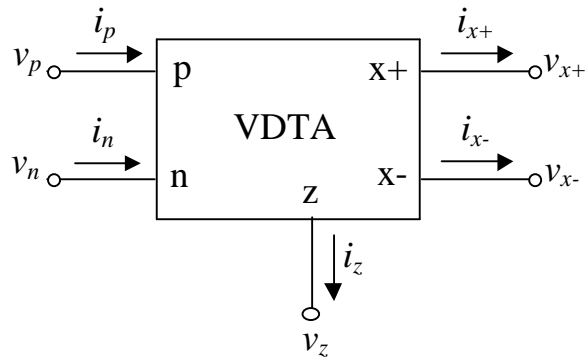
üretir. [97], işlevi gerçekleştirmek için yalnızca bir topraklanmış kapasitör kullanıldığı için oldukça ilginç olan VDTA kullanan birinci dereceden bir tam geçiş filtresi önermiştir. [98] ortogonal olarak kontrol edilen, yalnızca bir VDTA bloğuna dayanan basit bir dörtlü osilatör tartışmıştır. [99] VDTA bloğu ve topraklanmış kapasitörler kullanarak hem voltaj hem de akım çıkışlarına sahip yeni bir dörtgen osilatör önermiştir. [100] VDTA ve akım ve voltaj üreten pasif elemanlara dayanan karışık modlu bir karelik osilatör önermiştir. Mevcut modda çalışan ve çeşitli filtre işlevlerini gerçekleştiren VDTA tabanlı bir trans giriş modu biquad filtresini tartışmıştır [101]. Birçok araştırmacı, birçok avantajı olduğu için diferansiyel giriş filtreleri üzerinde çalışmaktadır. Diferansiyel filtreler; ortak moddan gelen gürültü sinyallerine karşı bağımsızdır, dinamik çalışma aralığını artırır ve devredeki toplam harmonik bozulmayı azaltır. Literatürde çeşitli diferansiyel çift dörtlü filtreler bildirilmiştir. Birinci dereceden tüm geçiş filtreleri, sinyalleri yalnızca fazda değişikliklerle aynı frekansta iletmek için temel analog ön uç bloklardan biridir. Tüm geçiş filtreleri, analog sistemlerde aynı gecikmeleri koruyan gecikme eşitleyicileri olarak da bilinir. [102] aktif eleman olarak diferansiyel voltaj akımı konveyörü (DVCC) ve bir direnç ve kapasitörler dâhil dört pasif eleman olarak kullanılan tamamen diferansiyel bir tüm geçiş filtresi önermiştir. Minaei, iki operasyonel iletkenlik amplifikatörü (OTA), diferansiyel işlemsel amplifikatör ve dört kapasitör kullanarak diferansiyel bir tüm geçiş filtresi sunmuştur.

Bu nedenle CDTA ve VDTA çok yönlü bloklardır. Filtreler, osilatörler ve diğer dalga formu jeneratörleri redresörler, akım sınırlayıcı ve aritmetik fonksiyonlar gibi hem doğrusal hem de doğrusal olmayan uygulamaları gerçekleştirmek için kullanılabilir. Geniş bir frekans aralığında çalışabilir ve uygulamayı gerçekleştirirken daha az sayıda pasif bileşen gerektirir. Bu bölümde düşük voltajlı analog sinyal işleme devreleri geliştirilerek taşınabilir elektronik cihazların derin talebini karşılamak için kayan geçit FinFETleri kullanılarak voltaj farklılaştırıcı transiletkenlik amplifikatörü ve akım farklılaştırıcı transkondüktans amplifikatörünün yeniden gerçekleştirilmesi önerilmiştir. FinFET, eşik voltajına bağımlılığı azalttığı veya ortadan kaldırdığı için düşük voltajlı düşük güçlü analog uygulamalar için en uygun tekniktir. Bu iletkenlik amplifikatörlerinin diğer performans parametrelerinin geliştirilmesine ek olarak kayan kapı FinFET tekniği

kullanan uygulamalarda besleme voltajı ve güç dağılımı azaltılabilir. Düşük geçişli, yüksek geçişli ve bant geçişli filtre işlemlerini sergileyen diferansiyel birinci dereceden tüm geçiş filtresi ve evrensel çift giriş ve çıkış çift yönlü filtre; FinFET tabanlı VDTA uygulamaları olarak sunulmuştur. Önerilen CDTA'nın etkinliğini kanıtlamak için FinFET CDTA tabanlı tüm geçiş filtresi ve dörtlü osilatör de tartışılmıştır. Bölüm şu şekilde düzenlenmiştir: Bölüm 5.2 FinFET voltaj farklılaştırıcı transiletkenlik amplifikatörü (VDTA) sunar. Bu bölümde FinFET VDTA'nın uygulamaları olarak evrensel çift dörtlü filtre ve diferansiyel birinci dereceden tüm geçiş filtresi sunulmaktadır. FinFET tabanlı akım farklılaştırıcı transiletkenlik amplifikatörü ve tüm geçiş filtresi ve dörtlü osilatör gibi uygulamalar bölüm 5.3'te tartışılmaktadır. Bölümün sonucu bölüm 5.4'te verilmiştir.

5.1. FİNFET GERİLİM FARKLILAŞTIRICI TRANSİLETKENLİK AMPLİFİKATÖRÜ (VDTA)

Daha yeni bir elektronik aktif bina bileşeni olan voltaj farklılaştırıcı transiletkenlik amplifikatörü (VDTA) 2008 yılında tanıtılmıştır [103]. Bu cihaz bu nedenle iki ayrı voltaj kontrollü akım kaynağının birleşimi olarak işlev görür. Transiletkenlik kazanç değişikliği yoluyla devrenin elektronik kontrol edilebilirliği, VDTA elemanı tarafından sağlanan ana özelliktir. VDTA devre sembolü Şekil 5.1'de gösterilmiştir. Burada p ve n giriş terminalleri ve Z, X+ ve X- çıkış terminalleridir. Tüm terminaller yüksek empedans gösterir.

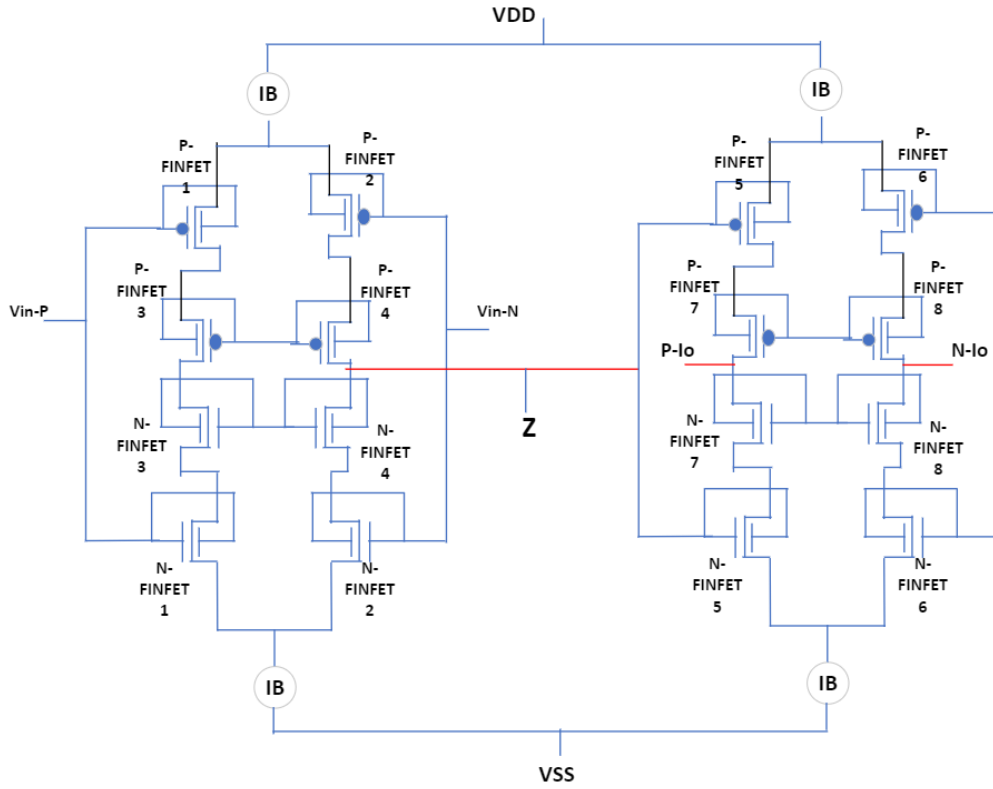


Şekil 5.1. FinFET VDTA blok diyagramı

İdeal VDTA göz önüne alındığında terminal ilişkileri aşağıdaki matris ile karakterize edilebilir:

$$\begin{bmatrix} i_z \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} +g_{mf} & -g_{mf} & 0 \\ 0 & 0 & +g_{ms} \\ 0 & 0 & -g_{ms} \end{bmatrix} \begin{bmatrix} V_P \\ V_N \\ V_Z \end{bmatrix} \quad (5.1)$$

Yukarıdaki matriste g_{mf} ve g_{ms} parametreleri, VDTA'nın harici beslenen akımları tarafından ayarlanabilen sırasıyla birinci ve ikinci aşama transiletkenlik kazancıdır. Giriş voltajlarının farkı ($V_P - V_N$), transiletkenlik kazancı g_{mf} ile çıkış akımına (I_z) dönüştürülür. VDTA'yı gerçekleştirmek için çeşitli teknikler kullanılmıştır. FinFET transistörü kullanan VDTA uygulaması Şekil 5.2'de gösterilmektedir.



Şekil 5.2. FinFET VDTA iç mimarisi

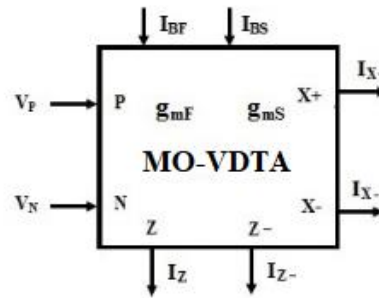
Bu yapı aracılığıyla türetilen transiletkenlik parametreleri şu şekilde gösterilmiştir:

$$g_{m1} = \frac{g_1 g_2}{g_1 + g_2} + \frac{g_3 g_4}{g_3 + g_4} \cong (g_{1,2} + g_{3,4}) / 2 \quad (5.2)$$

$$g_{m2} = \frac{g_9 g_{10}}{g_9 + g_{10}} + \frac{g_{11} g_{12}}{g_{11} + g_{12}} \cong (g_{9,10} + g_{11,12}) / 2 \quad (5.3)$$

5.2. ÇOKLU ÇIKIŞ FİNFET GERİLİM FARKLILAŞTIRICI TRANSİLETKENLİK AMPLİFİKATÖRÜ (MO-VDTA)

Temel MO-VDTA'nın sembolik bir blok diyagramı gösterimi Şekil 5.3'te gösterilmiştir. Şekil 5.3'te gösterildiği gibi MO-VDTA'nın temel formu, bir çift yüksek empedanslı giriş terminali (P ve N) ve iki veya daha fazla yüksek empedans tipi transiletkenlik çıkış terminalinden (X+ ve X-) oluşur. Ayrıca Z+ ve Z tipi yüksek empedans terminallerinden oluşur, aralarında terminallerden biri (genellikle Z+) yardımcı terminal olarak kullanılır. Cihazda P ve N ($V_P - V_N$) arasındaki voltaj farkı, VDTA'nın ön yargı akımı $I_{B'}$ 'si tarafından kontrol edilen birinci aşama transiletkenlik parametresi G_{mF} aracılığıyla Z terminalindeki (I_Z) bir akıma aktarılır. Benzer şekilde yardımcı Z terminali üzerindeki voltaj (harici bir empedans bağlayarak), MO-VDTA'nın ön yargı akımı $I_{B'}$ 'si tarafından da kontrol edilen ikinci aşama transiletkenlik parametresi G_{mS} aracılığıyla I_{X+} ve I_{X-} olarak X+ ve X- terminallerindeki çıkış akımlarına aktarılır.

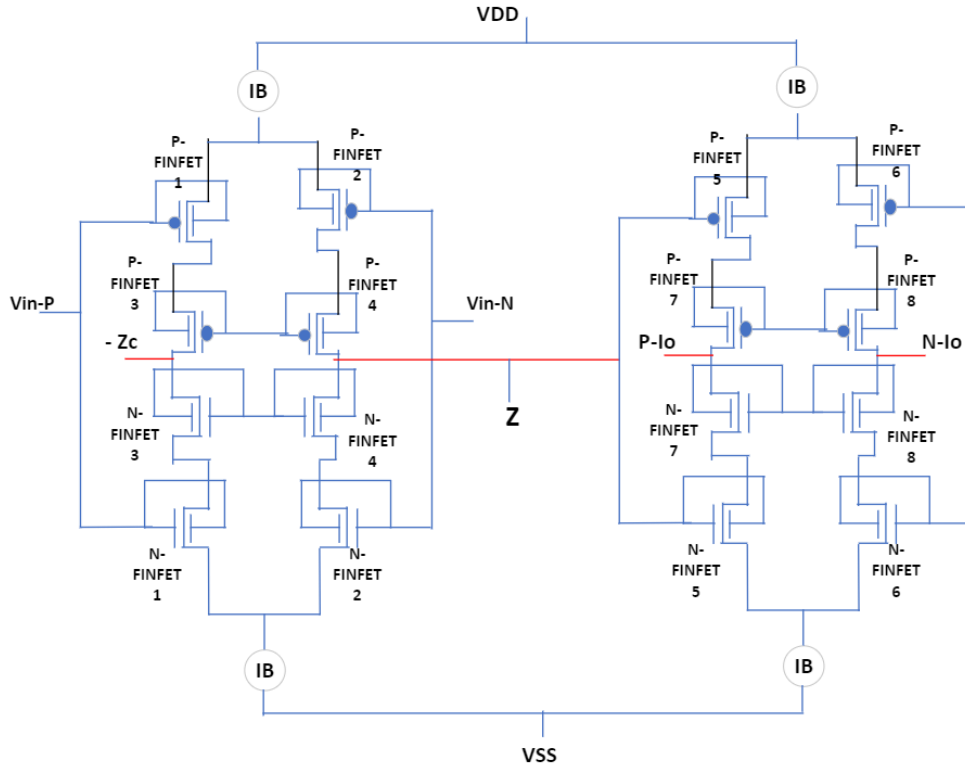


Şekil 5.3. FinFET MO-VDTA'nın blok diyagramı

Şekil 5.3'te gösterilen MO-VDTA'nın çeşitli giriş çıkış portları arasındaki akım-voltaj ilişkisini tanımlayan denklem, matris denklem (5.4) ile temsil edilebilir.

$$\begin{bmatrix} +i_z, -i_{zc} \\ i_{x+} \\ i_{x-} \end{bmatrix} = \begin{bmatrix} +g_{mf} & -g_{mf} & 0 \\ 0 & 0 & +g_{ms} \\ 0 & 0 & -g_{ms} \end{bmatrix} \begin{bmatrix} V_P \\ V_N \\ V_Z \end{bmatrix} \quad (5.4)$$

VDTA elemanının işlevselliğini ve evrenselliğini artırmak için ek Z-kopyası ve transiletkenlik çıkışları kolayca eklenebilir ve bu nedenle ek Z kopyası ile çoklu transiletkenlik çıkışlarının (MO-VDTA) FinFET uygulaması da Şekil 5.4'te gerçekleştirilmiştir.

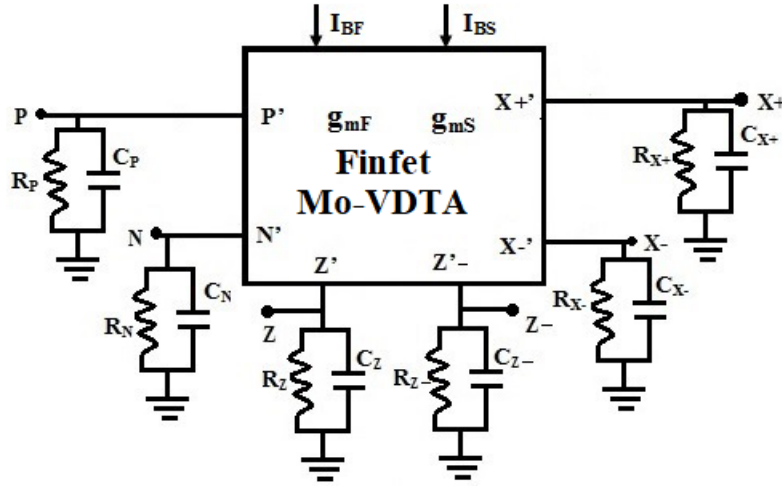


Şekil 5.4. Ek Z-kopyası ile VDTA'nın FinFET uygulaması

5.3. DO-VDTA'YA DAYALI FİNFET'İN PARAZİTTİK VE İDEAL OLMAYAN DEĞERLENDİRİLMESİ

VDTA'nın paraziter çalışması ideal bir VDTA'da tüm giriş ve çıkış portları (P, N, Z +, Z-, X+, X-) sonsuz direnç gösterir. Pratik olarak VDTA için bu dirençler cihaz parametrelerine bağlı olarak bazı sonlu değerler alır. Benzer şekilde yüksek frekanslı etkilerin de bu portlarda parazitik kapasitansların varlığını varsayarak dikkate

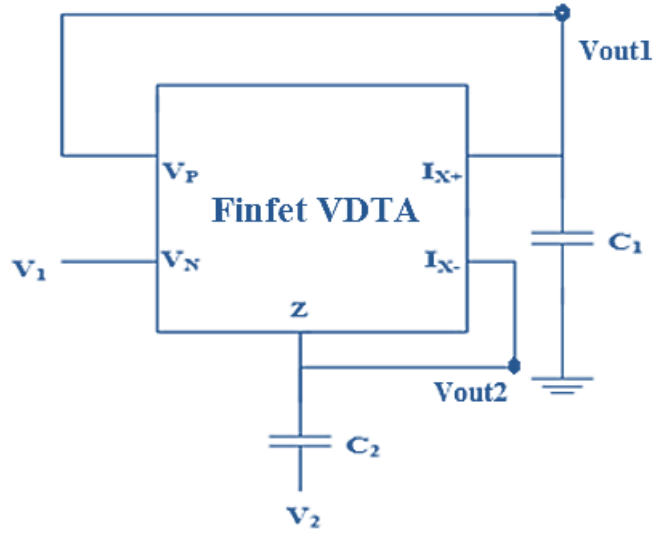
alınması gerekir. Bu nedenle Şekil 5.5'te gösterildiği gibi pratik bir VDTA, parazitlik çeşitli portları göstermektedir. Bu port parazitleri P portunda $R_p//C_p$, N noktasında $R_N//C_N$, Z bağlantı noktasında $R_Z//C_Z$, Z portunda $R_{Z-}//C_{Z-}$, X_{\pm} bağlantı noktasında $R_{X_{\pm}}//C_{X_{\pm}}$ formunda bulunur ve hepsi frekansa bağımlıdır. Çoğunlukla istenen performanslarda ciddi bozulmaya neden olabilecek yüksek çalışma frekanslarında baskındır. Port parazitliğinin devre performansı üzerindeki etkileri; eşleşen transistör dizilerinden, eşleşen akım aynalarından ve devrelerin sentezi için yeterli harici pasif bileşenlerden oluşan uygun şekilde tasarlanmış bir VDTA topolojisinin kullanılmasıyla en aza indirilebilir.



Şekil 5.5. Port paraziti dâhil pratik FinFET VDTA

5.4. FİNFET VDTA KULLANAN EVRENSEL BİQUAD FİLTRESİ

Gerilim modu biquad filtresi, önerilen FinFET tabanlı VDTA ve şekil 5.6'da gösterildiği gibi iki kapasitör kullanılarak uygulanır. Filtrenin iki girişi ve iki çıkışı vardır. Çizegle 5.1'de belirtilen koşullarda bu filtre kullanılarak düşük geçiş, yüksek geçiş ve bant geçiş fonksiyonları gerçekleştirilir.



Şekil 5.6. FinFET VDTA tabanlı LP, HP, BP filtreleri uygulaması

Çizelge 5.15. Biquad filtre için giriş koşulları.

Giriş Koşulları	Filtre Fonksiyonu
$V1=V_{in}, V2=0$	Düşük Geçiş, Bant Geçiş
$V1=0, V2=V_{in}$	Yüksek Geçiş, Band Pass

Giriş koşullarına göre ilgili transfer fonksiyonları şu şekilde verilebilir:

1. V_1 için = V_{in} ve $V_2 = 0$

$$\frac{V_{02}}{V_{in}} = \frac{sc_1g_{m1}}{s^2c_1c_2 + sc_1g_{m2} + g_{m1}g_{m2}} \quad (5.5)$$

$$\frac{V_{01}}{V_{in}} = \frac{g_{m1}g_{m2}}{s^2c_1c_2 + sc_1g_{m2} + g_{m1}g_{m2}} \quad (5.6)$$

2. V_2 için = V_{in} ve $V_1 = 0$

$$\frac{V_{02}}{V_{in}} = \frac{s2c_1c_2}{s^2c_1c_2 + sc_1g_{m2} + g_{m1}g_{m2}} \quad (5.7)$$

$$\frac{V_{01}}{V_{in}} = \frac{sc2g_{m2}}{s^2c_1c_2 + sc_1g_{m2} + g_{m1}g_{m2}} \quad (5.8)$$

Kalite faktörü Q, frekans ω_0 ve bant genişliği BW aşağıdaki denklemle verilmiştir:

$$Q = \sqrt{\frac{g_{m1}c_2}{g_{m2}c_1}} \quad (5.9)$$

$$\omega_0 = \sqrt{\frac{gm1gm2}{c1c2}} \quad (5.10)$$

$$B.W = \frac{gm2}{c2} \quad (5.11)$$

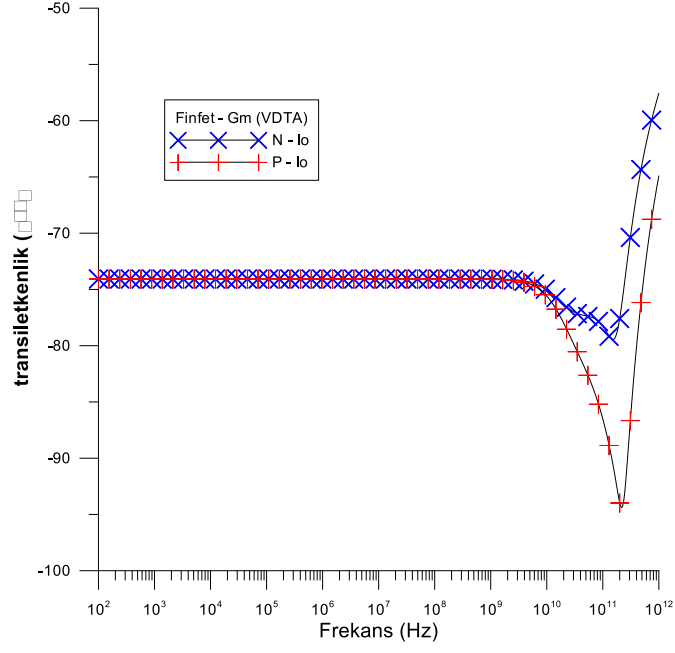
Hassasiyetlerin frekansı şu şekilde ifade edilir:

$$S_{gm1}^{w0} = S_{gm2}^{w0} = 0.5, S_{C1}^{w0} = S_{C2}^{w0} = 0.5 \quad (5.12)$$

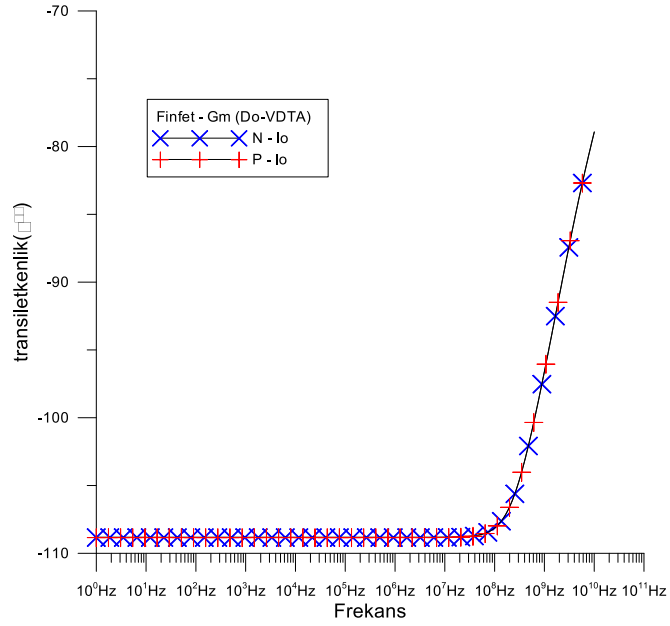
5.4.1. FinFET VDTA Simülasyon Sonuçları ve Tartışma

Uygulanan FinFET transistörünün performansını ölçmek için VDTA ve DO-VDTA, Şekil 5.1 ve 5.3'teki devre Cadence virtüözü ve doğrusal teknoloji SPICE simülasyon yazılımı kullanılarak VDD = -VSS = ± 0.1V DC besleme rayı ile simüle edilmiştir. Simülasyon için TSMC'den 7 nm FinFET model parametreleri Ek-C'de verildiği gibi kullanılmıştır. Şekil 5.1 ve 5.3'teki Finfet uygulamalı VDTA'da kullanılan FinFET transistörlerinin boyutları aşağıdaki şekillerde belirlenmiştir.

Şekil 5.7; ilgili harici ön yargı akımına göre VDTA, DO-VDTA'nın her iki trans-iletkenlik parametrelerinin (G_{Mf} ve G_{Ms} 'ler) varyasyonlarını göstermektedir. Harici ön yargı akımının (I_{BF}) 0 ila 175 nA arasında değişmesine izin verildiğinde G_{Mf} 'deki değişim, Şekil 2.5 (a) VDTA'da kullanılan FinFET'te gösterilmiştir. (b) FinFET tabanlı Do-VDTA, harici ön yargı akımının (I_{BS}) 0 ila 170 nA arasında değişmesine izin verildiğinde G_{M} 'lerdeki değişimi gösterir. Şekil 2.5'ten sırasıyla ilgili ön yargı akımları I_{BF} ve I_{BS} 'ye göre G_{Mf} ve G_{Ms} 'lerin varyasyonunu gösteren simüle edilmiş sonuçlar, eşanlamalara göre (5.2) ve (5.3) ve ayrıca VDTA, Do-VDTA'nın geniş aralıklı bir çift elektronik ayarlanabilirliğini doğrular.



(a)

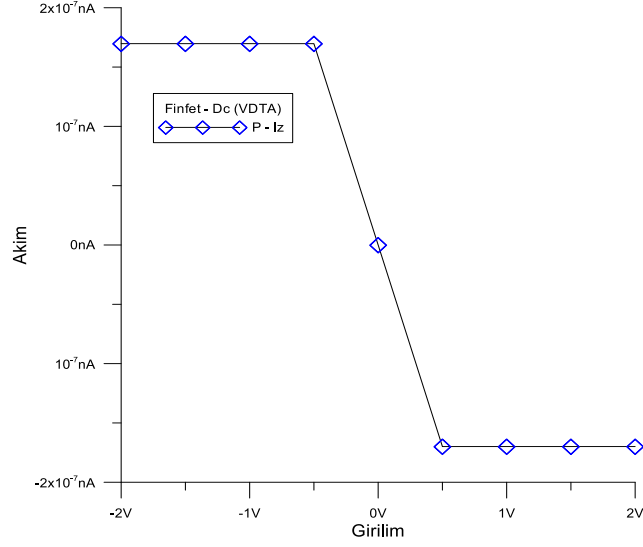


(b)

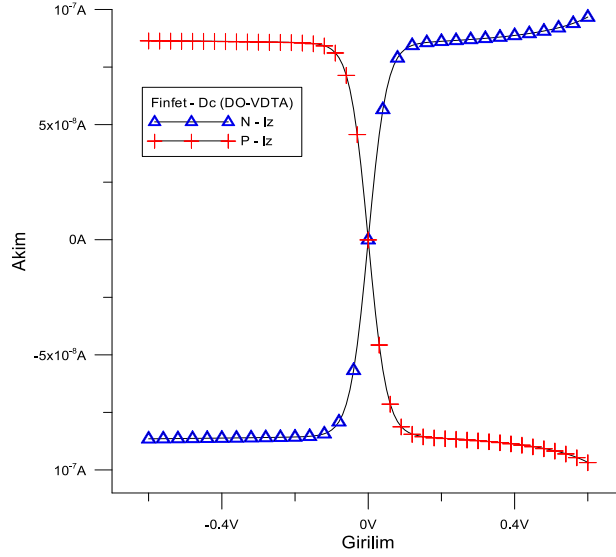
Şekil 5.7. (a) Finfet'te VDTA'nın transiletkenlik parametrelerindeki değişim (b)

FinFET tabanlı do-VDTA'da kullanılan FinFET

Şekil 5.8, $I_{BF} = I_{BS} = 170 \text{ nA}$ olduğunda dış ön yargı akımları için $I_Z - V_P$ ve $I_Z - V_N$ eğrilerinin analiz edildiği FinFET uygulanan VDTA ve do-VDTA'nın DC transiletkenlik transfer özelliklerinin simüle edilmiş sonuçlarını göstermektedir.



(a)

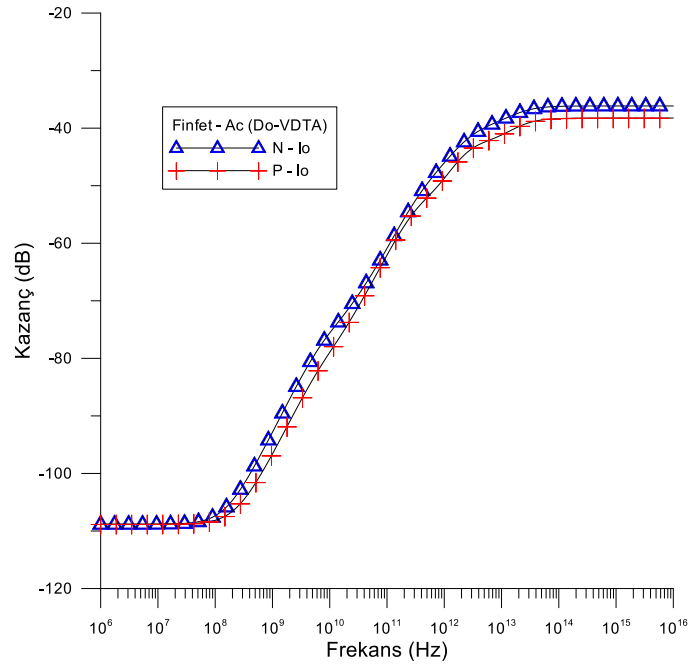
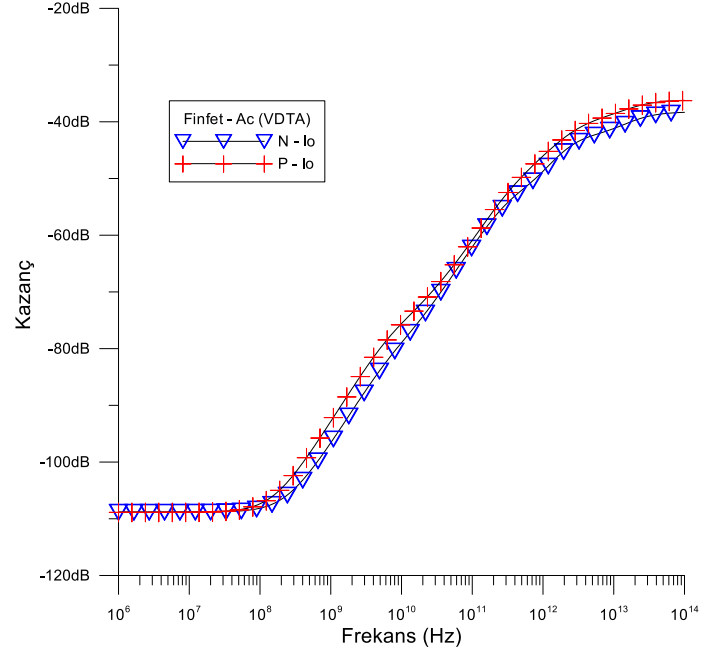


(b)

Şekil 5.8. DC transiletkenlik transfer özellikleri grafikleri (a) IZ+ ve VP Fenfet VDTA (b) DO-VDTA tabanlı FinFET için IZ+ ve IZ- karşı VN

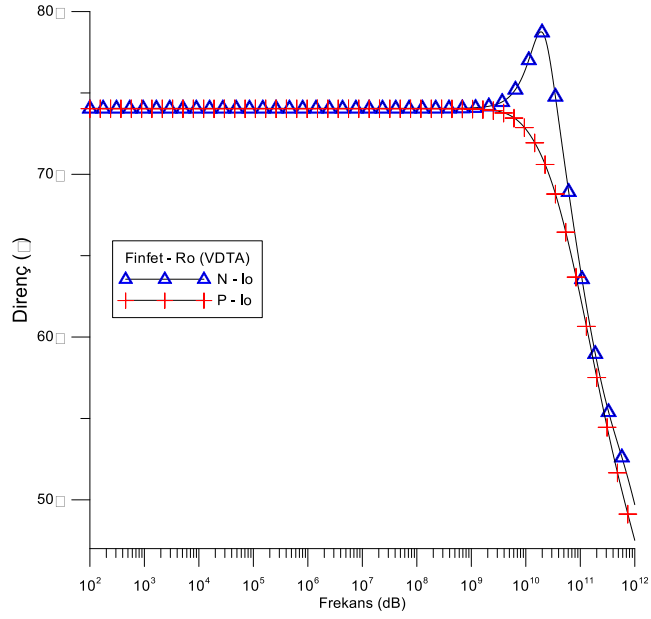
Şekil 5.8'de gösterilen sonuçlardan transiletkenlik aşaması için sırasıyla ön yargılı akım I_{BF} ve I_{BS} yoluyla transiletkenlik parametrelerinin G_{Mf} ve G_{Ms} 'lerin kontrolünün yanı sıra ilgili ön yargı akımındaki artışla doğrusallaştırma ve dinamik aralıktaki karşılık gelen artışın etkisinin uygun şekilde elde edilebileceği açıktır. Daha sonra VDTA'nın bant genişliğini belirlemek için $I_{B1} = 170$ nA ve $I_{B2} = 170$ nA'da VDTA ve DO-VDTA'dan çıkan transiletkenlik kazançlarının frekans tepkisi elde edilmiş ve

ayrıca Şekil 5.9'da gösterilmiştir. -3dB bant genişliği sırasıyla 77.25 MHz ve 470.0 MHz olarak belirlenmiştir.

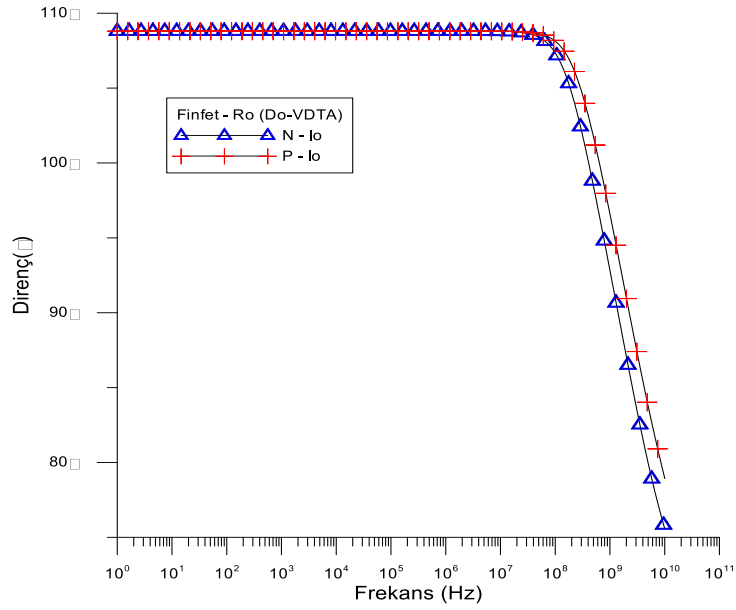


Şekil 5.9. VDTA ve DO-VDTA'nın frekans tepkileri

Ayrıca VDTA ve DO-VDTA'nın P ve N terminalleri boyunca çıkış empedansının frekans bağımlılığı çizilir. Şekil 5.10'da gösterilmiştir.



(a)

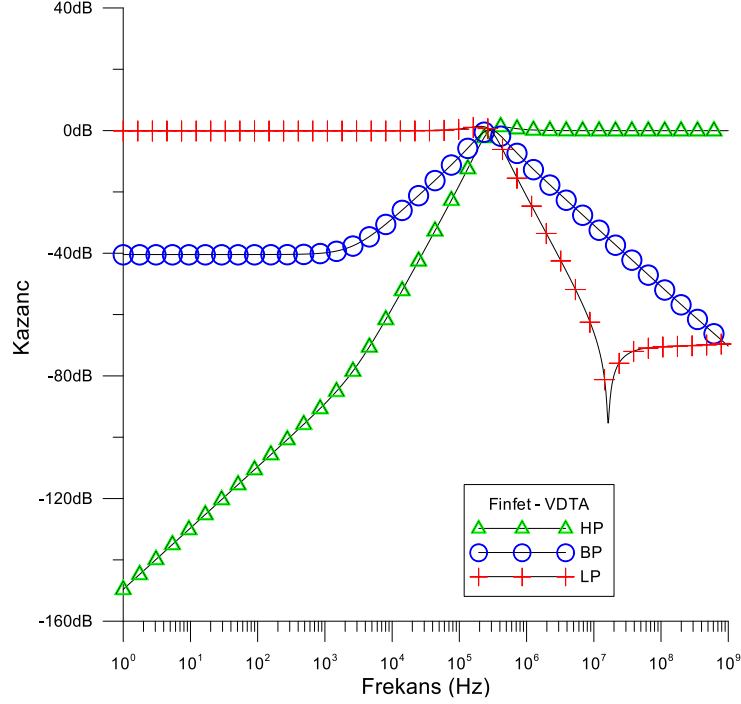


(b)

Şekil 5.10. VDTA devresi için çıkış empedanslarının frekans bağımlılığı

Şekil 5.6'da gösterildiği gibi çift giriş ve çıkışlara sahip voltaj modu filtresi; $C1 = 1$ pF ve Z terminalinde toplam kapasitans, $C2 = 19$ pF ile önerilen FinFET tabanlı VDTA kullanılarak simüle edilir ve yaklaşık 300 kHz merkez frekansına sahip farklı giriş kombinasyonları için LP, HP, BP fonksiyonları için çeşitli kazanç frekansları

tepkileri elde edilir. Şekil 5.11; $V_1 = V_{in}$ ve $V_2 = 0$ olduğunda bant geçişi, yüksek geçiş ve düşük geçişli filtre fonksiyonlarının kazanç frekansları yanlılarını ve giriş koşulları $V_2 = V_{in}$ ve $V_1 = 0$ için yüksek geçiş ve bant geçişli filtre fonksiyonlarını göstermektedir.



Şekil 5.11. Finfet VDTA kullanarak LP, BP, HP filtrelerinin frekans tepkileri

5.5. AKTİF FİNFET VDTA VOLTAJ MODU ÇOK İŞLEVLİ FİLTRE GERÇEKLEŞTİRME

Önerilen FinFET VDTA'nın etkinliğini göstermek için Şekil 5.1'in aktif voltaj modu, çok işlevli bir filtre tasarım örneği olarak gerçekleştirilmiştir. Şekil 5.12'de önerilen iki VDTA'dan ve iki topraklanmış kapasitörden oluşan devre; konfigürasyonunu değiştirmeden ve bileşen kısıtlamaları uygulamaya gerek kalmadan aynı anda üç standart çift ikinci dereceden filtreleme fonksiyonunu düşük geçiş (LP), bant geçişi (BP) ve yüksek geçişli (HP) gerçekleştirir. Şekil 5.12'nin basit analizi, aşağıdaki üç voltaj transfer fonksiyonunu verir.

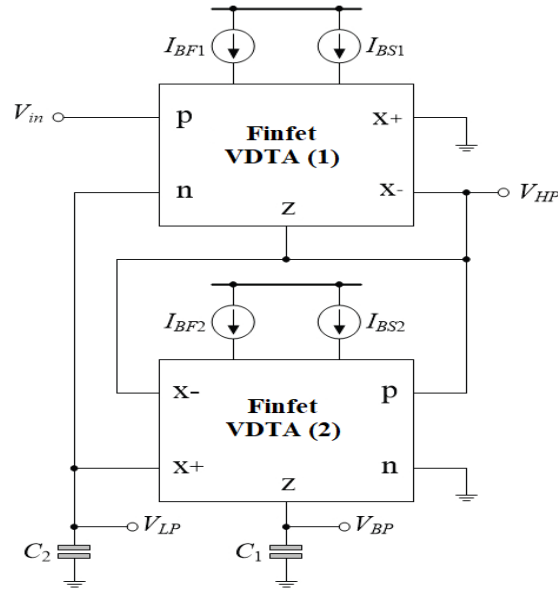
$$T.F_{LP} = \frac{V_{LP}}{V_{in}} = \frac{gm_{F1}}{gm_{S1}} \left(\frac{gm_{F2}gm_{S2}}{C_1C_2} \right) \left[\frac{1}{D(s)} \right] \quad (5.13)$$

$$T.F_{HP} = \frac{V_{HP}}{V_{in}} = \frac{gm_{F1}}{gm_{S1}} \left[\frac{s^2}{D(s)} \right] \quad (5.14)$$

ve

$$T.F_{BP} = \frac{V_{LP}}{V_{in}} = \frac{gm_{F1}}{gm_{S1}} \left(\frac{gm_2}{C_1} \right) \left[\frac{1}{D(s)} \right] \quad (5.15)$$

$$D(s) = s^2 + \left(\frac{gm_{F2}gm_{S2}}{C_1gm_{S1}} \right) s + \left(\frac{gm_{F1}gm_{F2}gm_{S2}}{C_1C_2gm_{S1}} \right) \quad (5.16)$$



Şekil 5.12. Voltaj modu FinFET VDTA tabanlı LP, HP, BP filtreleri uygulaması

Ve G_{MFi} ve G_{Msi} ($i = 1, 2$) sırasıyla VDTA'nın birinci ve ikinci transiletkenlik kazanımlarıdır. Eşanlımlardan (5.13) -(5.16) filtrenin doğal açılal frekansının (ω_0) ve kalite faktörünün (Q) olduğu ortaya çıkar.

$$\omega_0 = \sqrt{\frac{g_{mf1}g_{mf2}g_{ms2}}{C1C2g_{ms1}}} \quad (5.17)$$

ve

$$Q = \sqrt{\frac{g_{mf1} g_{ms1} C1}{g_{mf2} g_{ms2} C2}} \quad (5.18)$$

Bağımsız filtre parametresi kontrolü elde etmek için $gm1 = gmf1 = gms1$ ve $gm2 = gmf2 = gms2$, ardından eş değerlerden Wo ve Q olacak şekilde eşit transiletkenlik ayarlanarak uygun bir tasarım geliştirilebilir. (5.17) ve (5.18) wo parametresi $gm2$ değiştirilerek ayrı ayrı ayarlanabilir. $Gm1$ ve $gm2$ 'nin transiletkenlik oranı Q parametresinin ayarlanması için kullanılabilir. Bununla birlikte bağımsız elektronik kontrol gerekiyorsa Q kontrolü için sadece $gm1$ kullanılabilir.

$$Q = \frac{gm1}{gm2} \sqrt{C1/C2} \quad (5.19)$$

$$Wo = \sqrt{C1/C2} \quad (5.20)$$

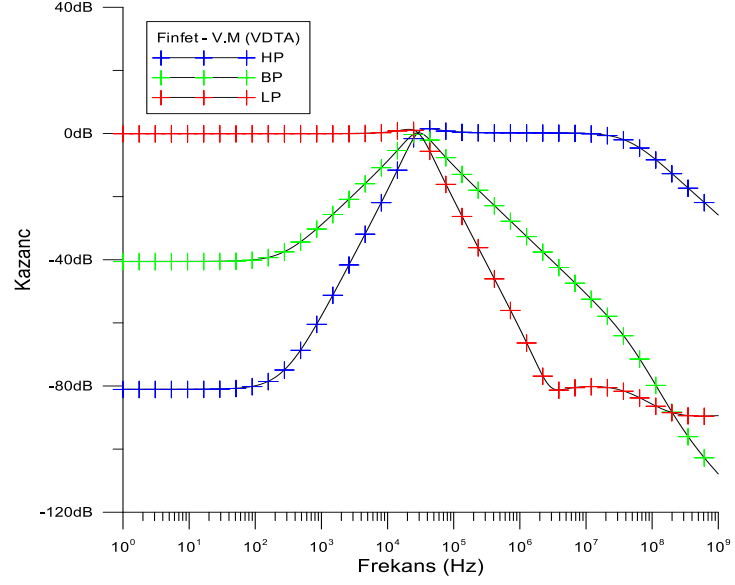
Ayrıca denklemlerden (5.17) ve (5.18), wo ve Q 'nun aktif ve pasif duyarlılıkları şu şekilde ifade edilebilir:

$$S_{gmf1, gmf2, gms2}^{w0} = -S_{gms1}^{w0} = 0.5, S_{C1, C2}^{w0} = -0.5 \quad (5.21)$$

ve

$$S_{gmf1, gms1}^Q = -S_{gms2, gmf2}^{w0} = 0.5, S_{C1}^Q = 0.5 \quad (5.22)$$

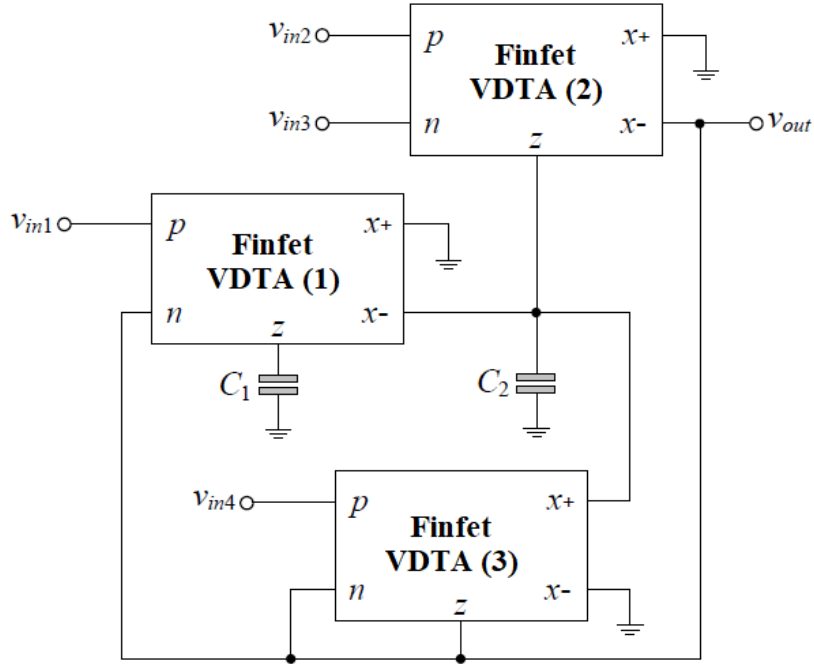
Bir tasarım örneği olarak Şekil 5.12'deki çok işlevli filtre; doğal açısal frekans ($fo = wo/2p = 5.50MHz$) ve kalite faktörü $Q = 1$ ile LP, BP ve HP yanıtlarını elde etmek için gerçekleştirilmiştir. Bu amaçla devre bileşenleri şu şekilde ayarlanmıştır: $IB = IBF1 = IBS1 = IBF2 = IBS2 = 170$ nA ($gm = gmf1 = gms1 = gmf2 = gms2 = 0.22$ mA/V) ve $C1 = C2 = 19$ pF. Devrenin simüle edilmiş LP, BP ve HP genlik tepkileri Şekil 5.13'te gösterilmiştir. Burada fo 'nun simüle edilmiş değerlerinin beklenen değerlerden maksimum %2.83'lük bir sapmaya sahip olduğu bulunmuştur. Bu simülasyonda tasarlanan filtrenin toplam güç tüketimi yaklaşık 1.21 mW'dir.



Şekil 5.13. Şekil 9'daki aktif voltaj modu çok işlevli filtre için simüle edilmiş AC transfer yanıtları

5.5.1. FinFET transistör kullanılarak önerilen VDTA tabanlı evrensel biquadratic filtre

Önerilen filtre devresinin dört girişli tek çıkış voltajının ve geçiş iletkenlik modu filtrelerinin frekans tepkisinin simülasyon sonuçları sırayla Şekil 5.14'te verilmiştir. Bu grafiklerde LPF, BPF, HPF ve BSF olmak üzere dört tür filtre genlik-frekans yanıtı birlikte verilmiştir. Dört girişli tek çıkış voltajı ve geçiş iletkenlik modu yapısının APF çıkışlarının genlik ve faz-frekans tepkisi sırasıyla Şekil 5.14'te verilmiştir.



Şekil 5.14. Voltaj modu VDTA evrensel biquadratik aktif filtre

Şekil 5.14, önerilen voltaj modu evrensel biquadratik filtreyi göstermektedir. İki VDTA ve iki topraklanmış kapasitörden oluşur. Yalnızca topraklanmış kapasitörlerin kullanılması, genel entegre devre uygulaması için yararlıdır. İdeal durum için Şekil 5.14'teki devre analizi aşağıdaki çıkış voltajı fonksiyonunu sağlar:

$$V_0 = \frac{SV_{in4} + s \left(\frac{g_{mf2} g_{ms2}}{g_{mf3} C_2} \right) (V_{in3} - V_{in2}) + \left(\frac{g_{mf1} g_{ms1} g_{ms2}}{g_{mf3} C_1 C_2} \right) V_{in1}}{D(s)} \quad (5.23)$$

ve

$$D(s) = S_2 + s \left(\frac{g_{ms2} g_{ms3}}{g_{mf3} C_2} \right) + \left(\frac{g_{mf1} g_{ms1} g_{ms2}}{g_{mf3} C_1 C_2} \right) \quad (5.24)$$

ve $G_{mF2} = G_{mS3}$. Burada, G_{mFi} ve G_{mSi} , $i = 1, 2, 3$, i-inci VDTA'nın transiletkenlik parametreleri G_{mF} ve G_{mS} 'leridir.

(5.23) ve (2.24) 'e göre önerilen devre aşağıdaki koşullar altında temel olarak beş iki karelik filtreleme fonksiyonunun tümünü gerçekleştirebilir:

(i) bir LP filtresi elde etmek için V_{in} (giriş voltajı) = $V_{in 1}$ ve $V_{in2} = V_{in 3} = V_{in 4} = 0$ (toprak potansiyeli);

(ii) BP filtresi elde etmek için, $V_{in} = V_{in 3}$ ve $V_{in 1} = V_{in 2} = V_{in4} = 0$;

(iii) bir HP filtresi elde etmek için, set $V_{in} = V_{in 4}$ ve $V_{in 1} = V_{in2} = V_{in 3} = 0$;

(iv) BS filtresi elde etmek için, set $V_{in} = V_{in 1} = V_{in 4}$ ve $V_{in 2} = V_{in 3} = 0$;

(v) bir AP filtresi elde etmek için, set $V_{in} = V_{in 1} = V_{in 2} = V_{in 4}$ ve $V_{in 3} = 0$.

Önceki beş filtre fonksiyonunun, çıkış sinyallerinin ters çevrilmesine gerek kalmadan uygun giriş sinyallerinin seçilmesiyle gerçekleştirildiğini göstermektedir. Ayrıca gerçekleştirilen tüm filtre fonksiyonları aynı işarete sahiptir. Bu nedenle filtrenin çıkışında ek inversiyon aşaması gerekmez. Diğer bir temel özellik, voltaj modu basamaklanabilirliğine izin veren yüksek empedanslı voltaj girişlerinin mevcudiyetidir. Tüm yanıtlar için önemli filtre özellikleri yani ω_0 ve Q , şu şekilde verilir:

$$W_0 = \sqrt{\frac{g_{mf1}g_{ms1}g_{ms2}}{g_{mf3}C_2C_1}} \quad (5.25)$$

ve

$$Q = \left(\frac{1}{g_{ms3}} \right) \sqrt{\frac{g_{mf1}g_{ms1}g_{mf3}C_2}{g_{mf2}C_1}} \quad (5.26)$$

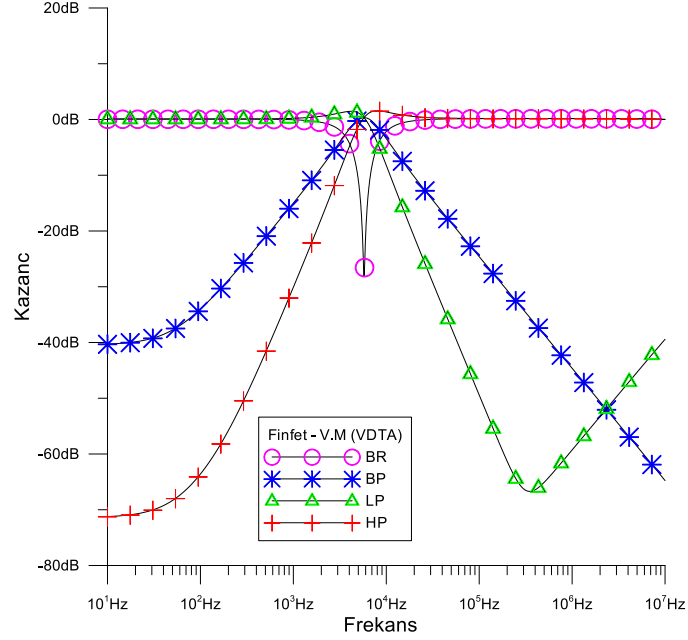
Yukarıda belirtilen analiz, ω_0 ve Q filtre özelliklerinin VDTA transiletkenlik kazanımları (VDTA'ların ön yargı akımları) yoluyla ortogonal olarak ayarlanabileceğini ve elektriksel olarak değiştirilebileceğini kanıtlamaktadır. $G_{mi} = G_{mFi} = G_{Msi}$ varsayımları altında ω_0 ve Q parametreleri sırasıyla basitleşir:

$$W_0 = 2\pi f_0 = g_{m1} \sqrt{\frac{g_{m2}}{g_{m3}C_1C_2}} \quad (5.27)$$

$$Q = \left(\frac{g_{m1}}{g_{m3}} \right) \sqrt{\frac{C_2}{C_1}} \quad (5.28)$$

Şekil 5.3'teki VDTA'nın FinFET uygulaması, şekil 5.14'te cdençe virtuoso ve LTSPICE içinde önerilen VDTA tabanlı evrensel biquadratik filtrenin simülasyonları

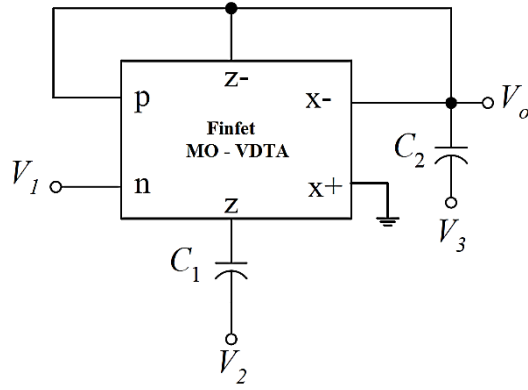
için kullanılmıştır şekil 5.15'ta. Sağlanan DC ön yargı gerilimleri $+V_{DD} = -V_{SS} = 0.1$ V idi. Sonraki tüm simülasyonlarda kapasitör değerleri $C_1 = C_2 = 90$ pF olarak ayarlanmıştır.



Şekil 5.15. Önerilen VDTA tabanlı evrensel biquadratic filtre

5.6. ÖNERİLEN VOLTAJ MODU MO-VDTA ELEKTRONİK OLARAK AYARLANABİLİR EVRENSSEL FİLTRE.

Üç girişli ve bir çıkışa sahip önerilen voltaj modu elektronik olarak ayarlanabilir evrensel filtre Şekil 5.16'da gösterilmiştir. Devre sadece bir MO-VDTA ve iki kapasitörden oluşur. MO-VDTA'nın FinFET tabanlı iç yapısı Şekil 5.4'te gösterilmiştir. Bu yapı için devre, iki OTA transiletkenliği kullanır. Bu nedenle aktif ve pasif bileşenlerin sayısında kanoniktir. Denklem (5.29)'da kullanılarak rutin devre analizi, Şekil 5.16'da önerilen devrenin aşağıdaki çıkış voltajına sahip olduğunu göstermektedir:



Şekil 5.16. Önerilen voltaj modu evrensel biquad aktif filtre

$$V_{out} = \frac{s^2 V_3 - (g_{ms}/C_2) s V_2 + \left[(g_{mf}/C_2) s + \frac{g_{mf} g_{ms}}{C_1 C_2} \right] V_1}{s^2 + \left(\frac{g_{mf}}{C_2} \right) s + \left(\frac{g_{mf} g_{ms}}{C_1 C_2} \right)} \quad (5.29)$$

Denklem (5.29) uzmanlaşması, aşağıdaki beş standart biquadratik filtre fonksiyonuyla sonuçlanır:

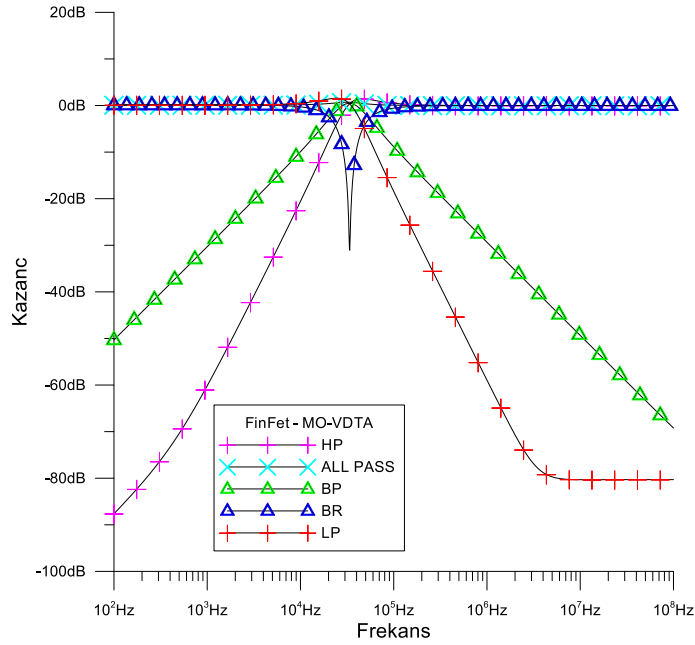
- 1) $V_1 = V_2 = V_{in}$ (giriş voltajı sinyali), $V_3 = 0$ (toprak) ve $g_{mf} = g_{ms}$ ise ters çevrilmeyen bir birlik geçiş bandı kazancı ile LP yanıtı elde edilebilir.
- 2) $V_2 = V_{in}$ ve $V_1 = V_3 = 0$ ise, $-g_{ms}/g_{mf}$ geçiş bandı kazancı ile BP yanıtı elde edilebilir.
- 3) $V_3 = V_{in}$ ve $V_1 = V_2 = 0$ ise, ters çevrilmeyen bir birlik geçiş bandı kazancı ile HP yanıtı elde edilebilir.
- 4) $V_1 = V_2 = V_3 = V_{in}$ ve $g_{mf} = g_{ms}$ ise ters çevrilmeyen bir birlik geçiş bandı kazancı ile BS yanıtı elde edilebilir.
- 5) $V_1 = 2V_2 = V_3 = V_{in}$ ve $g_{mf} = g_{ms}$ ise ters çevrilmeyen bir birlik geçiş bandı kazancı ile AP yanıtı elde edilebilir. Ayrıca denklemden (5.29) filtrenin önemli ω_0 ve BW parametreleri şu şekilde bulunur:

$$\omega_0 = \sqrt{\frac{g_{mf} g_{ms}}{C_1 C_2}} \quad (5.30)$$

ve

$$B.W = \frac{g_{mf}}{C_2} \quad (5.31)$$

Şekil 5.16'da verilen filtrenin teorik geçerliliğini kanıtlamak için bu filtre, cadence virtüözü ve doğrusal teknoloji SPICE programı ile simüle edilmiştir. VDTA, 7-nm parametrelerine dayalı olarak Şekil 5.4'te verilen FinFET uygulama yapısı kullanılarak simüle edilmiştir. Besleme gerilimleri $+V_{DD} = -V_{SS} = 0.1$ V'dir. Tüm simülasyonlar için kapasitans değerleri şu şekilde seçilmiştir: $C_1 = C_2 = 20$ pF. Doğal frekans $f_0 = \omega_0/2\pi$ 35kHz ve kalite faktörü $Q = 1$ olan filtre yanıtlarını gerçekleştirmek için Şekil 5.16'da sunulan filtre için aşağıdaki ayar $G_{MF} = G_{Ms} = 0.23$ $\mu\text{A/V}$ ($I_{BF} = I_{BS}$, 170 nA) olarak seçilmiştir ve toplam güç tüketimi yaklaşık 0.1 mW ile sonuçlanır. Şekil 5.17; HP, BP, LP ve BS filtre özellikleri için simülasyon sonuçlarını göstermektedir.

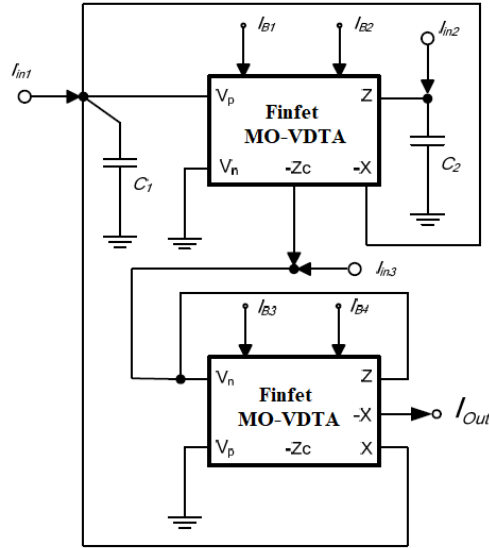


Şekil 5.17. Şekil 5.16'da önerilen filtre için simüle edilmiş LP, BP, HP ve BS yanıtları

5.7. ÖNERİLEN AKIM MODU MO-VDTA EVRENSSEL FİLTRE

Aktif eleman olarak MO-VDTA'ya (bkz. Şekil 5.4) dayanan ve ayrıca iki kapasitör (C1 ve C2) olarak yalnızca topraklanmış pasif elemanlar kullanan bir akım modu (CM) çift yönlü filtre Şekil 5.18'de gösterilen devrede üç akım sinyali I_{in1} , I_{in2} , I_{in3} giriş olarak kullanılır ve çıkış tek akım sinyali I_o üzerinden alınır. Bu nedenle CM filtresi çoklu girişli tek çıkış (MISO) tipi bir topolojidir. Şekil 5.18'deki devrenin matematiksel olarak analiz edilmesiyle I_o ifadesi şu şekilde elde edilebilir:

$$I_o = \left(\frac{gm4}{gm3} \right) \left(\frac{-I_{in1} \left(\frac{sC2}{gm2} \right) + I_{in2} + I_{in3} \left(s2 \frac{C1C2}{gm1gm2} + 1 \right)}{s2 \frac{C1C2}{gm1gm2} + \frac{sC2gm3}{gm2gm4} + 1} \right) \quad (5.32)$$



Şekil 5.18. Önerilen MISO akım modu filtresi

Denklem (5.32)'den çift giriş akımı sinyali gerekmeden 2. dereceli ağın standart bir işlevini elde etmek için I_{in1} , I_{in2} ve I_{in3} , Çizgele 5.2'deki gibi seçilebilir. Ayrıca Çizgele 1'de her fonksiyon yanıtının dijital yöntemle seçilebileceği bulunmuştur. Her filtre yanıtının kutup frekansı (ω_0) ve kalite faktörü (Q_0) şu şekilde ifade edilebilir:

$$\omega_0 = \sqrt{\frac{g_{m1}g_{m2}}{C_1C_2}} \quad (5.33)$$

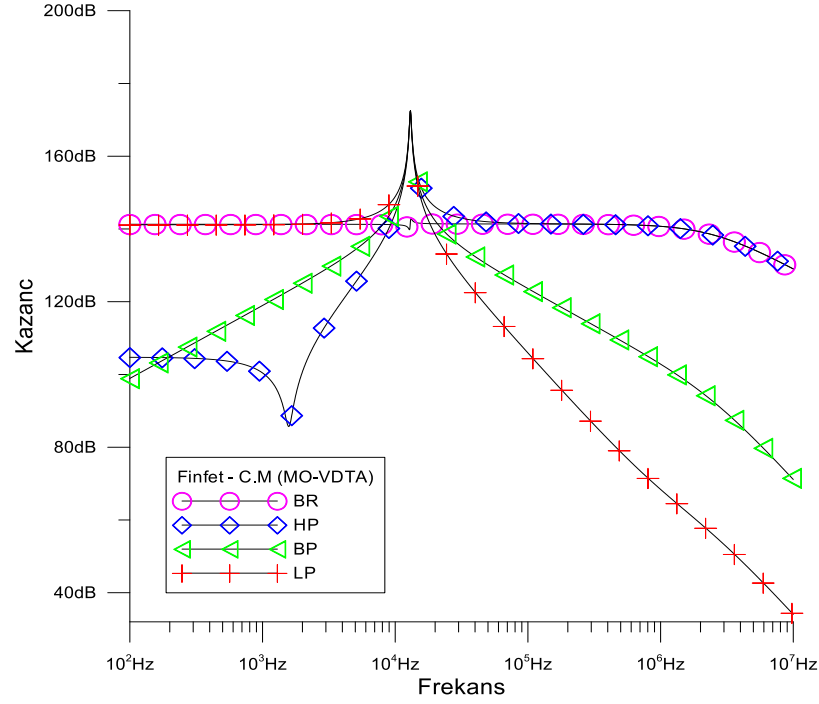
ve

$$Q = \frac{g_{m3}}{g_{m4}} \sqrt{\frac{C_1g_{m2}}{C_2g_{m1}}} \quad (5.34)$$

Çizelge 5.2. Akım modu MO-VDTA filtre için giriş koşulları

Giriş Koşulları	Filtre Fonksiyonu
$I_{in1}=I_{in}, I_{in2}=I_{in3}=0$	Bant Geçiş (BP)
$I_{in2}=1, I_{in1}=I_{in3}=0$	Düşük Geçiş (LP)
$I_{in3}= -I_{in2}=I_{in}, I_{in1}=0$	Yüksek Geçiş
$I_{in3}=I_{in}, I_{in1}=I_{in2}=0$	Bant durdurma filtreleri engeller veya “reddediyor”

Önerilen akım modu devresinin performanslarını kanıtlamak için cadence ve doğrusal teknoloji SPICE simülasyon programı kullanılmıştır. FinFET transistörleri sırasıyla $\pm 0.1V$ voltaj beslemesine sahip 7 nm FinFET teknolojisinin parametreleri kullanılarak simüle edilmiştir. Şekil 5.18, MO-VDTA'nın şematik bir açıklamasını göstermektedir. Kapasitörler: $C_1=C_2=52pF$, $I_{B1}=I_{B2}=I_{B3}=I_{B4}=170$ nA seçilmiştir. 0.21MHz ve $Q = 1$ kutup frekansını verirken Eq. (5.34)'den hesaplanan kutup frekansı değeri 0,21 MHz'dir (%0.07 sapma). Şekil 5.19'da gösterilen sonuçlar, Şekil 5.18'den elde edilen önerilen filtrenin kazanç yanıtlarıdır. Önerilen filtrenin devre topolojisini değiştirmeden Çizelge 5.2'de gösterildiği gibi dijital seçime bağlı olarak düşük geçişli, yüksek geçişli, bant geçişli, bant reddetme ve tüm geçiş işlevleri sağlayabileceği açıkça görülmektedir.

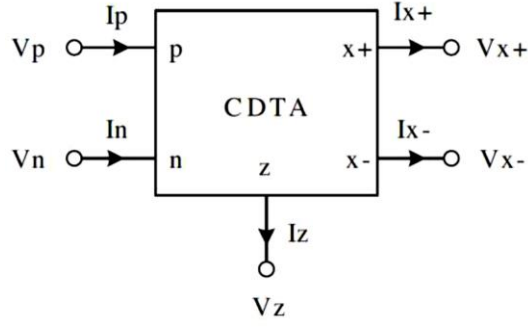


Şekil 5.19. Faz yanıtları önerilen MISO akım modu filtresi

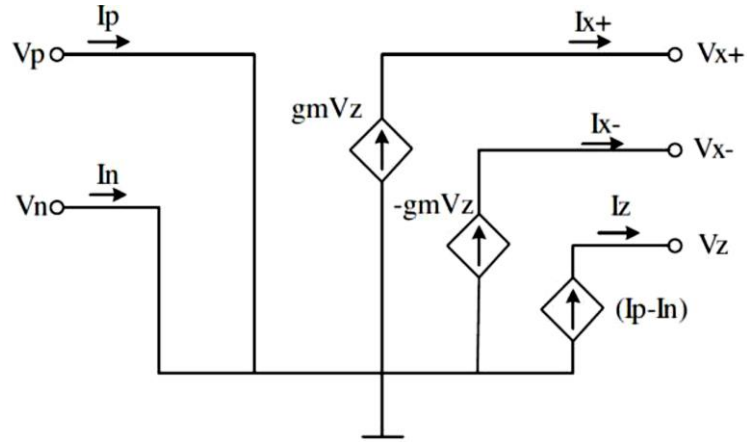
AKIM-MOD BÖLÜMÜ

5.8. ÇOK KANALLI Z KOPYASI AKIM FARKLILAŞTIRICI TRANSİLETKENLİK AMPLİFİKATÖRÜ (MU-ZC-CDTA)

Mu-Zc-CDTA (çoklu terminal Z kopya akımı farklılaştırıcı transiletkenlik amplifikatörü) yakın zamanda tanıtılan yeni bir akım modu aktif elemanıdır. Z-Copy akım farklılaştırıcı transiletkenlik amplifikatörü CDTA'dan geliştirilmiştir. CDTA (Current Differencing Transiletkenlik Amplifikatörü), D. Biolek tarafından 2003 yılında önerilen beş uçlu akım modu aktif elemanıdır. CDTA; iki giriş terminali, bir ara terminal ve iki çıkış terminalinden oluşur. Girişler diferansiyeldir ve girişe uygulanan akımlar arasındaki farkı alırlar. Bu akım farkı ara terminale aktarılır ve harici direnç yardımıyla voltaja dönüştürülür. Bu voltaj, akım farklılaştırıcı transiletkenlik amplifikatörünün çıkışında dengeli akıma dönüştürülen operasyonel transiletkenlik amplifikatörünün transiletkenlik parametresi ile çarpılır. CDTA'nın sembolü ve şematik görünümü sırasıyla Şekil 5.20 ve Şekil 5.21'de verilmiştir.

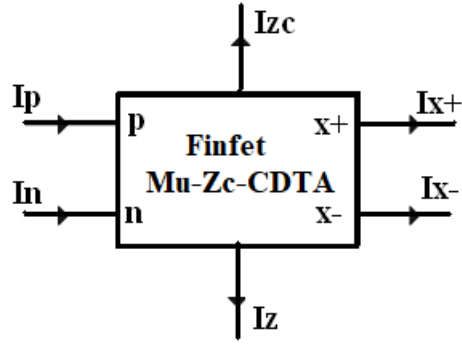


Şekil 5.20. CDTA'nın şematik görünümü

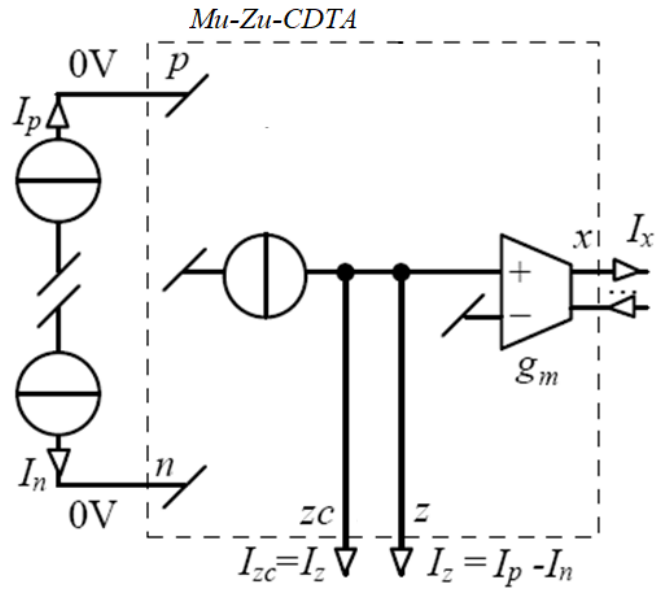


Şekil 5.21. CDTA'nın blok diyagramı

Ayrıca çok terminalli Z kopya akımı farklılaştırıcı transiletkenlik amplifikatörü, ek Z terminal çıkışı Z kopyası olarak adlandırılır. ZC-CDTA, CDTA'nın evrenselliğini artırır. Üçüncü nesil akım konveyörü (CCIII), klasik bir akım aynası yerine Z terminal akımını kopyalamak için kullanılır. Akım algılama, CCIII'nin yardımıyla mükemmel bir şekilde yapılır. ZC-CDTA'nın sembolü ve şematik görünümü sırasıyla Şekil 5.22 ve Şekil 5.23'te verilmiştir. Mu-Zc-CDTA için önerilen devre yapısı Şekil 5.24'te verilmiştir. ZC-CDTA tanımlayıcı denklem matrisi ve temel işlem formülleri Denklem 5.35, 5.36, 5.37, 5.38'de verilmiştir.



Şekil 5.22. ZC-CDTA'nın şematik görünümü



Şekil 5.23. ZC-CDTA'nın blok diyagramı

Şekil 5.22'deki Mo-Zc-CDTA'nın tanımlayıcı denklemi, voltaj ve akım kazanımlarının ideal değerlerinden sapsması dikkate alınarak Denklem 5.35'te olur.

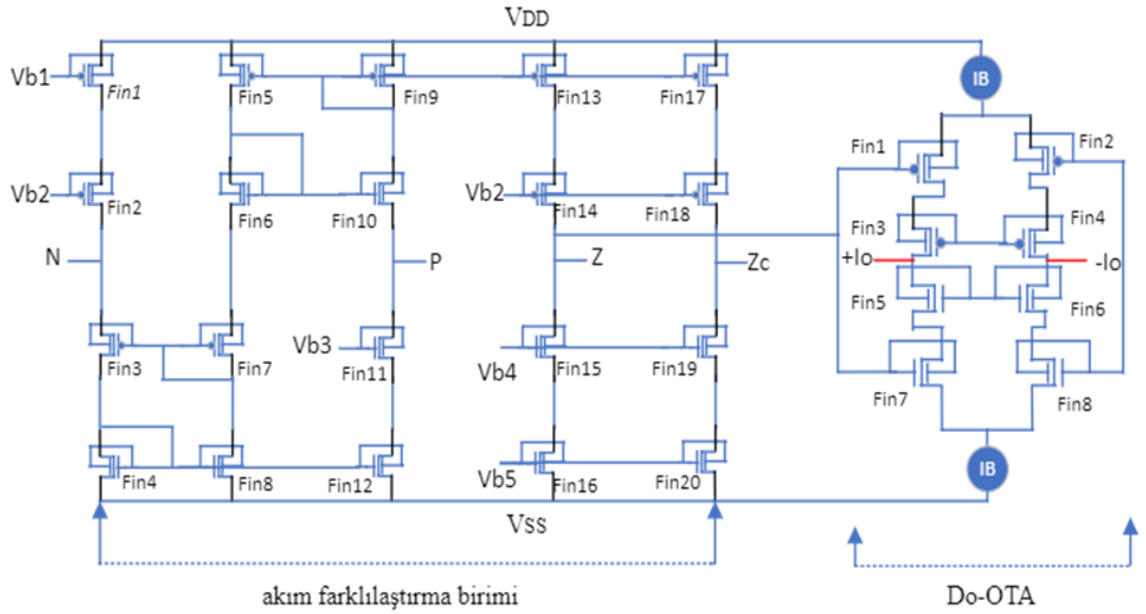
$$\begin{pmatrix} V_p \\ V_n \\ i_z \\ i_x \\ i_{zc} \end{pmatrix} = \begin{pmatrix} 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 \\ 1 & -1 & 0 & 0 & 0 \\ 0 & 0 & 0 & \pm g_m & 0 \\ 0 & 0 & 0 & 0 & 0 \end{pmatrix} \begin{pmatrix} i_p \\ i_n \\ V_x \\ V_z \\ i_z \end{pmatrix} \quad (5.35)$$

$$V_p = V_n = 0 \quad (5.36)$$

$$I_z = I_{zc} = I_p - I_n \quad (5.37)$$

$$I_x \pm = \pm G_M \cdot V_Z \quad (5.38)$$

Düşük voltajlı, düşük güçlü FinFET transistör tabanlı Mu-zc-CDTA'nın devre şeması şekil 5.24'te gösterilmiştir. Bu devrede Mu-zc-CDTA'nın fin1-fin20 transistörleri, Z ve Z kopyalanmış çıkışı olan akım farklılaştırma ünitesine aittir. ZC-CDTA'nın Fin1-Fin8 transistörleri Mo-OTA'dır. Devrenin doğrusallığı, yüksek transiletkenlik ve düşük güç dağılımına ek olarak FinFET tekniğinin özelliği nedeniyle artar.

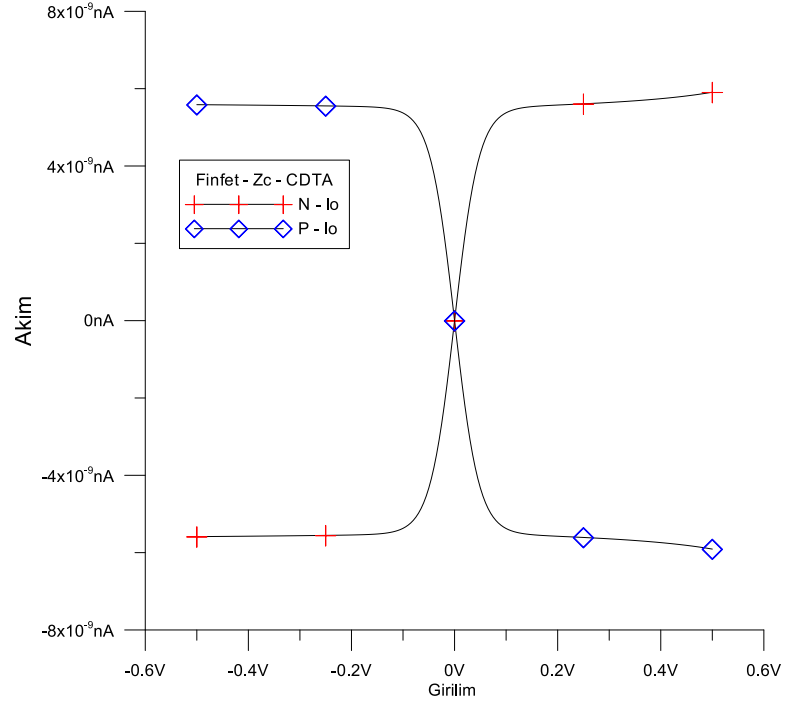


Şekil 5.24. Mu-Zc-CDTA'nın FinFET Gerçekleştirilmesi

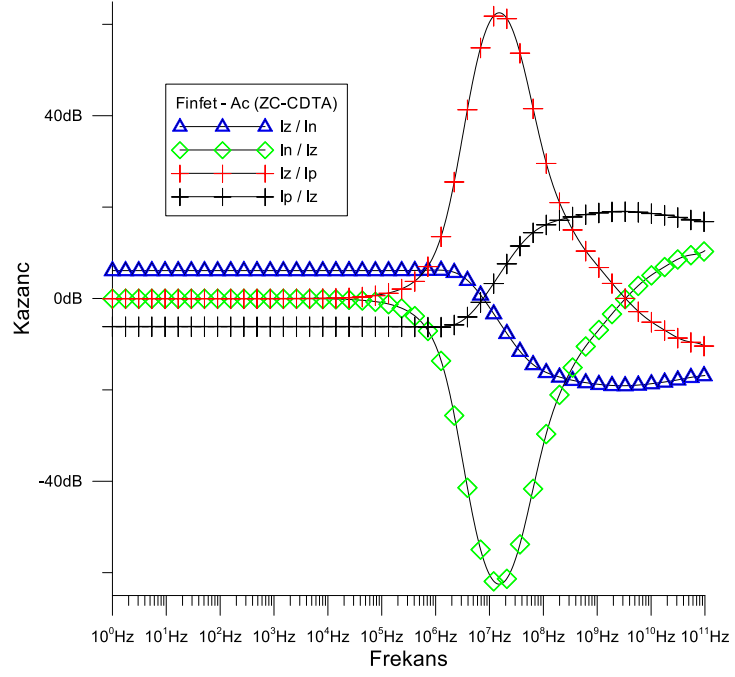
FinFET tabanlı Mu-zc-CDTA'nın simülasyonu, LT-Spice 7 nm teknolojisi kullanılarak Cadence Spectre üzerinde gerçekleştirilir. Besleme voltajı $\pm 0.1V$ 'dir ve ön yargı akımları $IB1 = IB1 = 170 \text{ nA}$ ile verilir.

FinFET bazlı Mu-Zc-CDTA'nın Dc transfer özellikleri şekil 5.25'te verilmiştir. Doğrusal aralığın -170 nA ila $+170\text{nA}$ arasında olduğu açıktır. Akım transfer özellikleri; $IB3 = 170\text{nA}$ için ön yargı akımı için önerilen FinFET tabanlı Mu-zc-CDTA için bant genişliği ile I_z/I_p , I_z/I_n , I_x+/I_p ve I_x+/I_n için şekil 5.26'de gösterilmiştir.

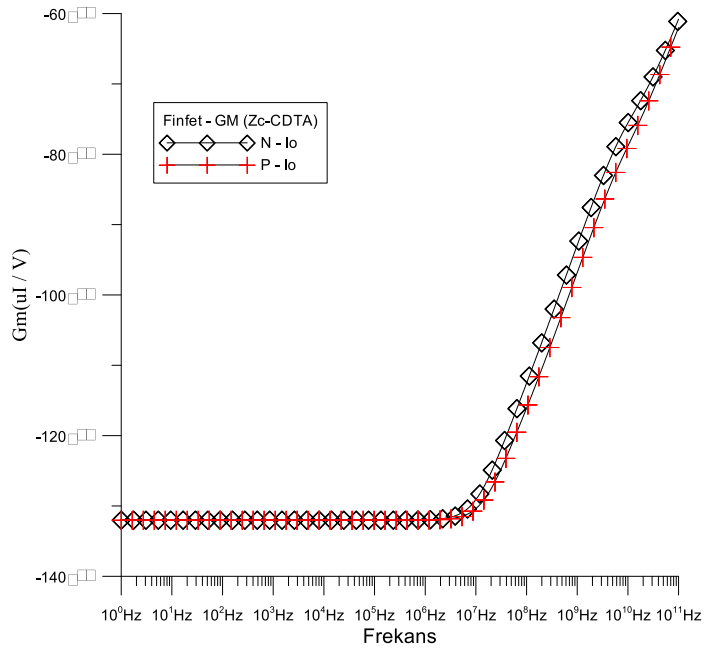
Önerilen devrenin frekansa göre transiletkenliği şekil 5.27'de gösterilmiştir. DC yanlılığı $I_p = 0$ için küçük sinyal dirençleri R_p ve R_n $132 \text{ M}\Omega$ 'dur. Şekil 3.28'daki p ve n terminallerinin empedanslarının frekans bağımlılıkları, yukarıdaki değerlerin yüz kilohertz'e kadar tutulduğunu göstermektedir. Daha sonra OTA transiletkenliğinin frekans bağımlılığı nedeniyle empedanslar artar.



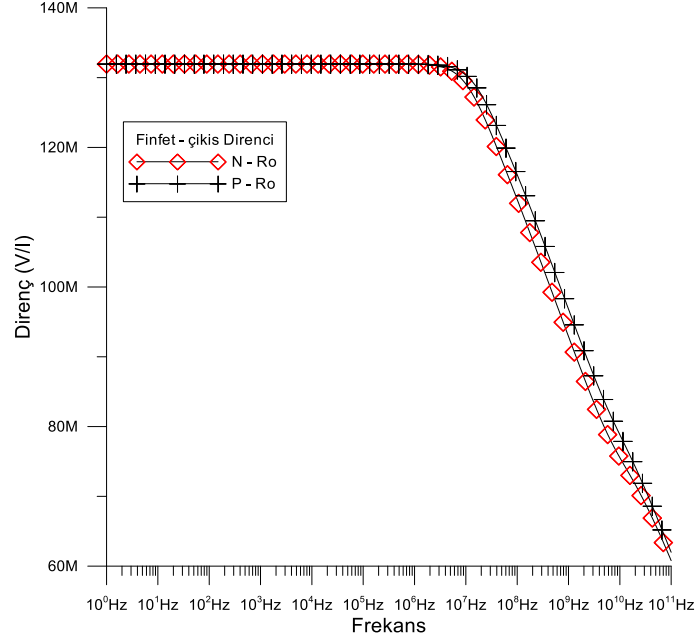
Şekil 5.25. FinFET Mu-Zc-CDTA'nın DC transfer özellikleri



Şekil 5.26. $V_z = 0$ için mevcut kazançların I_z/I_p , I_z/I_n , I_x^+/I_p ve I_x^+/I_n frekans tepkileri



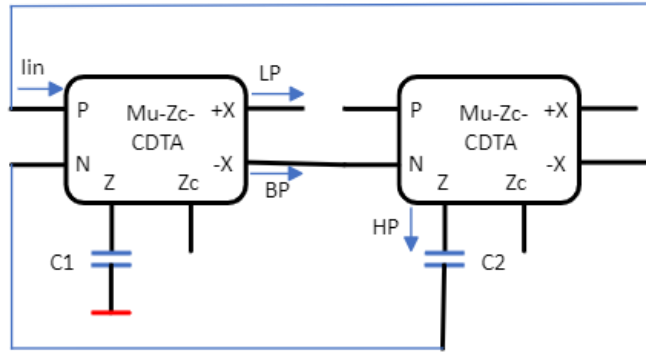
Şekil 5.27. FinFET Mu-Zc-CDTA'nın transiletkenliği



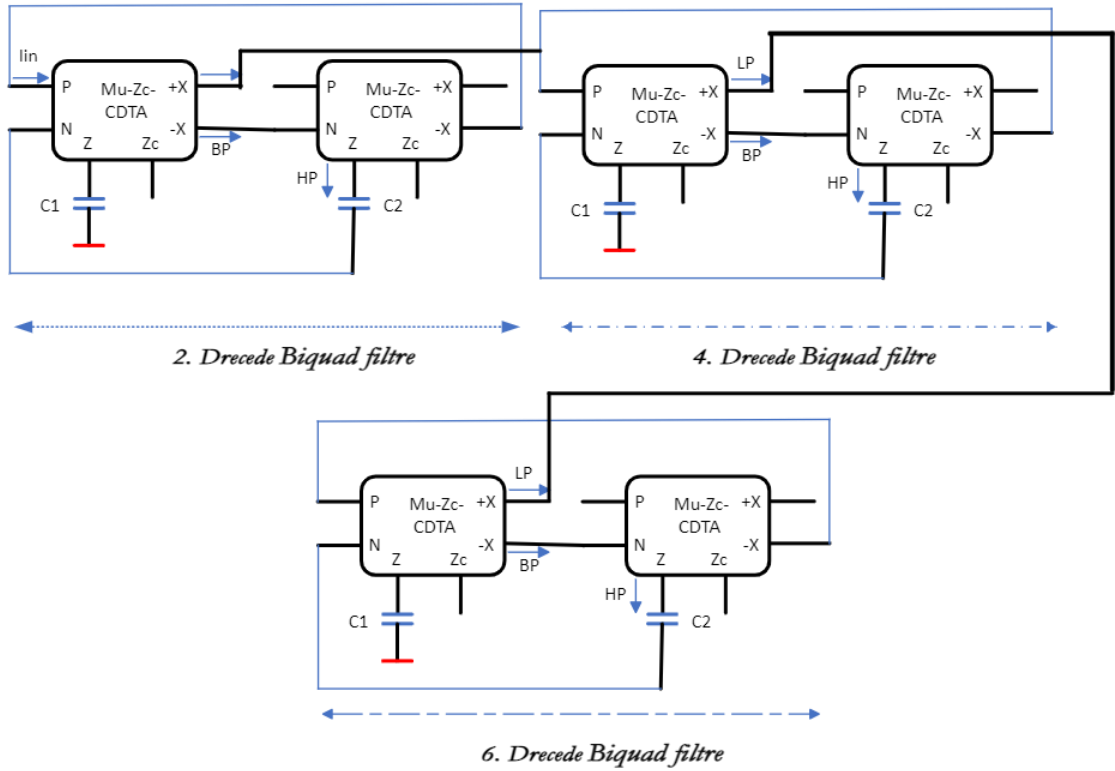
Şekil 5.28. P ve n terminallerinin empedanslarının frekans bağımlılığı

5.9. MU-ZC-CDTA VE BİQUAD FİLTRE UYGULAMASI

Biquad filtre, analog sinyal işleme için çok önemli bir filtre yapısıdır. İşleme, TV alıcıları ve kablosuz iletişim aşamaları gibi birçok uygulamada vardır. Video sinyali gibi dar bant geçişli ayarlı amplifikatörler gerektirir. Şekil 5.29'da gösterilen filtre topolojisi kullanılarak altı dereceli bir bant geçiş filtresi uygulanmıştır. Çok çıkışlı Z kopya akımı farklılaştırıcı transiletkenlik amplifikatörleri kullanan ve önerilen evrensel filtre, Şekil 5.30'de gösterilmektedir. Önerilen devrelerin her biri 2 Zc-CDTA'dan oluşur. Konfigürasyon, herhangi bir direnç olmadan sadece iki kapasitör kullanır. Z kopya akımı farklılaştırıcı transiletkenlik amplifikatörü sayesinde Şekil 5.30'da CDTA biquad uygulaması için bir yüksek geçiş bölümü elde edilir. Kapasitörlerin değeri $C1=C2=C3=C4=C5=C6=3\text{pF}$.



Şekil 5.29. Mu-Zc-CDTA'ya dayalı filtre yapısı



Şekil 5.30: Biquad 6. dereceden filtre yapısı

Yüksek geçişli filtre transfer fonksiyonu, bant geçişli filtre transfer fonksiyonu, düşük geçişli filtre transfer fonksiyonu, kutup açılmal frekansı ω_0 ve kalite faktörü Q sırasıyla Denklem 5.38, 5.39, 5.40, 5.41, 5.42'de verilmiştir.

$$\frac{I_{HP}}{I_{IN}} = \frac{C_1 C_2 s^2}{g_{m1} g_{m2} + C_2 g_{m1} s + C_1 C_2 s^2} \quad (5.38)$$

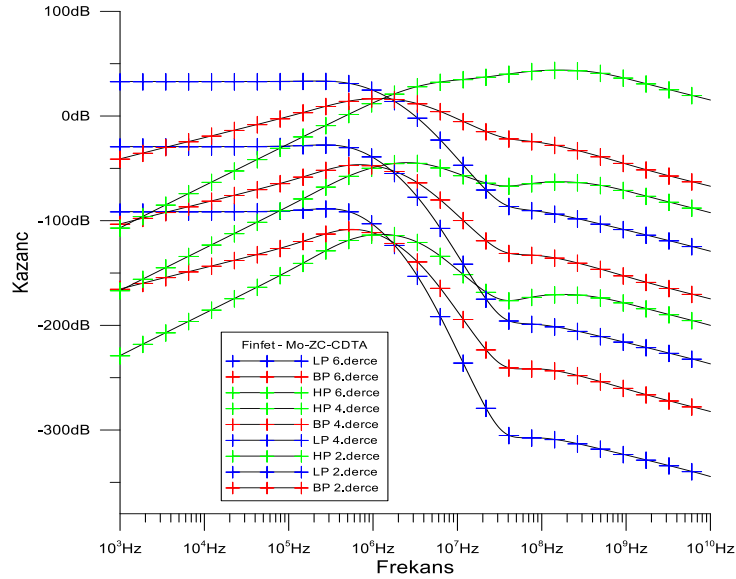
$$\frac{I_{BP}}{I_{IN}} = \frac{C_2 s^2}{g_{m1} g_{m2} + C_2 g_{m1} s + C_1 C_2 s^2} \quad (5.39)$$

$$\frac{I_{LP}}{I_{IN}} = \frac{g_{m1} g_{m2}}{g_{m1} g_{m2} + C_2 g_{m1} s + C_1 C_2 s^2} \quad (5.40)$$

$$\omega_0 = \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (5.41)$$

$$Q = \sqrt{\frac{g_{m2} C_1}{g_{m1} C_2}} \quad (5.42)$$

Düzen sonrası simülasyonlarla ikinci dereceden filtre özellikleri, ideal simülasyonlara sahip altı dereceli filtre özellikleri, Mu-ZC-CDTA altı dereceli filtre yapısının 10MHz'deki giriş sinyali seviyesine göre yerleşim sonrası simülasyonları ile dördüncü dereceden filtre özellikleri Şekil 5.31'de verilmiştir.

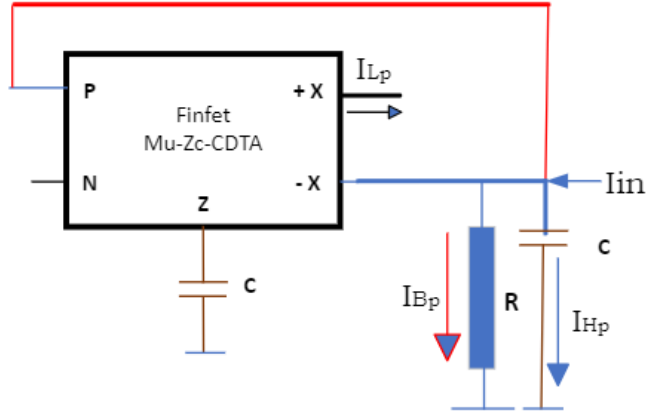


Şekil 5.31. Düzen sonrası simülasyonlarla ikinci, dördüncü ve altı dereceli filtre özellikleri

5.10. AKIM MODU BIQUAD FİLTRE TOPOLOJISINE DAYALI TEK AKTİF ELEMAN (FİNFET MU-ZC-CDTA).

Aktif eleman olarak yalnızca tek bir Mu-Zc-CDTA'ya dayanan ve ayrıca iki kapasitör (C1 ve C2) ve bir direnç (R) olarak üç pasif eleman kullanan Şekil 3.11'de

bir akım modu (CM) çift dörtlü filtre gösterilmiştir. Şekil 5.32'te gösterilen devrede FinFET yapısına sahip transistörlerin kullanılmasının temel amacı, düşük frekans aralığında nano elektronikte kullanılan filtre devrelerine uygunluğu ve düşük güç dağılımı gerektiren filtre devrelerine uygunluğudur. Şekil 5.33'te gösterilen düşük geçişli, bant geçişli ve yüksek geçişli filtre özelliklerine sahip bir filtre devresi Cadence virtüözü ve LT-SICE programı ile uygulanan filtre cikişidir. Devre bileşenleri C1, C2 ve R sırasıyla 3nF, 0.02nF ve 2 K ohm olarak seçildi.



Şekil 5.32. Mu-Zc-CDTA Filtre Devresi

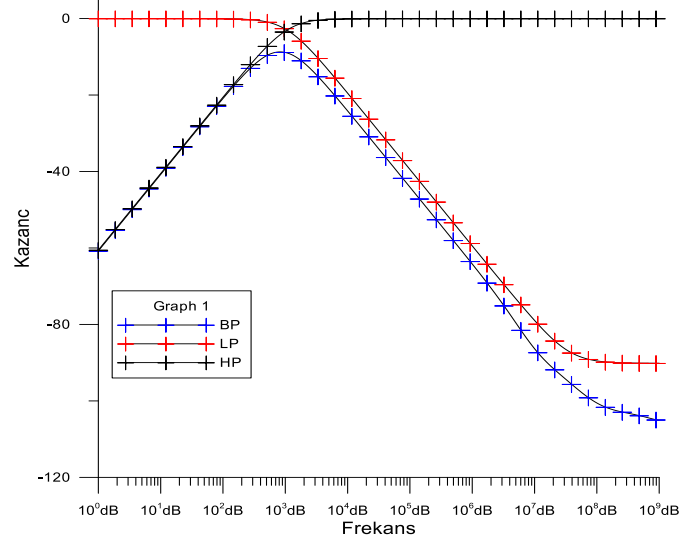
CDTA filtre devresinin transfer fonksiyonları aşağıda belirtildiği gibidir:

$$\frac{I_{BP}}{I_{in}} = \frac{s/RC_1}{s^2 + s/RC_1 + gm/RC_1C_2} \quad (5.43)$$

$$\frac{I_{BP}}{I_{in}} = \frac{gm/RC_1C_2}{s^2 + s/RC_1 + gm/RC_1C_2} \quad (5.44)$$

$$\frac{I_{BP}}{I_{in}} = \frac{s^2}{s^2 + s/RC_1 + gm/RC_1C_2} \quad (5.45)$$

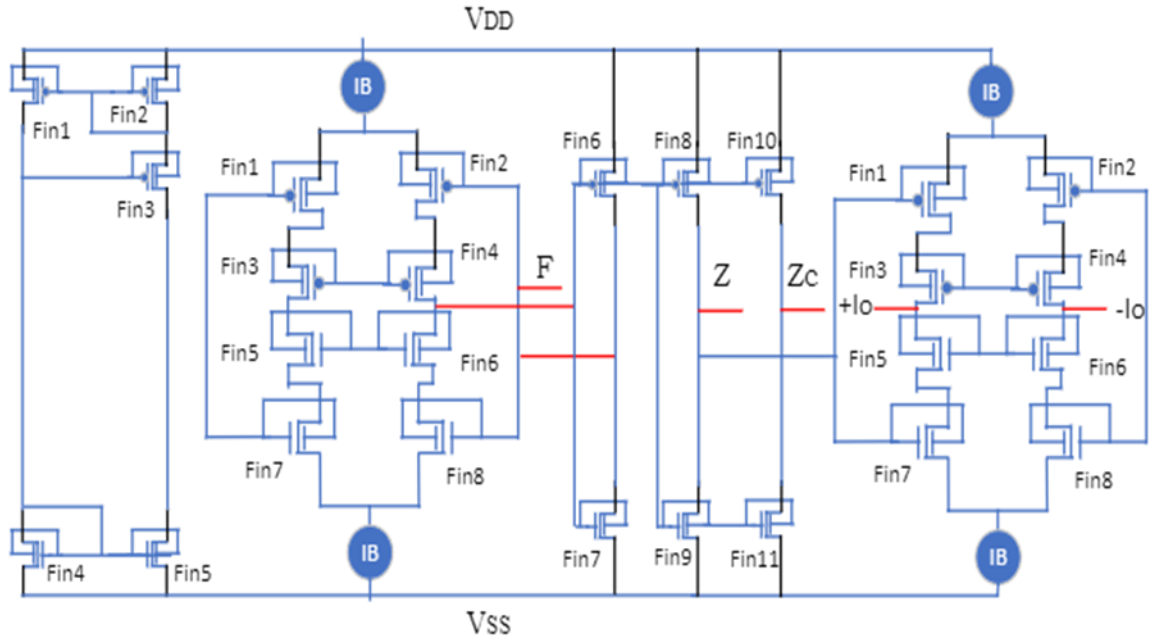
1Hz-10 kHz frekans aralığı için düşük geçişli, yüksek geçişli ve bant durdurma filtrelerinin frekans tepkisi Şekil 5.33'te gösterilmiştir.



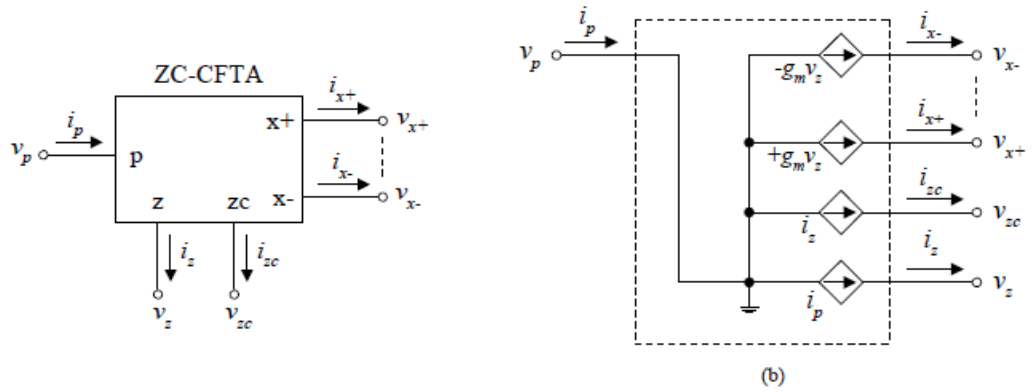
Şekil 5.33. Önerilen Mu-Zc-CDTA filtre devresinin frekans tepkisi

5.11. Z-KOPYA AKIM TAKİPÇİSİ TRANSİLETKENLİK AMPLİFİKATÖRÜ (ZC-CFTA)

Akım farklılaştırma ünitesinin bir akım takipçisi ile değiştirilmesi ve z-terminal akımını kopyalamak için devrenin basit bir akım aynası ile tamamlanmasıyla oluşturulan ZC-CFTA, geleneksel CDTA'dan biraz farklıdır. Böylece ZC-CFTA elemanı FinFET transistör ile şekil 5.34'te gerçekleştirilmiştir. Akım takipçisinin, akım aynasının ve çoklu çıkışlı operasyonel transiletkenlik amplifikatörünün bir kombinasyonu olarak düşünülebilir. Sonuç olarak ZC-CFTA'lara dayalı bir dizi uygulama genişletilebilir. Devrenin sembolü Şekil 5.35 (a)'da gösterildiği gibi verilebilir. Eş değer devre Şekil 5.35 (b)'de gösterilmiştir.



Şekil 5.34. Kullanılan ZC-CFTA'nın FinFET uygulaması



Şekil 5.35. ZC-CFTA (a) Devre Sembolü; (b) Eş değer devre

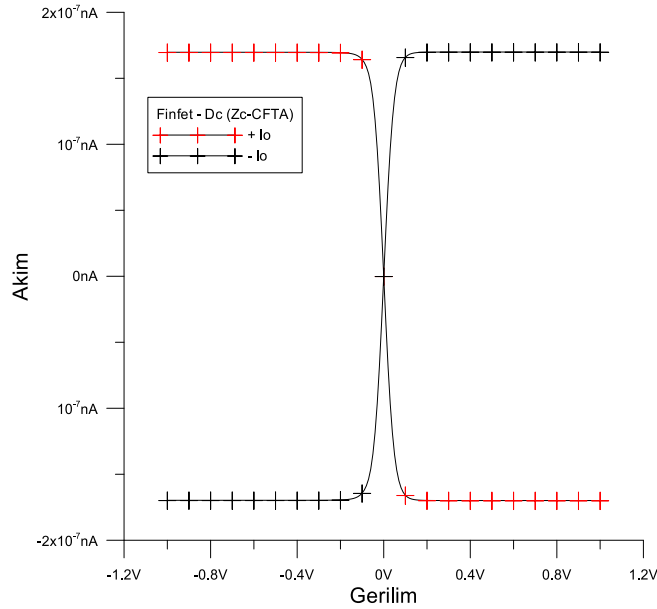
Standart gösterimi kullanarak ZC-CFTA'nın port ilişkileri aşağıdaki matris denklemi ile tanımlanabilir:

$$\begin{bmatrix} Vf \\ Iz \\ Izc \\ +Io \\ -Io \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 1 & 0 & 0 & 0 & 0 \\ 0 & +gm & 0 & 0 & 0 \\ 0 & -gm & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} If \\ Vz \\ Vz_c \\ +Vo \\ -Vo \end{bmatrix} \quad (5.46)$$

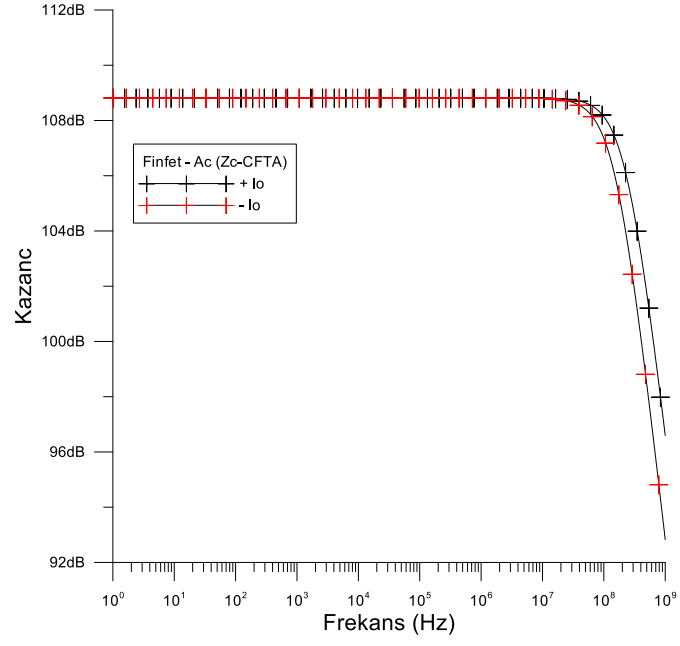
Burada $+g_m$ ve $-g_m$ sırasıyla pozitif çıkış akımına (i_{o+}) ve negatif çıkış akımına (i_{o-}) karşılık gelir. Genel olarak g_m değeri harici ön yargı akımı/voltajı ile elektronik olarak kontrol edilebilir.

ZC-CFTA elemanı düşük empedanslı giriş P; yüksek empedanslı çıkışlar Z, Zc'den oluşur. Z (vz) terminalindeki voltaj düşüşü, bir transiletkenlik kazancı (g_m) ile çok çıkışlı bir transiletkenlik aşaması aracılığıyla çıkış akımlarına dönüştürülür.

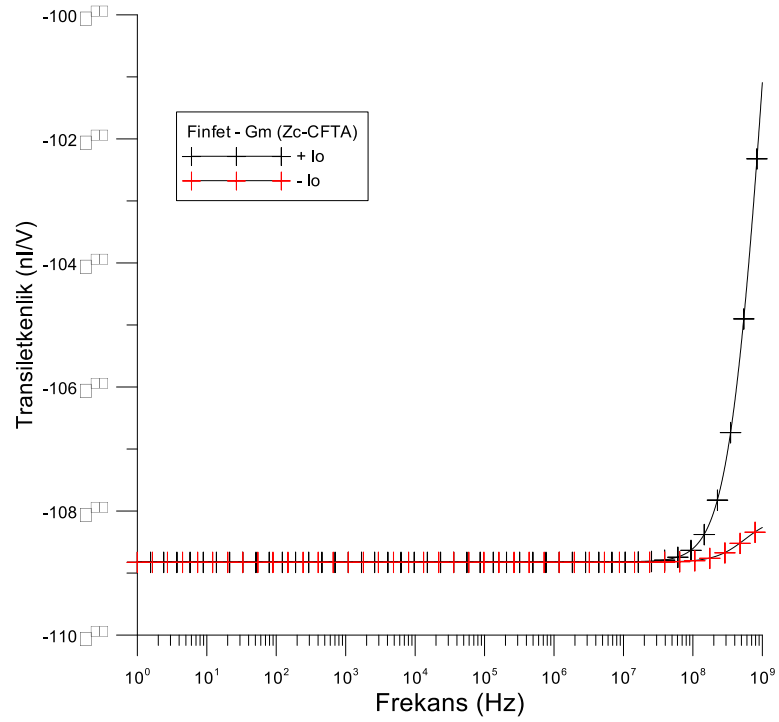
ZC-CFTA DC, AC ve transient analizleri için cadence virtüöz lineer teknolojisinde SPICE karakteristikleri çizilmiştir. ZC-CFTA transiletkenliği I_B tarafından kontrol edilir. SPICE simülasyonları, 170 ila 175nA aralığındaki I_B için g_m 'nin I_B 'nin logaritması ile orantılı olduğunu doğrulamıştır. $170\mu A$ için, $G_m = 410Na/V$. Z terminaline bağlı karşılık gelen harici direnç $1.77 K\Omega$ 'dir. R_P ve R_N giriş dirençleri bu topoloji için oldukça yüksektir. Küçük sinyal analizi, yaklaşık $R_P=11K\Omega$ ve $R_N=1.236K\Omega$ değerlerine yol açar.



Şekil 5.36. I_{x+} ve I_{x-} vs V_z akımları.



Şekil 5.37. Frekansa karşı I_z/I_f ve I_{zc}/I_f akım kazancı



Şekil 5.38. I_{x+}/V_z ve I_{x-}/V_z ile frekansın transiletkenlik kazanımları

5.12. ÖNERİLEN TEK ZC-CFTA TABANLI AKIM MODLU EVRENSEL BİQUAD FİLTRE

Tek Zc-CFTA kullanan ilk önerilen akım modu evrensel biquad filtre Şekil 5.39'de gösterilmiştir. Devre; kanonik sayıda bileşen, bir Zc-CFTA, bir neredeyse topraklanmış direnç ve iki topraklanmış kapasitör kullanılarak oluşturulmuştur. Şekil 5.39'deki devrenin rutin analizi, akım transfer fonksiyonlarını aşağıdaki gibi verir:

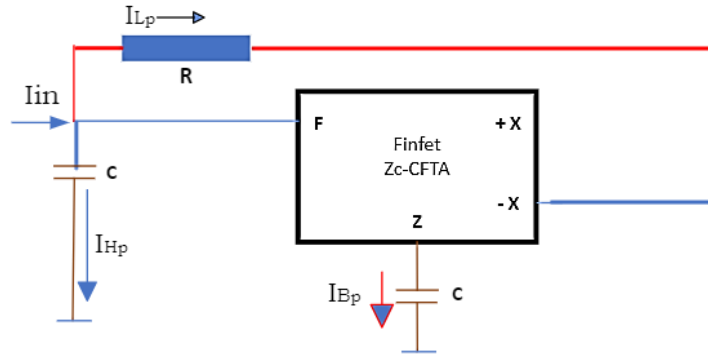
$$\frac{I_{LP}}{I_{in}} = \left(\frac{g_m}{R_1 C_1 C_2} \right) . D^{-1} \quad (5.47)$$

$$\frac{I_{BP}}{I_{in}} = \left(\frac{s}{R_1 C_1} \right) . D^{-1} \quad (5.48)$$

$$\frac{I_{LP}}{I_{in}} = s^2 . D^{-1} \quad (5.49)$$

D'nin bulunduğu yer

$$D = s^2 + \left(\frac{s}{R_1 C_1} \right) + \left(\frac{g_m}{R_1 C_1 C_2} \right) \quad (5.50)$$

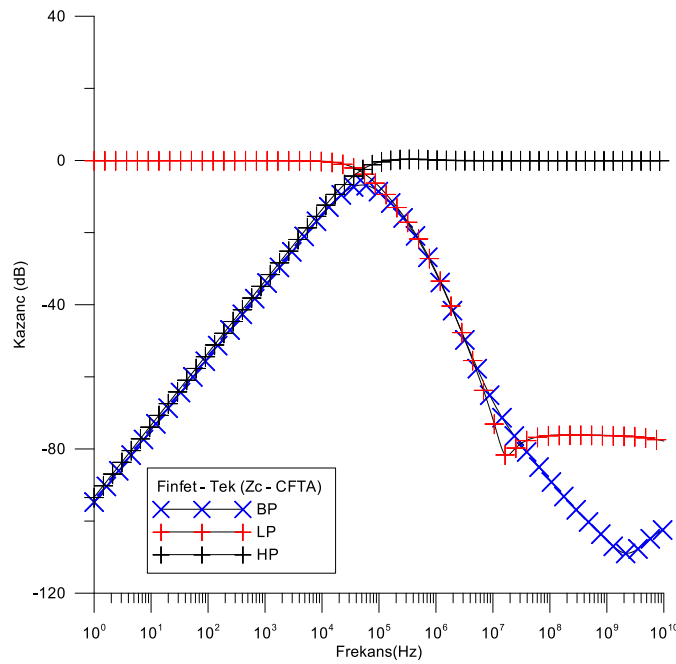


Şekil 5.39. Önerilen akım modu evrensel çift dörtlü filtre

Denklem (5.47), (5.50)'den önerilen ilk filtrenin herhangi bir pasif bileşen eşleştirme kısıtlaması gerektirmeden sırasıyla I_{LP} , I_{BP} ve I_{HP} 'de LP, BP ve HP akım yanıtlarını eşzamanlı olarak gerçekleştirdiği kolayca gözlemlenebilir. Bununla birlikte BP ve HP çıkış sinyalleri topraklanmış pasif kapasitörler C1 ve C2 üzerinde mevcut

olduğundan I_{BP} ve I_{HP} akımlarını algılamak için ek aktif elemanlar gereklidir. Öte yandan sadece LP akım yanıtı I_{LP} , yüksek çıkış empedansı avantajına sahiptir.

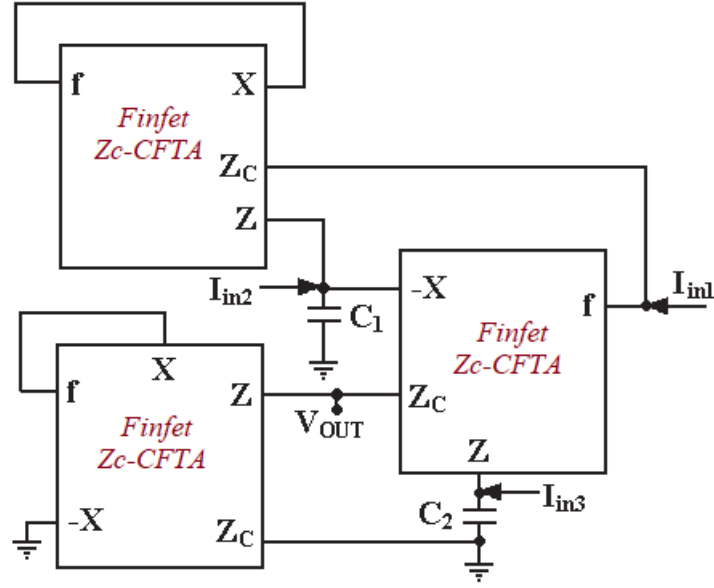
Ek olarak şema mevcut mod tek girişli üç çıkışlı evrensel filtre olarak sınıflandırılabilir. Şekil 5.39'da önerilen filtre için aşağıdaki bileşen değerleri şu şekilde seçilmiştir: $R_1=R_2 = 1.2 \text{ k}\Omega$, $C_1 = C_2 = 0.1 \text{ nF}$ ve ayar akımı $I_0 = 170 \text{ nA}$ ($g_m = 1 \text{ mA/V}$). Şekil 5.39'da önerilen filtrelerin simüle edilmiş LP, BP ve HP frekans tepkileri sırasıyla Şekil 5.40'ta gösterilmiştir.



Şekil 5.40. Şekil 5.39'de önerilen filtrenin simüle edilmiş LP, BP ve HP akım tepkileri

5.13. ÖNERİLEN TRANS-EMPEDANS MODU EVRENSEL BİQUAD FİLTRE, ÜÇ ZC-CFTA'DAN OLUŞUR

Önerilen trans-empedans modu evrensel biquad filtre, Şekil 5.41'de gösterildiği gibi üç Zc-CFTA ve iki topraklanmış kapasitörden oluşur. Kullanılan tüm kapasitörler topraklandığından önerilen devre, IC uygulaması için uygundur. Önerilen devrenin rutin bir analizi, verilen akım giriş sinyalleri I_{in1} , I_{in2} ve I_{in3} için aşağıdaki çıkış ifadesini V_{out} verir.



Şekil 5.41. Önerilen trans-empedans modu evrensel biquad filtre

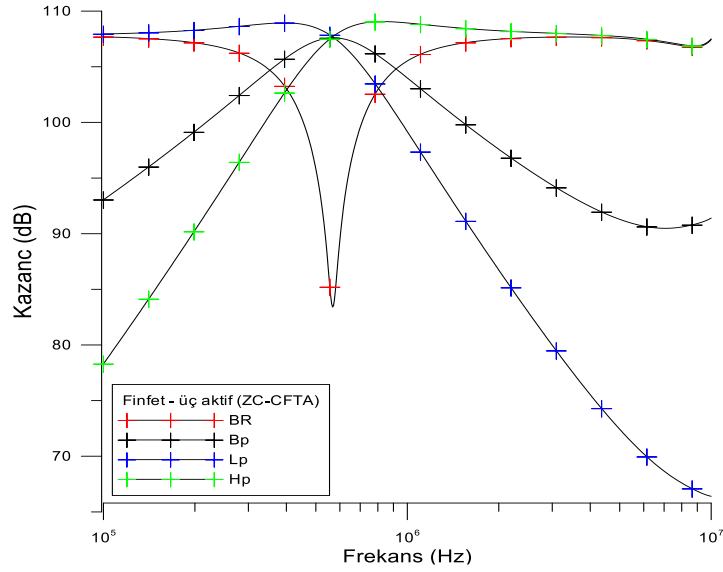
$$V_{out} = \left(\frac{1}{g_{m1,2,3,4}} \right) \left(\frac{(-g_{m1}C_2s - C_1C_2s^2)I_{in1} + g_{m1}C_2sI_{in2} - g_{m1}g_{m2}I_{in3}}{C_1C_2s^2 + g_{m1}C_2s + g_{m1}g_{m2}g_{m3}g_{m4}} \right) \quad (5.51)$$

Denklemden (5.51) akım giriş sinyallerinin uygun şekilde seçilmesiyle trans-empedans modundaki farklı biquadatik filtreleme transfer fonksiyonlarının V_{out} çıkış düğümünde gerçekleştirilebileceği açıktır. Bunlar aşağıdaki gibidir:

- LP yanıtı, giriş durumu $I_{in1} = I_{in2} = 0$ ve $I_{in3} = I_{in}$ olduğunda V_{OUT} 'ta gerçekleştirilebilir.
- BP yanıtı, giriş durumu $I_{in1} = I_{in3} = 0$ ve $I_{in2} = I_{in}$ olduğunda V_{OUT} 'ta gerçekleştirilebilir.
- HP yanıtı, giriş durumu $I_{in1} = I_{in2} = I_{in}$ ve $I_{in3} = 0$ olduğunda V_{OUT} 'ta gerçekleştirilebilir.
- BR yanıtı, giriş durumu $I_{in1} = I_{in2} = I_{in3} = I_{in}$ olduğunda V_{OUT} 'ta gerçekleştirilebilir.
- AP yanıtı, giriş durumu $I_{in1} = I_{in2}/2 = I_{in3} = I_{in}$ olduğunda V_{OUT} 'ta gerçekleştirilebilir.

Yukarıdaki açıklamadan Şekil 5.41'de önerilen filtre devresinin uygulanan akım giriş sinyallerinin uygun seçimi yoluyla trans-empedans modunda tüm standart filtreleme fonksiyonlarını gerçekleştirebildiği açıktır.

Önerilen filtrenin performansı, Şekil 5.34'te gösterildiği gibi FinFET tarafından uygulanan ZC-CFTA kullanılarak doğrusal teknoloji SPICE devre simülasyonu ve Cadence virtüöz programı aracılığıyla Şekil 5.41'i simüle ederek doğrulanır. Burada devredeki tüm transistörler için model parametreleri 7 nm FinFET transistörlerdir. Şekil 5.41'deki filtre devresi; pasif ve aktif elemanlar $C1 = C2 = 10\text{nF}$, $I_{b1} = I_{b2} = I_{b3} = 170\text{ nA}$ olarak seçilen kutup frekansı $f_0 = 2.40\text{MHz}$ ve $Q_0 = 1$ için tasarlanmıştır. Besleme rayları $V_{DD} = -V_{SS} = 0.1\text{V}$ olarak kullanılmıştır. Şekil 5.42'de önerilen filtre devresi için LP, BP, HP, BR ve AP'nin simüle edilmiş trans-empedans kazancını ve faz yanıtlarını göstermektedir.



Şekil 5.42. BP, LP, HP ve BR filtresinin simüle edilmiş frekans tepkisi

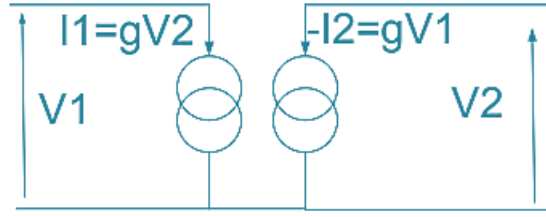
BÖLÜM 6

FİNFET TRANSİSTÖR TABANLI TRANSFORMATÖR VE OSİLATÖR TASARIMI

Şimdiye kadar incelediğimiz filtrelerin hepsi pasif filtrelerdi yani sadece pasif bileşenlerden oluşuyordu. Butterworth ve eliptik filtrelerinin her ikisi de pasif reaktif filtrelerdi ve sadece kapasitörlere ve indüktörlere sahipti. VLSI'nin ortaya çıkmasıyla bir IC içinde bir filtre devresi uygulama olasılığına bakmak gerekli hale gelmiştir. Film teknolojisini kullanarak dirençleri ve kapasitörleri uygulamak mümkündür (dirençlerin uygulanması nispeten daha zor olsa da) ancak bir indüktör inşa etmenin bir yolu yoktur. Bu, yalnızca dirençler ve kapasitörler kullanarak indüktörlü ağları gerçekleştirmek için tekniklerin geliştirilmesini gerektirdi. Bu amaçla giratörler ve negatif empedans dönüştürücüler gibi aktif devreler kullanılır. İndüktörler ve jyatörler işlemsel amplifikatörler kullanılarak uygulanır. İşlemsel amplifikatörler; yüksek kazanç, yüksek giriş empedansı ve düşük çıkış empedansı özelliklerini kullanarak filtre özelliklerini temsil eden transfer fonksiyonlarını uygulamak için doğrudan kullanılabilir. Bununla birlikte frekans spektrumlarında sınırlamalar vardır ve iletişim devrelerinde olduğu gibi yüksek frekanslarda çalışan filtreler hâlâ indüktörler kullanılarak uygulanmaktadır.

6.1. GİRATÖRLERİ (DÖNDÜRÜCÜLERİ) KULLANAN AKTİF FİLTRELER

Giratör, bir yük empedansını tersiyle orantılı bir giriş empedansına dönüştüren bir cihazdır. Voltaj kontrollü bir akım kaynağı (VCCS) varsayılırsa bir giratör aşağıdaki gibi temsil edilebilir. Voltaj ve akım arasındaki orantılılık sabitine (g) dönüş oranı denir.



Bu devre (ABCD) parametreleriyle temsil edildiğinde şu denklemler elde edilir:

$$\begin{aligned} V_1 &= AV_2 + BI_2 \\ I_1 &= CV_2 + DI_2 \end{aligned} \quad (6.1)$$

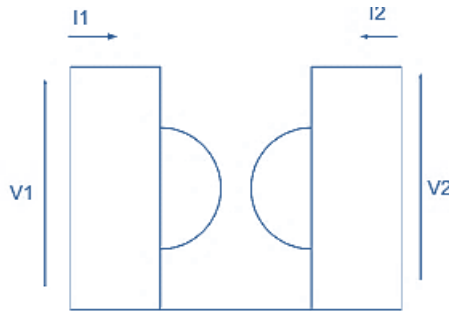
$$\begin{aligned} A &= \left. \frac{V_1}{V_2} \right|_{I_2=0} = 0 \\ B &= \left. \frac{V_1}{I_2} \right|_{V_2=0} = -\frac{1}{gm} \\ C &= \left. \frac{I_1}{V_2} \right|_{I_2=0} = gm \\ D &= \left. \frac{I_1}{I_2} \right|_{V_2=0} = 0 \end{aligned} \quad (6.2)$$

Bu eş değeri şunları verir:

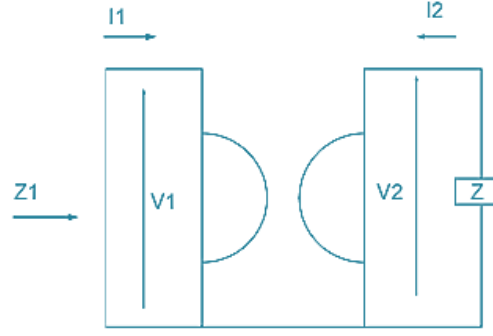
$$\begin{aligned} V_1 &= -gm^{-1}I_2 \\ I_1 &= gmV_2 \end{aligned} \quad (6.3)$$

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} 0 & gm^{-1} \\ gm & 0 \end{bmatrix} \begin{bmatrix} V_2 \\ -I_2 \end{bmatrix} \quad (6.4)$$

Sembolik olarak bir girator şu şekilde temsil edilir:

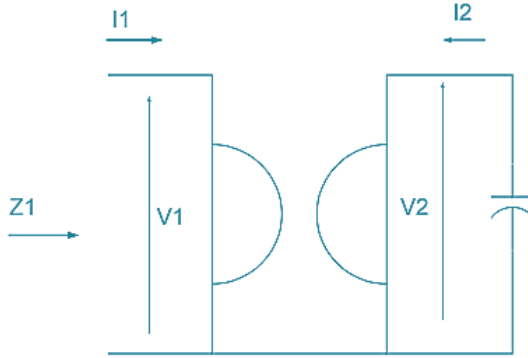


Bu devrenin empedansının tersine çevrildiğini temsil eden şekil şöyledir:



$$Z_1 = \frac{V_1}{I_1} = \frac{-gm^{-1}I_2}{gV_2} = \frac{1}{-gm^2 V/I_2} = \frac{1}{gm^2 Z} \quad (6.5)$$

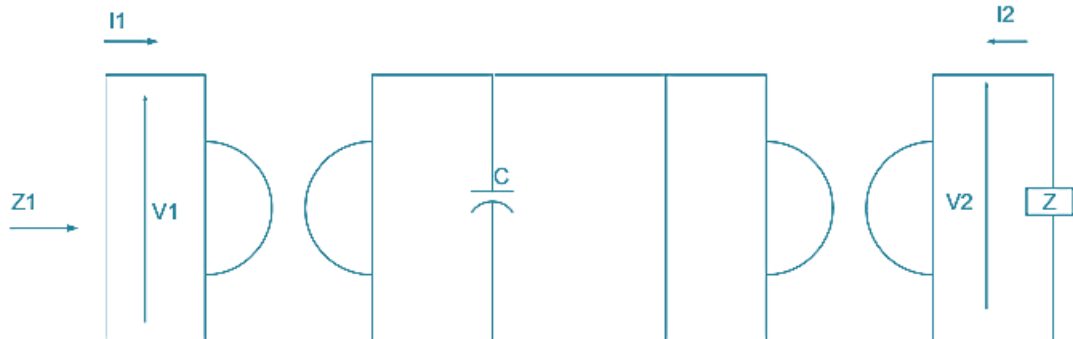
Çıkışta bir kapasitans C varsa o zaman:



$$Z_1 = \frac{1}{gm^2 Z} = \frac{Cs}{gm^2} \quad (6.6)$$

Bu, bir endüktans $L = C/g^2$ 'nin empedansı ile aynıdır.

Bir seri endüktans için eş değeri elde etmek için iki jyatörün kademeli olarak bağlanması gerekir:



Eş değer yüzer indüktör ilk giratörün çıkış portunda bununla, giriş empedansı:

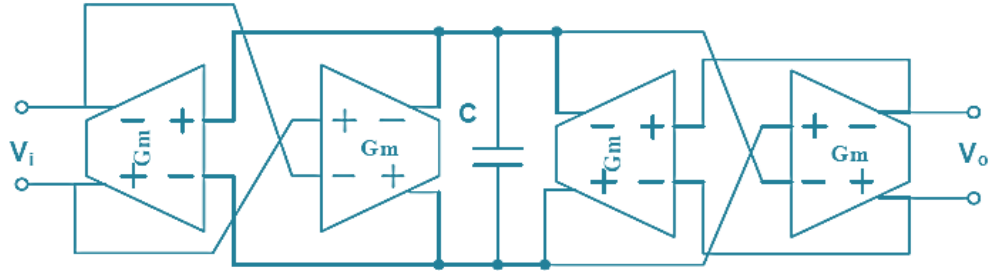
$$Z_1 = \frac{1}{gm^2 \frac{1}{Cs + gm^2 Z}} = \frac{Cs + gm^2 Z}{gm^2} = \frac{Cs}{gm^2} + z \quad (6.7)$$

Bu, C/Gm_2 'nin seri endüktansına eş değerdir ve ardından son çıkış portu boyunca orijinal empedans gelir.

Eş değer endüktans transferin tanımı $I_1 = g_{m2}V_2$ ve $I_2 = g_{m1}V_1$ kondansatör ile kombinasyon, diferansiyel yüzer indüktöre eş değerdir. Aşağıda gösterildiği gibi şekil 6.1, eş değer endüktans değeri şu şekilde belirlenebilir: 6.8 ve 6.9 formülün çıkarımı ile bilinir. Bu devrenin avantajı, türev değer ve kapasitans değeri değişikçe endüktans değerinin değişmesidir. Bu nedenle işlem sapmalarının neden olduğu hatalar voltaj kontrolü ile telafi edilebilir.

$$I_1 = I_2 = \frac{g_{m2}}{sC} (V_i - V_o) = \frac{1}{sL} (V_i - V_o) \quad (6.8)$$

$$L = \frac{C}{g_{m2}} \quad (6.9)$$



Şekil 6.1. Eş değer yüzer indüktör

6.1.1. Önerilen Yeni Devre Tasarımı

Denklemlerde (6.10) ve (6.11) Şekil 6.2a'da görülen iki kapının korelasyonları verilmiştir.

$$\phi_1(t) = M.i_2(t) + Lp.i_1(t) \quad (6.10)$$

$$\varphi_2(t) = M \cdot i_1(t) + L_s \cdot i_2(t) \quad (6.11)$$

Tanımlayıcı ilişkiler sağlanan iki kapıdaki L_p , L_s ve M parametreleri; Denklem (6.12)'deki kısıtlamalarla eşleşiyorsa denklemlerdeki (6.10) ve (6.11)'deki iki kapı transformatörler olarak adlandırılır.

$$L_p > 0, L_s > 0, L_s \cdot L_p - M^2 \geq 0 \quad (6.12)$$

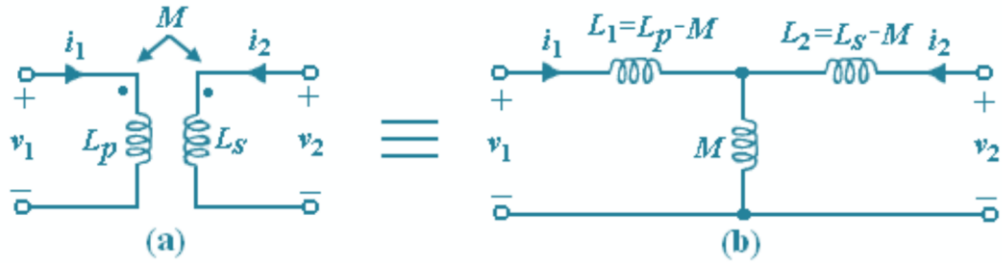
Tanımlayıcı ilişkilerin parametreleri L_p , L_s ve M hepsi Henry (H) birimlerinde ölçülür ve endüktans boyutuna aittir. Karşılıklı endüktans, sırasıyla L_p ve L_s olmak üzere birinci ve ikinci kapıların öz endüktansıdır. $M > 0$, aksi takdirde I_1 ve I_2 'nin referans yönlerinin her ikisi de transformatör sembolündeki damlalara girerse veya ayrılırsa $M < 0$ olur.

Denklem (6.13) ve (6.14)'te verilen transformatör elemanı için tanımlayıcı ilişkiler, kapı voltajları ve akımları cinsinden ifade edilecek şekilde ayarlanırsa elde edilir.

$$V_1 = s \cdot L_p \cdot I_1 + s \cdot M \cdot I_2 \quad (6.13)$$

$$V_2 = s \cdot L_s \cdot I_2 + s \cdot M \cdot I_1 \quad (6.14)$$

Şekil 6.2, dört uçlu transformatör elemanının T tipi karşılaştırılabilir modelini sağlar. Bu paradigma, dört terminelli transformatör elemanının üç uçlu temsiline izin verir. Kirchoff'un voltaj yasası, şekil 6.2'de gösterilen devre için $L_1 = L_p - M$ ve $L_2 = L_s - M$ olduğunu göstermektedir.



Şekil 6.2. (a). Transformatör elemanı sembolü (b) Transformatör elemanının T tipi eş değer devresi

Önerilen yapay transformatör devresi iki temel bileşen içerir: bir akım farklılaştırıcı transiletkenlik amplifikatörü (CDTA) ve bir voltaj farklılaştırıcı transiletkenlik amplifikatörü (VDTA). Bu amplifikatörler, sinyalleri bir alandan diğerine dönüştürmek için sinyal işleme devrelerinde ve ayrıca amplifikasyon ve filtreleme amaçları için kullanılır.

6.1.2. Akım Farklılaştırıcı Transiletkenlik Amplifikatörü (CDTA)

Bu amplifikatör, analog sinyal işlemede çok yönlü bir yapı taşıdır ve çeşitli uygulamalar için kullanılabilir. Biri akım giriş terminali, diğeri voltaj giriş terminali olmak üzere iki giriş terminali vardır. CDTA, giriş terminallerindeki akım voltajı tarafından kontrol edilen bir transiletkenlik kazancı sağlar. Önerilen yapay transformatör devresi şekil 6.3 ve 6.4'te verilmiştir. Denklem (6.15) ve (6.16) birinci ve ikinci şekil içindir. Devrenin analizi Zc-CDTA elemanının ideal tanım korelasyonları kullanılarak gerçekleştirildiğinde elde edilir.

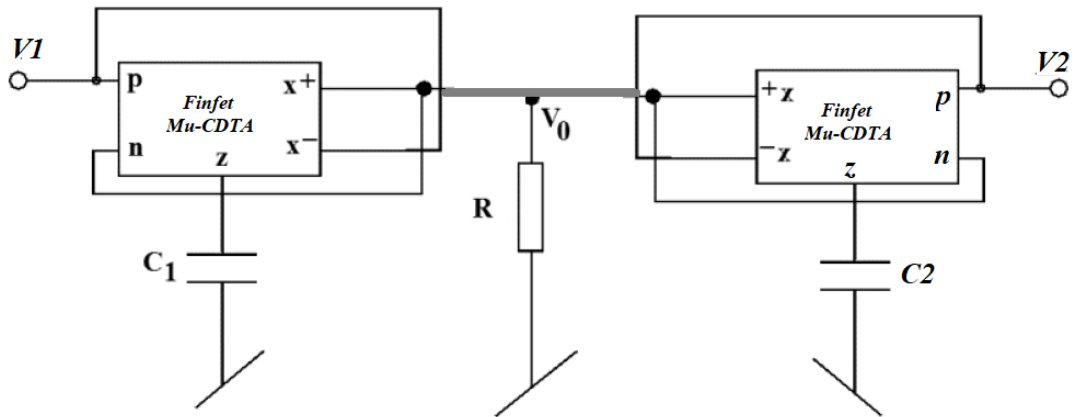
$$V_1 = s \frac{C_1(1+R)}{gm_1} I_1 + s \frac{C_2 R}{gm_2} I_2$$

$$V_2 = \frac{sC_1 R}{gm_1} I_1 + \frac{sC_2(1+R)}{gm_2} I_2 \quad (6.15)$$

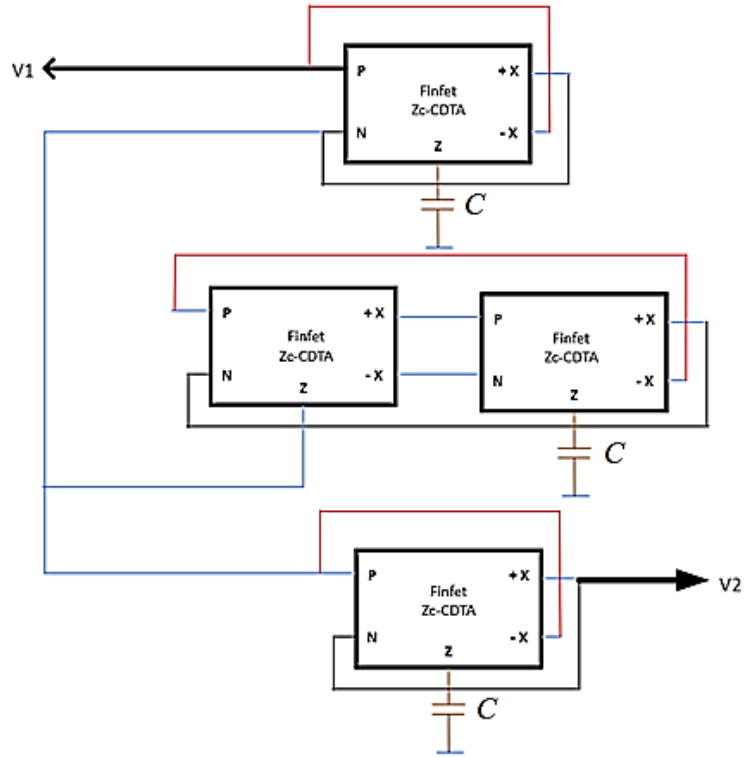
$$V_1 = I_1 sL_1 - sM(I_1 + I_2)$$

$$V_2 = sL_2 I_2 - sM(I_1 + I_2) \quad (6.16)$$

İ1 ve İ2'nin eşit olduğu yerde $I_1 = I_2 = \pm g_m V_z$



Şekil 6.3. Önerilen yapay transformatör devresi tabanlı iki Zc-CDTA



Şekil 6.4. Önerilen yapay transformatör devresi tabanlı dört Zc-CDTA

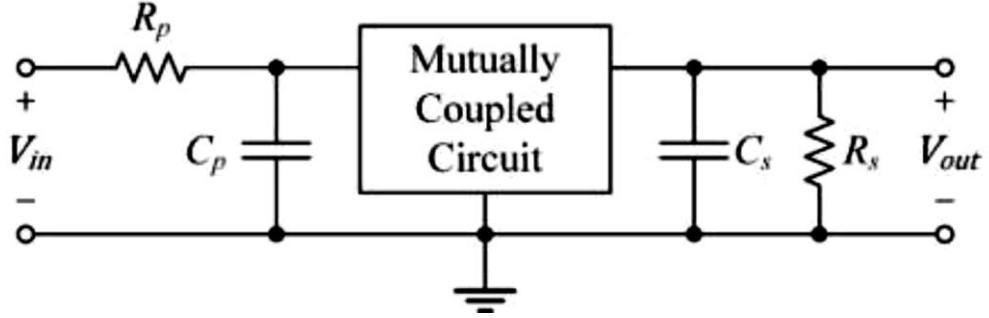
Önerilen karşılıklı bağlı devre (MCC'ler) endüktans değerleri denkleme göre belirlenir. (6.13), (6.14) ve (6.15) çeşitli endüktansların değerleri L_1 , L_2 , M_{11} , M_{22} , M_{12} ve M_{21} şu şekilde hesaplanabilir:

$$L_p = \frac{C_1(1+R)}{gm_1} \quad \text{ve} \quad L_s = \frac{C_2(1+R)}{gm_2} \quad (6.17)$$

$$L_1 = \frac{C_1}{gm_1}, \quad M_{11} = M_{12} = \frac{C_2 R}{gm_2}, \quad L_2 = \frac{C_2}{gm_2}, \quad M_{21} = M_{22} = \frac{C_1 R}{gm_1} \quad (6.18)$$

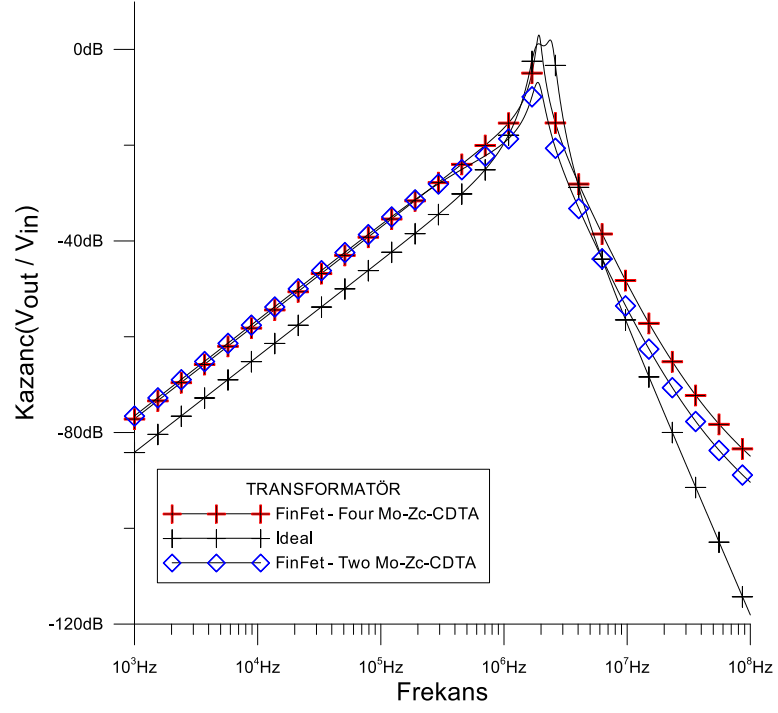
Simetrik bağlantının gerçekleşmesi için Denklem (6.17) ve (6.18)'de sağlanan eş değer endüktans değerlerinden anlaşılacağı gibi Şekil 6.3 ve 6.4'te gösterilen devredeki eleman değerleri, $\frac{C_1}{C_2} = \frac{gm_1}{gm_2}$ seçilmelidir. Bu durumda $M_{11}=M_{12}=M_{21}=M_{22}=M$ elde edilir.

LT-Spice ve cadence virtüöz programı, önerilen Zc-CDTA tabanlı MCC'nin 7 nm FinFET teknolojisi parametreleriyle simülasyonunu doğrulamak için kullanılmıştır. Geliştirme Zc-CDTA konfigürasyonu Bölüm 5'te FinFET uygulaması olarak gösterilmiştir. Yapının DC güç kaynaklarına $V_{DD} = -V_{SS} = 0.1V$ verilir ve ön yargı akımı kaynaklarının değeri başlangıçta $I_{B1} = I_{B2} = I_{B3} = I_{B4} = I_{bias} = 170nA$ alınır.

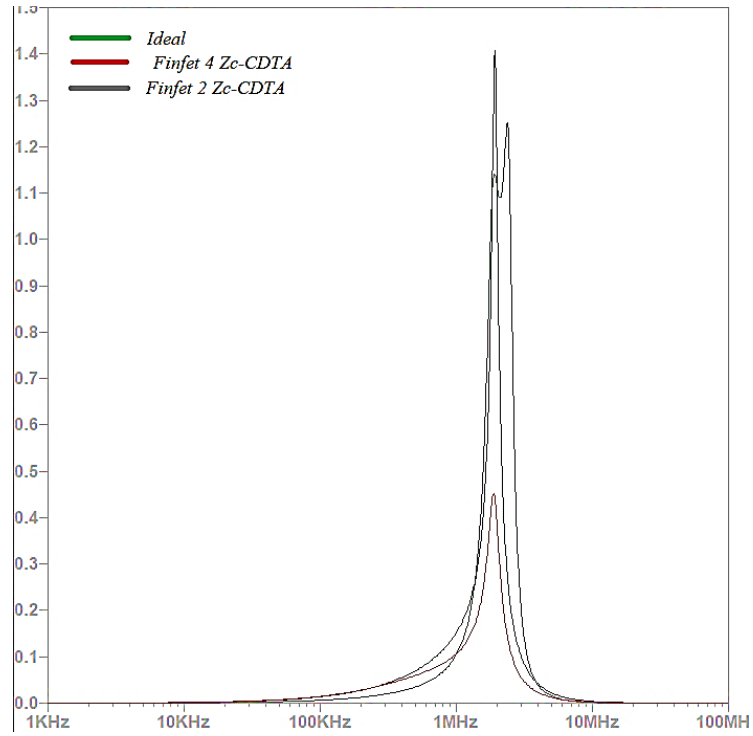


Şekil 6.5. Çift ayarlı bant geçiş filtresi

Önerilen MCC'yi simüle etmek için DTBP filtresi kullanılmıştır. DTBP filtresinin devresi Şekil 6.5'te gösterilmiştir. LT-Spice simülasyon sonuçları Şekil 6.6'da ve şekil 6.7'de gösterilen bant geçişli filtrenin kazanç özellikleri, birlikte önerilen Zc-CDTA tabanlı devre ve ideal yapı verilmiştir. Bu çözümü elde etmek için pasif eleman, $L_p = L_s = 300 \mu H$ ve $M_{11} = M_{22} = M_{12} = M_{21} = M = L_1 = L_2 = L_2 = 0,33 \mu H$ olarak endüktanslara ulaşılması nedeniyle pasif eleman $C_p = C_s = 20 pF$, $R_p = R_s = 10 k\Omega$, $C_1 = C_2 = C = 10 pF$ ve $R = 1 \Omega$ olarak seçilmiştir.



Şekil 6.6. DTBP filtresinin ideal ve simüle edilmiş frekans tepkisi



Şekil 6.7. Bant geçişli filtrenin kazanç özellikleri

6.1.3. Gerilim Farklılaştırıcı Transiletkenlik Amplifikatörü (Mu-Zc-VDTA)

Karşılıklı bağlantılı devreye dayanan gerilim farklılaştırıcı transiletkenlik amplifikatörü (Mu-Zc-VDTA), geleneksel Mu-Zc-VDTA konfigürasyonunun bir varyasyonudur. İstenilen performans özelliklerini elde etmek için bir çift karşılıklı olarak bağlanmış transiletkenlik amplifikatörü (Mu-Zc-VDTA) kullanılarak tasarlanmıştır. Mu-Zc-VDTA, voltaj amplifikasyonu ve akımdan voltaja dönüştürme yeteneklerini birleştiren çok yönlü bir dört terminalli aktif elemandır. Amplifikatörler, filtreler, osilatörler ve analog hesaplama devreleri gibi analog sinyal işleme uygulamalarında yaygın olarak kullanılır. Karşılıklı bağlanmış devre konfigürasyonunda iki VDTA, giriş akımlarının birbirlerinin çıkış voltajları tarafından tahrik edileceği şekilde birbirine bağlanır. Bu bağlantı, gelişmiş performans özellikleri ve genişletilmiş işlevsellik sağlayan çapraz bağlanmış bir etki sağlar. Karşılıklı olarak bağlanmış VDTA yapılandırması, geleneksel tek Mu-Zc-VDTA tasarımına göre çeşitli avantajlar sunar. Gelişmiş doğrusallık, daha geniş bant genişliği, artan giriş/çıkış empedansı ve kazanç ve transiletkenliğin gelişmiş kontrol edilebilirliği sağlar. Ek olarak bu konfigürasyon karmaşık analog sinyal işleme fonksiyonlarının tasarlanmasında daha fazla esneklik sağlar. Karşılıklı olarak bağlanmış Mu-Zc-VDTA'nın çalışması, iletkenlik ilkesine dayanır. Mu-Zc-VDTA'lardan birine bir giriş voltajı uygulandığında giriş voltajıyla orantılı bir çıkış akımı olur. Bu çıkış akımı, ikinci VDTA'nın girişini yönlendirir ve bu da giriş akımıyla orantılı bir çıkış voltajı üretir. Bu pozitif geri besleme döngüsü, bir voltaj amplifikasyonu ve transiletkenlik etkisi ile sonuçlanır. Karşılıklı olarak bağlanmış Mu-Zc-VDTA'nın transfer fonksiyonu ve performans özellikleri, iki VDTA arasındaki bağlantı faktörünün yanı sıra ön yargı ve yükleme koşulları ayarlanarak özelleştirilebilir. Bu, amplifikatör yanıtını belirli uygulama gereksinimlerine göre uyarlamaya izin verir.

Özetle karşılıklı bağlantılı devreye dayanan gerilim farklılaştırıcı transiletkenlik amplifikatörü, analog sinyal işleme uygulamalarında kullanılan çok yönlü ve yüksek performanslı bir aktif elemandır. Benzersiz konfigürasyonu gelişmiş işlevsellik, gelişmiş performans ve karmaşık analog devreler tasarlamada daha fazla esneklik sağlar.

Şekil 6.8'de gösterildiği gibi aktif bileşenler olarak iki Mu-Zc-VDTA, iki topraklanmış kapasitör ve pasif bileşenler olarak yalnızca topraklanmış direnç kullanan yeni bir karşılıklı bağlantılı devre önerilmektedir. Şekil 6.9'da gösterilen diğer devre, üç Mu-Zc-VDTA (aktif bir bileşen olarak iki yüzer ve bir topraklanmış indüktör) önerilen iki devre, Mu-Zc-VDTA ön yargı akımlarıyla elektronik olarak ayarlanabilir. Birincil öz endüktans değerleri, ikincil öz endüktans ve karşılıklı endüktans değerleri ayrı ayrı ayarlanabilir. Kuplaj katsayısı endüktansları şekil 6.8'de istenen değerlere değiştirmek için topraklanmış bir dirençle kontrol edilebilir. Önerilen MCC'nin gözlemlenmesi için LTspice ve cadence virtüöz programı kullanılarak DTBP filtre uygulaması ile bazı analizler gerçekleştirilmiştir.

Beşinci bölümde devresi verilen Mu-Zc-VDTA'nın terminal ilişkileri aşağıdaki denklemle (6.19) ifade edilir.

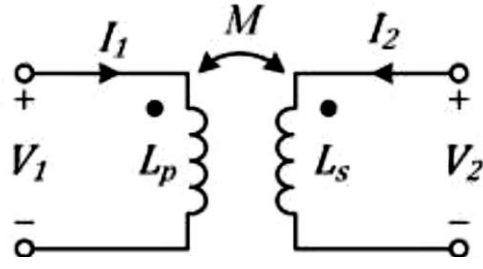
$$\begin{bmatrix} I_p \\ I_n \\ I_{zp} \\ I_{zn} \\ +I_x \\ -I_x \end{bmatrix} = \begin{bmatrix} 0 & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & 0 & 0 & 0 & 0 \\ gma & -gma & 0 & 0 & 0 & 0 \\ -gma & gma & 0 & 0 & 0 & 0 \\ 0 & 0 & gmb & 0 & 0 & 0 \\ 0 & 0 & -gmb & 0 & 0 & 0 \end{bmatrix} \begin{bmatrix} V_p \\ V_n \\ V_{zp} \\ V_{zn} \\ +V_x \\ -V_x \end{bmatrix} \quad (6.19)$$

Transiletkenlik kazanımları gma ve gmb şu şekilde verilir:

$$gma = \frac{gm3 + gm4}{2} \quad \text{ve} \quad gmb = \frac{gm5 + gm8}{2} \quad (6.20)$$

Şekil 6.8'de gösterilen bir MCC'nin iki portlu ağ denklemi aşağıda verilmiştir. Burada L_p ve L_s sırasıyla birincil ve ikincil öz endüktansları temsil eder.

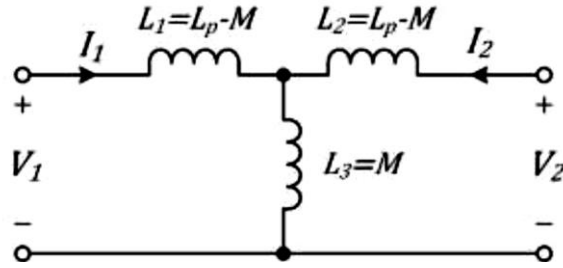
$$\begin{bmatrix} V1 \\ V2 \end{bmatrix} = s \begin{bmatrix} L_p & M12 \\ M21 & L_s \end{bmatrix} \begin{bmatrix} I1 \\ I2 \end{bmatrix} \quad (6.21)$$



Şekil 6.8. Karşılıklı bağlanmış devre (Mutually coupled circuit MCC)

MCC'nin eş değer devresi Şekil 6.9'da gösterilmiştir. Bu eş değer devre Denklem (6.22) ile ifade edilir. M12 ve M21 karşılıklı endüktansları temsil eder. Simetrik bağlantı için $M_{11} = M_{22} = M_{12} = M_{21} = M$ koşulu yerine getirilmelidir. Eşanlımlara göre (6.21) ve (6.22), $L_1 = L_p - M$, $L_2 = L_s - M$ ve $L_3 = M$ belirlenir.

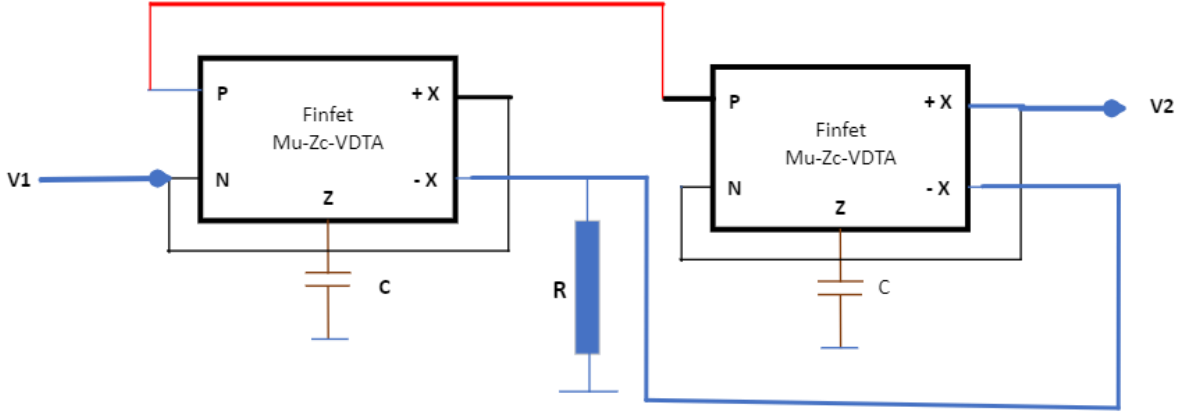
$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = s \begin{bmatrix} L_1 + M_{11} & M_{12} \\ M_{21} & L_2 + M_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad (6.22)$$



Şekil 6.9. Eş değer devre

Önerilen MCC Şekil 6.10'da gösterilmiştir ve iki portlu ağ denklemleri Denklem (6.23)'de verilmiştir.

$$\begin{aligned}
V_1 &= \frac{sC_1(g_{ma1}R+1)}{g_{ma1}g_{mb1}} I_{1(s)} + \frac{sC_1R}{g_{mb2}} I_{2(s)} \\
V_2 &= \frac{sC_1(g_{ma2}R+1)}{g_{ma2}g_{mb2}} I_{2(s)} + \frac{sC_2R}{g_{mb2}} I_{1(s)}
\end{aligned} \tag{6.23}$$



Şekil 6.10. Önerilen yapay transformatör devresi tabanlı iki Mu-Zc-VDTA

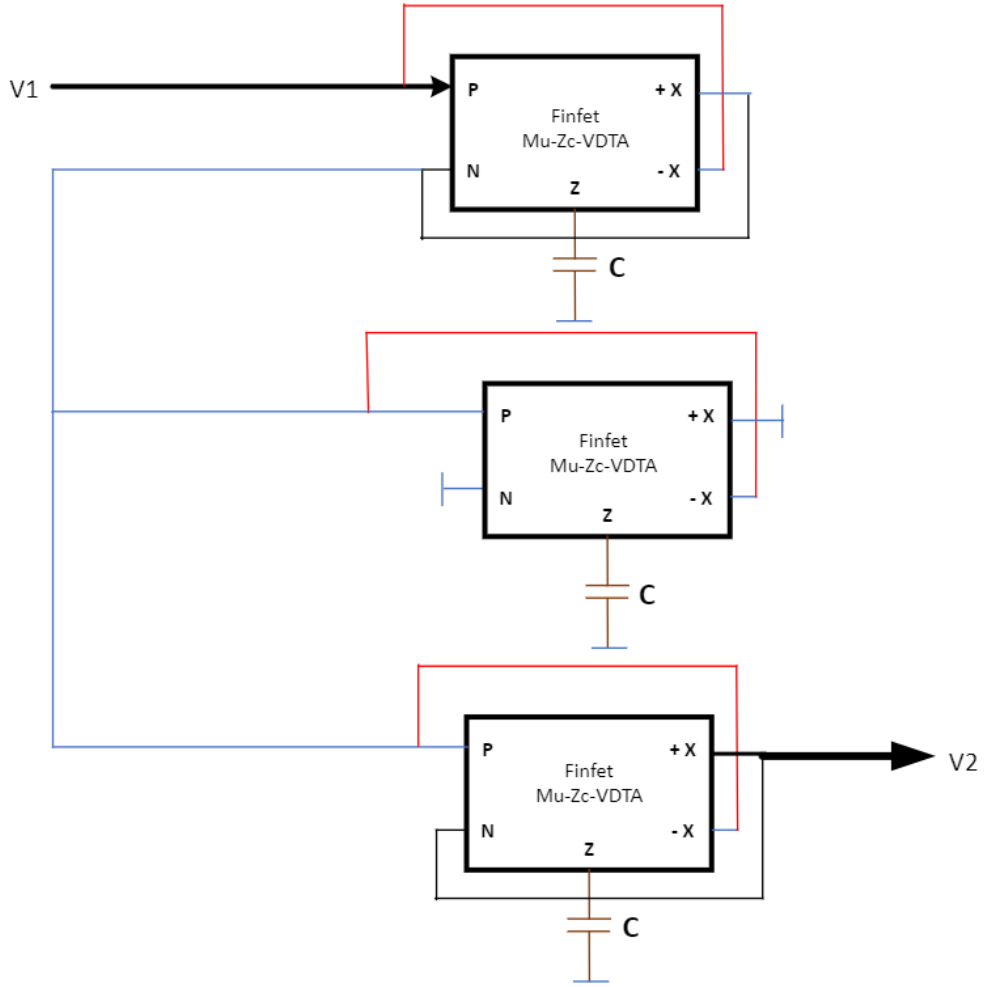
$$L_p = \frac{C_1(g_{ma1}R+1)}{g_{ma1}g_{mb1}} \quad \text{ve} \quad L_s = \frac{C_2(g_{ma2}R+1)}{g_{ma2}g_{mb2}} \tag{6.24}$$

ve

$$L_1 = \frac{C_1}{g_{ma1}g_{mb1}}, \quad M_{12} = M_{11} = \frac{C_1R}{g_{mb1}}, \quad L_2 = \frac{C_2}{g_{ma2}g_{mb2}}, \quad M_{22} = M_{21} = \frac{C_2R}{g_{mb2}} \tag{6.25}$$

Simetrik bağlantının gerçekleşmesi için Denklem (6.24) ve (6.25)'te sağlanan eş değer endüktans değerlerinden anlaşılacağı gibi Şekil 6.10 ve 6.11'de gösterilen devredeki eleman değerleri, $\frac{C_1}{C_2} = \frac{g_{m1}}{g_{m2}}$ seçilmelidir. Bu durumda $M_{11}=M_{12}=M_{21}=M_{22}=M$ elde edilir.

LT-Spice ve cadence virtüöz programı, önerilen Mu-Zc-VDTA tabanlı MCC'nin 7 nm FinFET teknolojisi parametreleriyle simülasyonunu doğrulamak için kullanılmıştır. Geliştirme Mu-Zc-VDTA konfigürasyonu Bölüm 5'te FinFET uygulaması olarak gösterilmiştir. Yapının DC güç kaynaklarına $V_{DD} = -V_{SS} = 0.1V$ verilir ve ön yargı akımı kaynaklarının değeri başlangıçta $I_{B1} = I_{B2} = I_{B3} = I_{B4} = I_{bias} = 172nA$ alınır.



Şekil 6.11. Önerilen yapay transformatör devresi tabanlı üç Mu-Zc-VDTA

$$I_1 = I_2 = \pm g_{m2} V_z \quad (6.26)$$

$$I_z = \frac{g_{m1}(V1 - V2)}{sC} \quad (6.27)$$

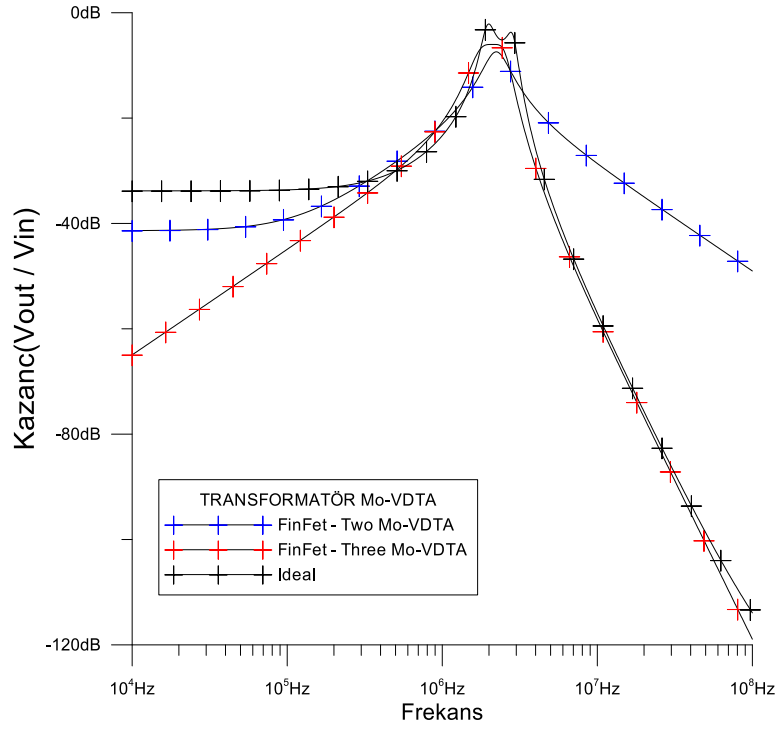
$$I_1 = I_2 = \pm \frac{g_{m1}g_{m2}(V1 - V2)}{sC} = -I_{in} \quad (6.28)$$

$$\frac{V_{in}}{I_{in}} = \frac{sC}{g_{m1}g_{m2}} \quad (6.29)$$

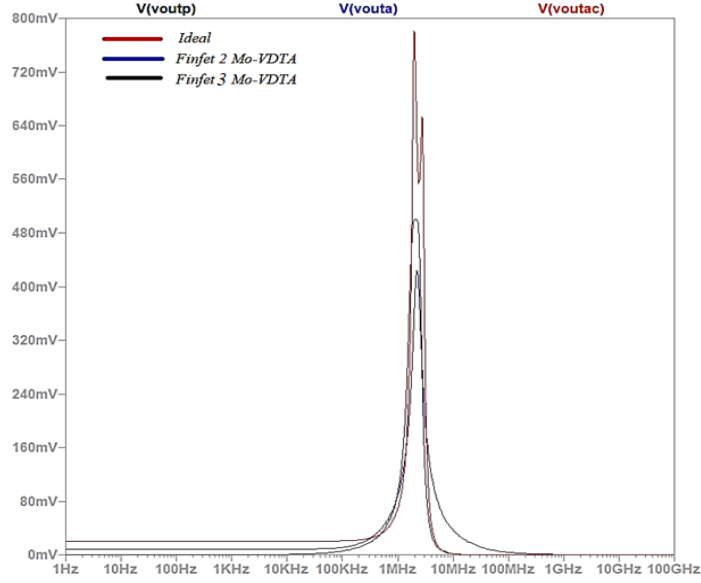
Sonuç olarak

$$\begin{aligned} V1 &= sLpI_1 - sMI_2 \\ V2 &= sLsI_2 - sMI_1 \end{aligned} \quad (6.23)$$

Önerilen MCC'yi simüle etmek için DTBP filtresi kullanılmıştır. DTBP filtresinin devresi Şekil 6.5'te gösterilmiştir. LT-Spice simülasyon sonuçları ile Şekil 6.12'de ve Şekil 6.13'te bant geçişli filtrenin kazanç özellikleri, birlikte önerilen zc-CdTA tabanlı devre ve ideal yapı verilmiştir. Çözümü elde etmek için pasif eleman, $L_p = L_s = 300 \mu\text{H}$ ve $M_{11} = M_{22} = M_{12} = M_{21} = M = L_1 = L_2 = L_2 = 0,33 \mu\text{H}$ olarak endüktanslara ulaşılması nedeniyle pasif eleman $C_p = C_s = 20 \text{ pF}$, $R_p = R_s = 11 \text{ k}\Omega$, $C_1 = C_2 = C_3 = 6 \text{ pF}$ ve $R = 3 \text{ k}\Omega$ olarak seçilmiştir.



Şekil 6.12. DTBP filtresinin ideal ve simüle edilmiş frekans tepkisi



Şekil 6.13. Bant geçişli filtrenin kazanç özellikleri

6.1.4. Z- Copy Akım Takipçisi Transiletkenlik Amplifikatörleri

Z-kopya akım takipçisi transiletkenlik amplifikatörlerini kullanan yüzer ve topraklanmış kayıpsız endüktans simülatörü, herhangi bir disipatif kayıp oluşturmadan bir indüktörün elektriksel eş değerini üreten bir devredir. Bu, bir indüktör kullanımının istenmeyen veya mümkün olmadığı çeşitli elektronik uygulamalarda faydalı olabilir. Devre, pasif bileşenleri simüle etmek için özel olarak tasarlanmış özel tip işlemsel yükselteçler olan bir Z-kopya akım takipçisi transiletkenlik amplifikatörleri (CF-TA) ağından oluşur. Bu CF-TA'lar voltaj sinyallerini akım sinyallerine dönüştürür ve yüksek giriş empedansı ve düşük çıkış empedansı özellikleri sağlar.

Yüzer konfigürasyonda endüktans simülatörünün giriş ve çıkış portları topraktan yalıtılmıştır ve istenen herhangi bir voltaj seviyesinde yüzebilir. Bu, simülatörün endüktansın yerden izole edilmesinin gerekli olduğu uygulamalarda kullanılmasını sağlar.

Öte yandan topraklanmış konfigürasyonda indüktör simülatörünün bir terminali bir referans toprak potansiyeline bağlanır. Bu konfigürasyon, topraklanmış bir endüktansın gerekli olduğu uygulamalarda veya diğer düğümün toprağa atıfta

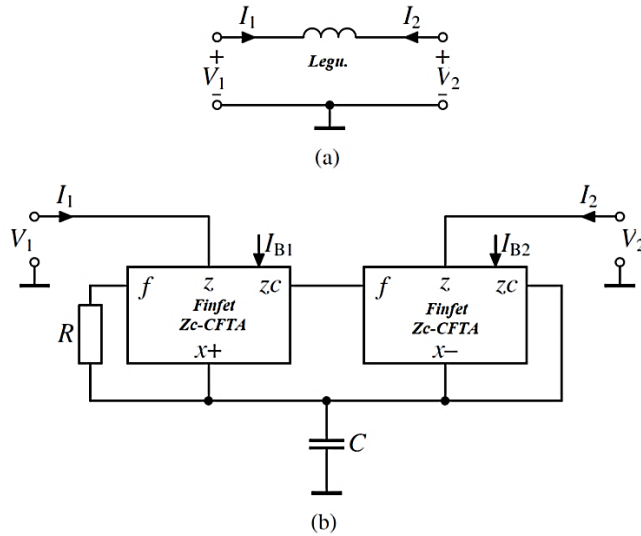
bulunulması gerektiğinde kullanışlıdır. Simülatörün kayıpsızlığı, simüle edilmiş indüktörde depolanan enerjiyi koruyarak sinyal yolunda herhangi bir dağıtıcı kayıp oluşturmadığı anlamına gelir. Bunu ihmal edilebilir giriş akımlarına ve sonsuz giriş empedansına sahip Z-copy CF-TA'ların doğal özelliklerini kullanarak başarılır.

Genel olarak Z-kopya akım takipçisi transiletkenlik amplifikatörlerini kullanan yüzer ve topraklanmış kayıpsız endüktans simülatörü, fiziksel bileşenlerle ilişkili dezavantajlar olmadan elektronik devrelerdeki indüktörleri simüle etmek için uygun ve verimli bir araç sağlar.

CDTA (akımın diferansiyel iletkenlik amplifikatörü) yapısına dayanan ZC-CFTA'nın Finfet uygulaması, beşinci bölümde gösterilmiştir. Tüm Finfet transistörlerinin doygunluk bölgesinde çalıştığı ve tam olarak eşleştikleri varsayıldığında yüzen indüktörün elektrik sembolü ve önerilen aktif eş değeri sırasıyla Şekil 6.14 (a) ve 6.14 (b)'de gösterilmiştir. $G_{m1} = G_{m2} = G_m$ varsayılırsa transiletkenlik mükemmel

bir şekilde eşleşir, rutin devre analizi aşağıdaki kısa devre giriş matrisini verir:

$$L_{equ} = \frac{sCR}{g_m} \begin{bmatrix} 1 & -1 \\ -1 & 1 \end{bmatrix} \quad (6.24)$$



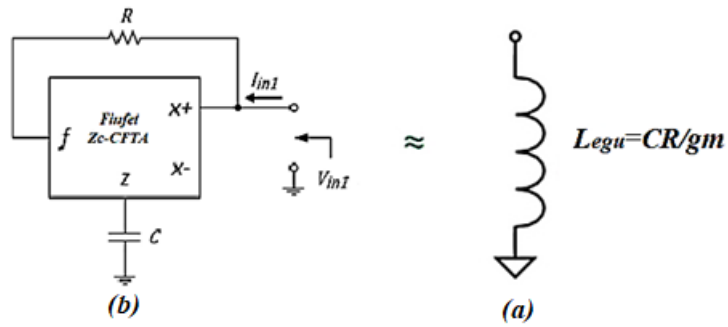
Şekil 6.14. (a) Yüzer indüktörün elektrik sembolü, (b) önerilen yüzer kayıpsız endüktans simülatörü

Şekil 6.14 (b)'de gösterilen devrenin $Leq = CR/gm$ değerine sahip kayıpsız bir endüktans olarak davrandığı Denklem 6.24'ten anlaşılmaktadır. Pozitif endüktans değerinin Leq olduğu açıkça görülmektedir. IB tarafından elektronik olarak ayarlanabilir. Ek olarak burada önerilen yüzer endüktans simülasyonunun topraklanmış kapasitörden oluştuğu da belirtilmelidir. Böylece devre entegrasyon için çekicidir.

Önerilen kayıplı topraklanmış endüktans simülasyonu, paralel bir R-L'yi simüle edebilir. $Req = R$ ve $Leq = -RC/gm$ olduğu devre göstermektedir.

Şekil 6.15'te gösterilen önerilen kayıplı GIS (topraklanmış endüktans simülasyonu), tek Zc-CFTA, bir direnç ve bir topraklanmış kapasitörden oluşur. Denklem 6.25 göz önüne alındığında önerilen kayıplı CIS'nin giriş kabulü, Denklem 6.26'daki gibi ideal olarak elde edilir.

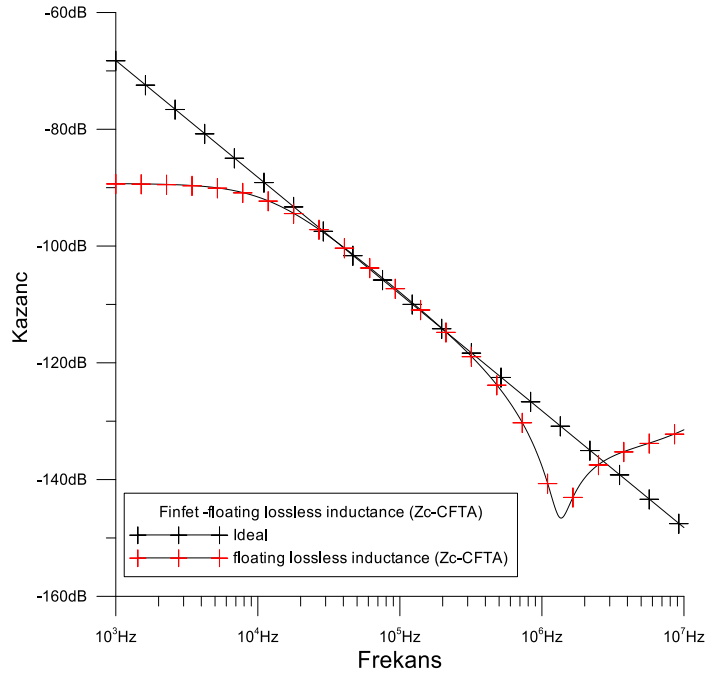
$$\begin{bmatrix} Vf \\ Iz \\ +Io \\ -Io \end{bmatrix} = \begin{bmatrix} Rf & 0 & 0 & 0 \\ a & sCz + 1/Rz & 0 & 0 \\ 0 & \beta gm & sCz + 1/Rz + & 0 \\ 0 & \beta gm & 0 & sCz + 1/Rz - \end{bmatrix} \begin{bmatrix} If \\ Vz \\ +Vo \\ -Vo \end{bmatrix} \quad (6.25)$$



Şekil 6.15. (a) GIS (topraklanmış endüktans simülasyonu) indüktörün elektrik sembolü, (b) önerilen GIS (topraklanmış endüktans simülasyonu) kayıpsız endüktans simülasyonu

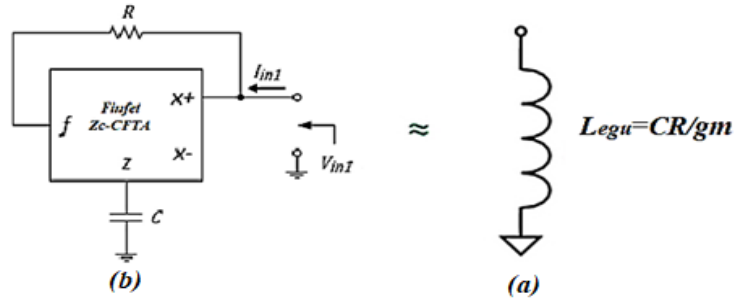
Şekil 6.14'te verilen yüzer indüktör, Modifiye Zc-CFTA kullanılarak simüle edilmiştir. Zc-CFTA, bölüm 5'te gösterildiği gibi FinFET yapısı kullanılarak

gerçekleştirilir. Daha sonra yüzer indüktörün çalışabilirliğini doğrulamak için çıkışı indüktör boyunca aldığımızda yüksek geçişli filtre tepkisi verecek bir RL serisi devre tasarlanmıştır. Geliştirilmiş yüzer indüktör kullanan yüksek geçişli filtre için simülasyon sonucu şekil 6.16'da gösterilmektedir. Pasif elemanlar $C = 1\text{nF}$ olarak seçilir. Daha sonra yüksek geçişli filtrenin 3 dB kesme frekansı ölçülmüş ve bundan yüzer indüktörün valfi elde edilmiştir.



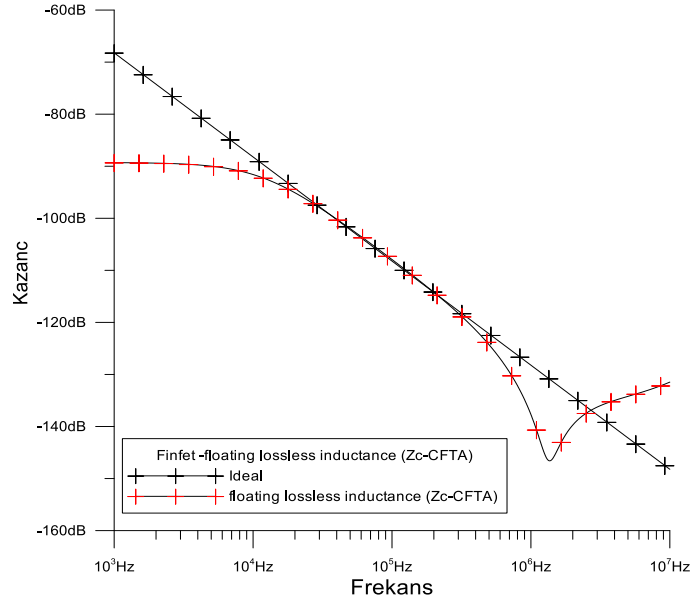
Şekil 6.16. Yüzen kayıpsız endüktansın frekansına göre empedansın ideal ve simüle edilmiş büyüklük ve faz tepkileri

$$\frac{I_{in}}{V_{in}} = \frac{1}{R} - \frac{1}{s \frac{RC}{gm}} = \frac{1}{R_{equ}} + \frac{1}{sL_{equ}} \quad (6.26)$$



Şekil 6.17. (a) GIS (topraklanmış endüktans simülatörü) indüktörün elektrik sembolü, (b) önerilen GIS (topraklanmış endüktans simülatörü) kayıpsız endüktans simülatörü

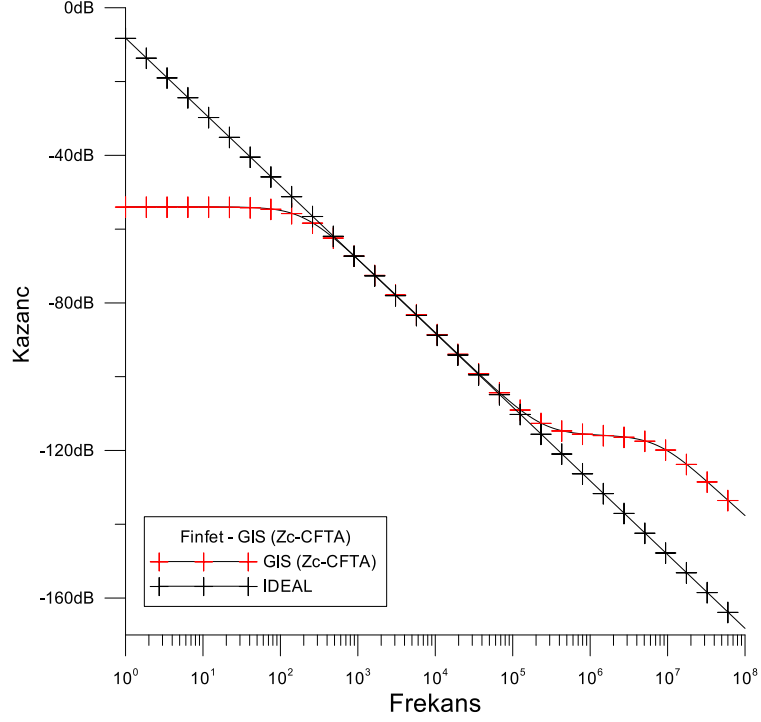
Şekil 6.14'te verilen yüzer indüktör, Modifiye Zc-CFTA kullanılarak simüle edilmiştir. Zc-CFTA, bölüm 5'te gösterildiği gibi FinFET yapısı kullanılarak gerçekleştirilir. Daha sonra yüzer indüktörün çalışabilirliğini doğrulamak için çıkışı indüktör boyunca aldığımızda yüksek geçişli filtre tepkisi verecek bir RL serisi devre tasarlanmıştır. Geliştirilmiş yüzer indüktör kullanan yüksek geçişli filtre için simülasyon sonucu şekil 6.16'da gösterilmektedir. Pasif elemanlar $C = 1\text{nF}$ olarak seçilir. Daha sonra yüksek geçişli filtrenin 3 dB kesme frekansı ölçülmüş ve bundan yüzer indüktörün valfi elde edilmiştir.



Şekil 6.18. Yüzen kayıpsız endüktansın frekansına göre empedansın ideal ve simüle edilmiş büyüklük ve faz tepkileri

Önerilen Zc-CFTA, Şekil 6.15'te gösterildiği gibi topraklanmış indüktör simülatörü için de yapılandırılabilir. Amplifikatörlerin ve endüktansın kazancının Zc-CFTA'nın değişen ön yargı akımı ile g_m tarafından ayarlanabileceği not edilebilir. Transfer fonksiyonları $Z_{in}=RC/g_m$ olarak ifade edilebilir.

İndüktörün devresi, 7 nm FinFET proses modeli parametreleri kullanılarak lineer teknoloji SPICE ve cadence virtüöz simülasyonları gerçekleştirilerek doğrulanmıştır. Sonuçlar şekil 6.17'de gösterilmiştir.



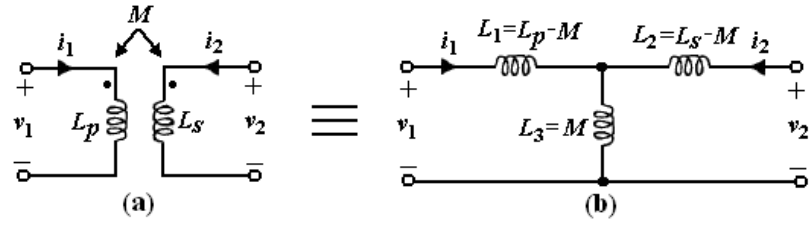
Şekil 6.19. Kayıplı GIS (topraklanmış endüktans simülatörü) frekansına göre empedansın ideal ve simüle edilmiş büyüklük ve faz tepkileri

6.1.5. Zc-CFTA'nın Önerilen Karşılıklı Bağlantılı Devresi

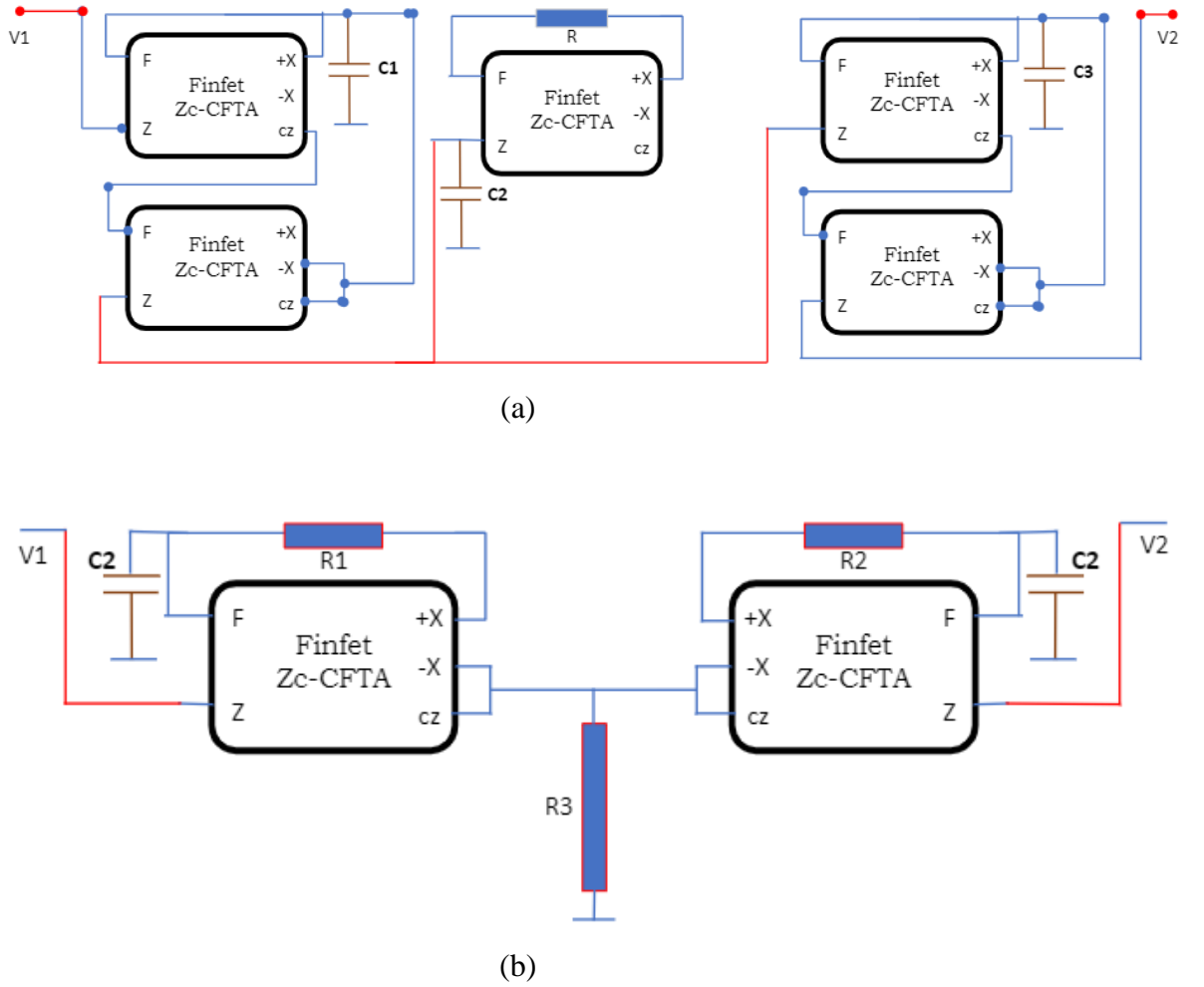
Transformatör, aşağıdaki matris denklemi ile iki portlu bir ağ tarafından modellenebilir:

$$\begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = s \begin{bmatrix} L_p & M_{12} \\ M_{21} & L_s \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \text{ veya } \begin{bmatrix} V_1 \\ V_2 \end{bmatrix} = s \begin{bmatrix} L_1 + M_{11} & M_{12} \\ M_{21} & L_s + M_{22} \end{bmatrix} \begin{bmatrix} I_1 \\ I_2 \end{bmatrix} \quad (6.27)$$

Burada L_p ve L_s sırasıyla transformatörün birincil ve ikincil öz endüktanslarıdır. M_{12} ve M_{21} , transformatörün karşılıklı endüktanslarıdır.



Şekil 6.20. a) Karşılıklı bağlantılı devrenin sembolü, b) eş değer devresi



Şekil 6.21. (a ve b) Önerilen sentetik yüzey transformatör devresi

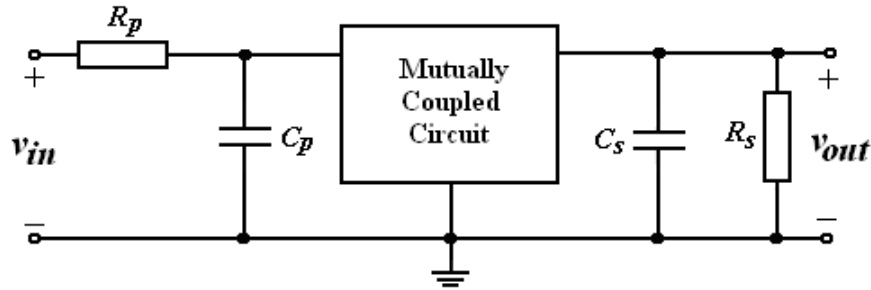
Şekil 6.18a'da gösterilen bir manyetik transformatörün Şekil 6.18b'de gösterilen eş değer bir T-model devresine sahip olduğu iyi bilinmektedir. Bu devrede olduğu gibi simetrik bir bağlantı sağlamak için şekil 19'a ve b'deki simüle edilmiş transformatör $M_{12} = M_{21} = M$ 'ye $g_{m1} = g_{m2} = g_m$ ve $C_1 = C_2 = C$ varsayılırsa endüktanslar olur.

$$L1 = \frac{CR1}{gm}, \quad L2 = \frac{CR1}{gm}, \quad M = CR3/gm \quad (6.28)$$

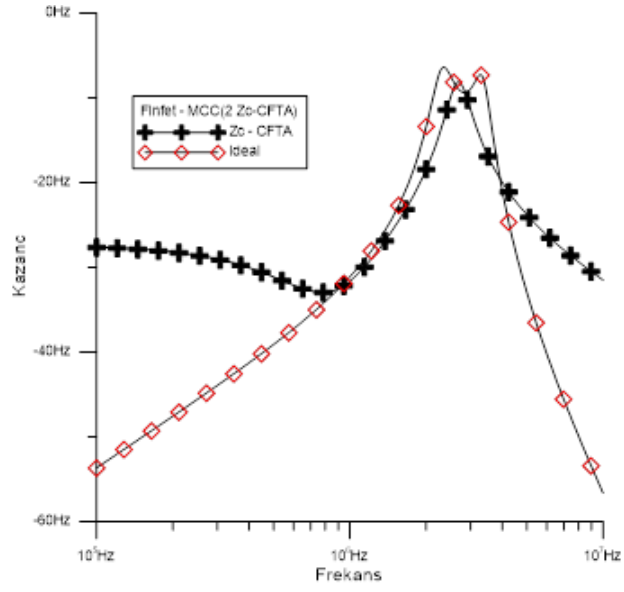
Böylece devre, L1 ve L2 endüktanslarının gerçekleştirilmesi için 1. ve 2. Zc-CFTA'nın X-port dirençlerini kullanırken direnç R3 karşılıklı bağlantı sağlar. Şekil 6.29'daki devrenin analizi şunları verir:

$$\begin{aligned} V1 &= \frac{sC_1(R_3 + R_1)}{g_{m1}} I_1 + \frac{sC_2 R_3}{g_{m2}} I_2 \\ V2 &= \frac{sC_1 R_3}{g_{m1}} I_2 + \frac{sC_1(R_2 + R_3)}{g_{m2}} I1 \end{aligned} \quad (6.29)$$

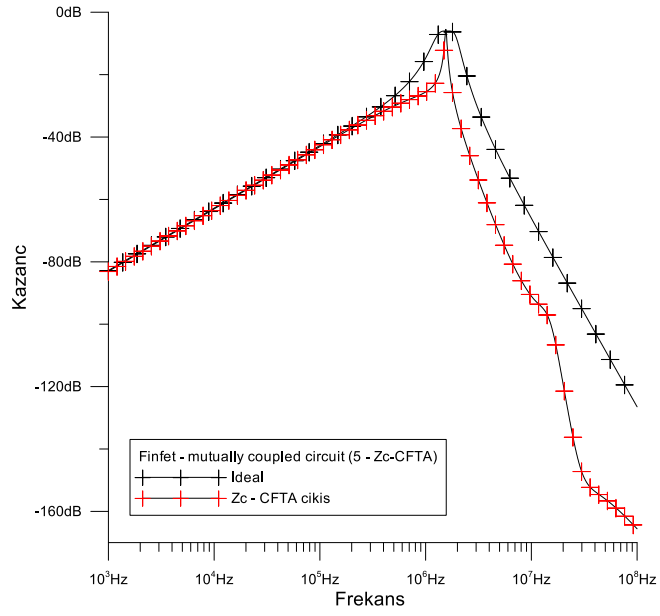
Verilen teorik analizi doğrulamak için Şekil 6.19'da önerilen devre LTSPICE programı ile simüle edilmiştir. Zc-CFTA, VDD =- V SS =0.1 V'ye eşit DC güç kaynağı voltajları ile 5. Bölüm'de gösterilen şematik uygulama kullanılarak simüle edilir. Simülasyonlar, 7 nm seviye-7 FinFET teknolojisi parametrelerine dayalı Linear teknoloji SPICE ve cadence virtüözü kullanılarak gerçekleştirilir. Şekil 6.19'un önerilen karşılıklı bağlantılı devresi, Şekil 6.20'de gösterilen devreyi Cp = Cs =30 pF ve Rp = Rs = 10 kΩ ile simüle etmek için kullanılmıştır. Şekil 6.19'un karşılıklı bağlanmış devresi; C1= C2=0.1 nF, C3=3pF, gm 1= gm 2= gm3=0,01mS ve L p = Ls =100 μH ve M 11= M12= M21= M22=50 μH ile sonuçlanır. Bu da fo =8.5 MHz ve kalite faktörü Q = 1.97 ile sonuçlanır. Bu parametreleri kullanarak parazitik direnç Rw değeri, Io =170 nA seçilerek elde edilir. Benzer şekilde Zc-CFTA'nın gm değeri, ön yargı akımı IB =170 nA alınarak bulunur.



Şekil 6.22. Sunulan karşılıklı bağlantılı devreyi test etmek için bant geçişli filtre örneği

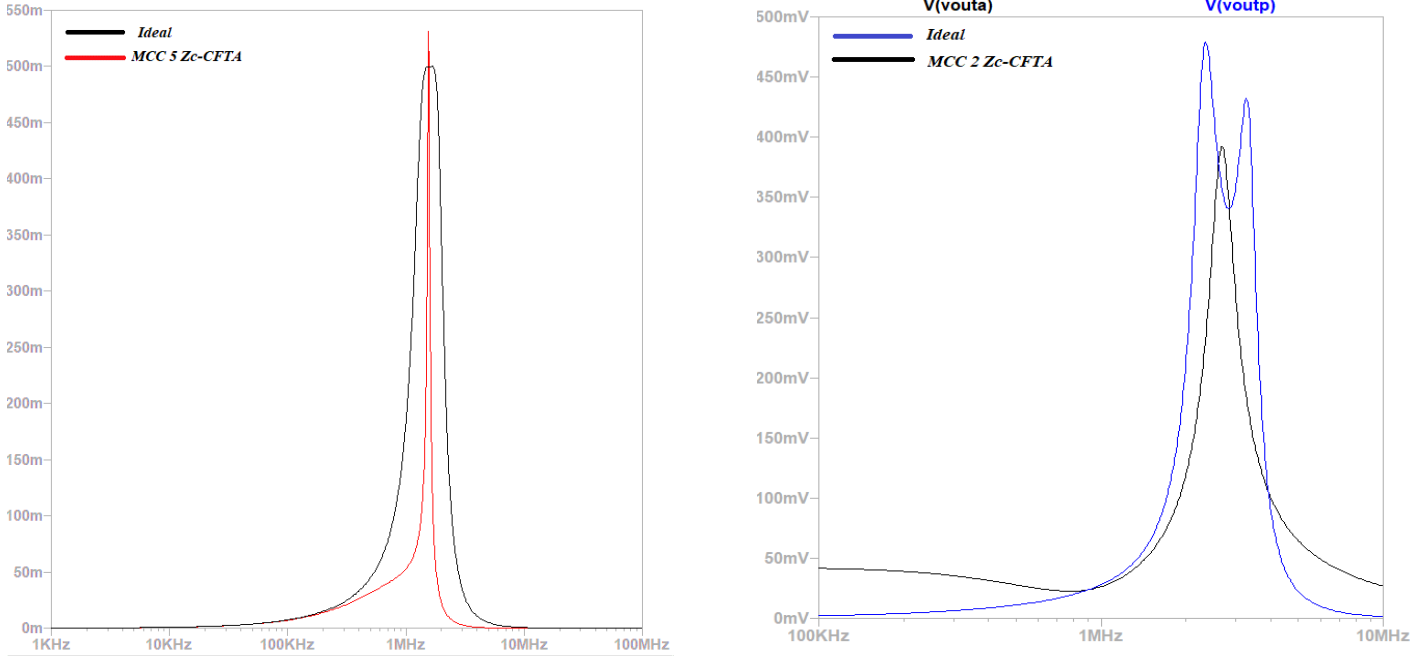


(a)



(b)

Şekil 6.23. Şekil 6.19'daki teorik ve simüle edilmiş bant geçiş filtresinin özellikleri



Şekil 6.24. Şekil 6.20'deki teorik ve simüle edilmiş bant geçiş filtresinin özellikleri

Filtrenin büyüklük özellikleri, karşılıklı bağlantılı devre (MCC) için Şekil 6.21'de ve şekil 6.19'da gösterilmiştir. Şekil 6.21'den teorik ve simüle edilmiş sonuçların iyi bir uyum içinde olduğu görülmektedir. Bu rakamları veren sayısal veriler incelendiğinde kazanç hatasının her frekans için %5'i geçmediği görülmektedir. Hata frekansların çoğunda yaklaşık %2'dir ancak hatanın sırası geçiş bandındaki tepe noktalarında daha yüksektir. Şekil 6.18'deki simüle edilmiş devre kullanılarak elde edilen sonuçlar ve ideal durum Şekil 6.22'de sunulmuştur.

GERİLİM VE AKIM MODUNA DAYALI ÖNERİLEN OSİLATÖR

6.2. GERİLİM MODU İLE OSİLATÖR TASARIMI FİNFET GM-C YAPISI

Osilatörler birçok tiptedir ve farklı devre konfigürasyonları ile gelir. Bazı osilatörler sinüzoidal sinyaller ve sinüzoidal olmayan sinyaller üretir. Darbe ve rampa (veya testere dişi) osilatörleri gibi sinüzoidal olmayan osilatörler zamanlama ve kontrol uygulamalarında kullanım bulur. Darbe osilatörleri dijital sistem saatlerinde yaygın olarak bulunur ve rampa osilatörleri osiloskopların ve televizyon setlerinin yatay süpürme devresinde bulunur. Sinüzoidal osilatörler, örneğin tüketici elektroniği ekipmanlarında (radyolar, TV'ler ve VCR'ler gibi), test ekipmanlarında (ağ

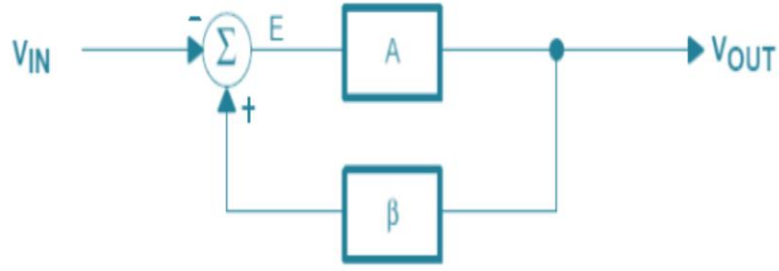
analizörleri ve sinyal jeneratörleri gibi) ve kablosuz sistemlerde birçok uygulamada kullanılır [104]. Dijital VLSI devreleri için bir MOS transistörünün minimum özellik boyutunun azaltılması son birkaç on yıldır devam etmektedir. Kanal uzunluğu derin alt mikrometre boyutlarına küçültüldüğünden cihazın güvenilirliğini sağlamak için daha düşük güç kaynağı voltajı gereklidir. Dijital VLSI teknolojileriyle uyumlu olması için düşük besleme gerilimlerinde çalışabilen analog entegre devreler de büyük ilgi görmektedir. Osilatörler çeşitli uygulamalarda kullanılır. Bu uygulamalar için yüksek harmoniklerin elektrikli ekipman üzerinde zararlı etkileri olduğundan düşük toplam harmonik bozulma değeri (THD) temel bir gerekliliktir. Bu yüksek dereceli harmonikler, iletim frekansı ile aynı frekanslarda salındıkları için iletişim iletim hatlarına da müdahale edebilir. Kontrol edilmezse artan sıcaklık ve parazit, elektronik ekipmanın ömrünü büyük ölçüde kısaltabilir ve güç sistemlerine zarar verebilir.

Op-amp osilatörleri, frekans spektrumunun alt ucu ile sınırlıdır çünkü opamperler yüksek frekanslarda düşük faz kayması elde etmek için gerekli bant genişliğine sahip değildir. Gerilim geri beslemeli op amfileri baskın olduğu için düşük kHz aralığıyla sınırlıdır, açık döngü kutbu 10 Hz kadar düşük olabilir. Yeni akım geri beslemeli op amfileri çok daha geniş bir bant genişliğine sahiptir ancak geri besleme kapasitansına duyarlı oldukları için osilatör devrelerinde kullanılması çok zordur. Osilatörler; ses, fonksiyon jeneratörleri, dijital sistemler ve iletişim sistemleri gibi uygulamalarda referans olarak kullanılan tek tip sinyaller oluşturmak için kullanışlıdır [105-110]. Bu uygulamalar için yüksek harmoniklerin elektrikli ekipman üzerinde zararlı etkileri olduğundan düşük bir toplam harmonik bozulma değeri (THD) temel bir gerekliliktir. Bu yüksek dereceli harmonikler, iletim frekansı ile aynı frekanslarda salındıkları için iletişim iletim hatlarına da müdahale edebilir. Kontrol edilmezse, artan sıcaklık ve parazit elektronik ekipmanın ömrünü büyük ölçüde kısaltabilir ve güç sistemlerine zarar verebilir. Kuadratür osilatörler (QO), 90° faz farkına sahip çıkışlar üretir. QO'nun faz kilitli sinus-kosinüs ilişkisi, modülasyon şemasının tek taraflı bant jeneratörleri ve Quadrature mikserleri gibi hem faz içi hem de kuadratür bileşenlerini kullandığı telekomünikasyon alanında yararlı uygulamalara sahiptir. QoS, enstrümantasyon ve güç elektroniği alanında da yaygın olarak kullanılmaktadır. Bu uygulamalar için yüksek harmoniklerin elektrikli ekipman üzerinde zararlı

etkileri olduğundan düşük toplam harmonik bozulma değeri (THD) temel bir gerekliliktir. Bu yüksek dereceli harmonikler, iletim frekansı ile aynı frekanslarda salındıkları için iletişim iletim hatlarına da müdahale edebilir. Kontrol edilmezse artan sıcaklık ve parazit elektronik ekipmanın ömrünü büyük ölçüde kısaltabilir ve güç sistemlerine zarar verebilir.

Düşük dereceli devrelere kıyasla daha yüksek dereceli ağların daha iyi doğruluk, frekans tepkisi ve bozulma performansı sağladığı iyi bilinmektedir. Bununla birlikte son zamanlarda literatürde sadece birkaç üçüncü dereceden QO'nun ortaya çıktığı için daha yüksek dereceli QO tasarımlarının fazla araştırılmadığı gözlemlenmiştir. Dikkatli bir gözlem, bildirilen QO tasarımlarının (i) ikinci dereceden bir düşük geçiş filtresi ve ardından bir entegratör [111] kullanılarak kapalı bir döngü oluşturmaya dayandığını göstermektedir. Kapsamlı bir literatür taraması, literatürde birçok OTA tabanlı ikinci dereceden QO'nun mevcut olduğunu ancak OTA kullanan yalnızca birkaç üçüncü sıra QO topolojisinin rapor edildiğini göstermektedir. Bu QO tasarımı ve ikinci dereceden bir düşük geçiş filtresi ve ardından bir entegratör kullanılarak kapalı bir döngü oluşturmaya dayanır.

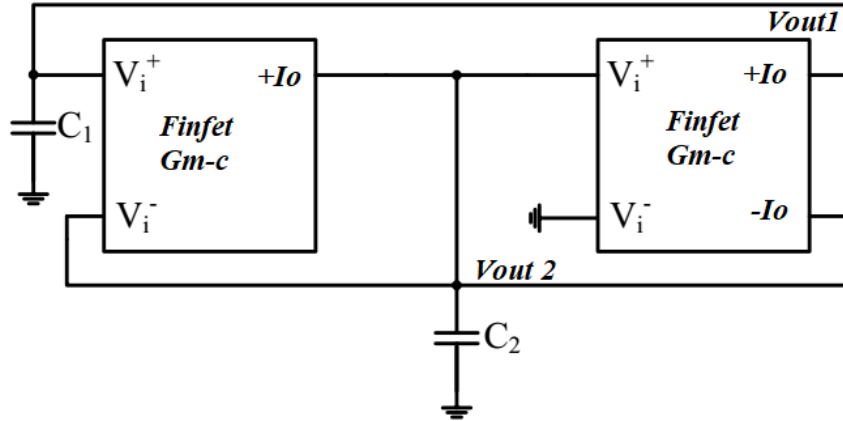
Bir sinüzoidal osilatörün temel yapısı, Şekil 5.1'de blok diyagram formunda gösterilenler gibi pozitif geri besleme döngüsüne bağlı bir amplifikatör ve bir RC veya LC frekans seçici ağından oluşur. Gerçek bir osilatör devresinde hiçbir giriş sinyali bulunmayacak olsa da çalışma prensibini açıklamaya yardımcı olmak için buraya bir giriş sinyali eklenmiştir. Negatif geri besleme döngüsünden farklı olarak burada geri besleme sinyalinin pozitif bir işaretle toplandığını belirtmek önemlidir. Üretilen sinüs dalgalarının genliği sınırlıdır veya ayrı bir devre ile veya amplifikatör cihazının doğrusal olmayanlarını kullanarak uygulanan doğrusal olmayan bir mekanizma kullanılarak ayarlanır. Buna rağmen rezonans fenomenlerini kullanarak sinüs dalgaları üreten bu devreler doğrusal osilatörler olarak bilinir. Doğrusal olmayan osilatörler veya fonksiyon jeneratörleri olarak adlandırılan kare, üçgen, darbe (vb.) dalga formları üreten devreler; çoklu vibratörler olarak bilinen devre yapı taşlarını kullanır.



Şekil 6.25. Bir osilatörün temel yapısı

6.1.1. Önerilen FinFET Gm-C Osilatörü

Önerilen dörtgen osilatör Şekil 6.24'te gösterilmiştir. Gm_1 , Gm_2 'nin transiletkenlik'tir ve C_1 , C_2 'nin pasif elemanlar olan kapasitörler olduğu FinFET Gm-C topolojisine dayanır.



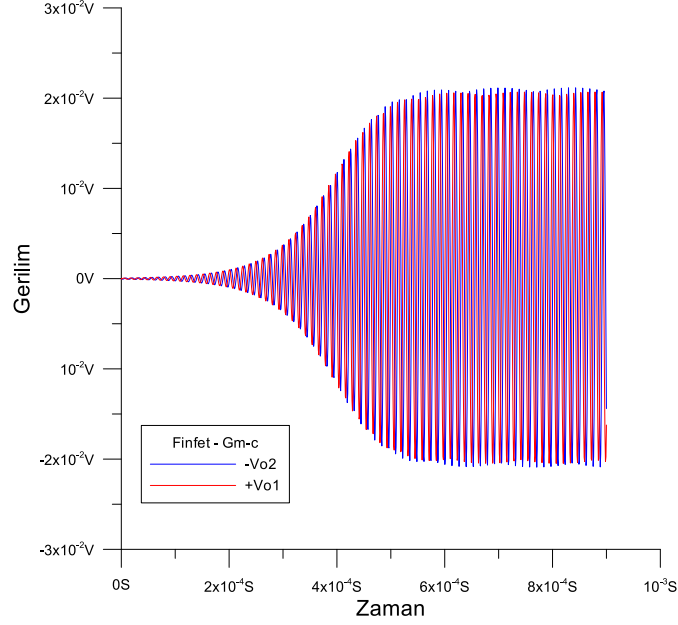
Şekil 6.26. Önerilen FinFET GM-c osilatörü

Şekil 6.24'te gösterilen önerilen osilatörün karakteristik denklemi aşağıdaki gibi ifade edilebilir:

$$s^2 + s(gm_1 - gm_2 / C_2) + (gm_1 gm_2 / C_1 C_2) \quad (6.30)$$

Önerilen osilatörün FinFET uygulaması Bölüm 5'te gösterilmiştir. FinFET transistörleri tarafından gerçekleştirilen sadece bir aşamalı transiletkenlik (Fin1- Fin 8) gm değerleri sağlar. Önerilen osilatör devresi Lineer teknoloji SPICE ve Cadence virtüözünde $VDD = 0.1$ V, $VSS = 0.1$ V ile 7 nm FinFET transistör işlemi

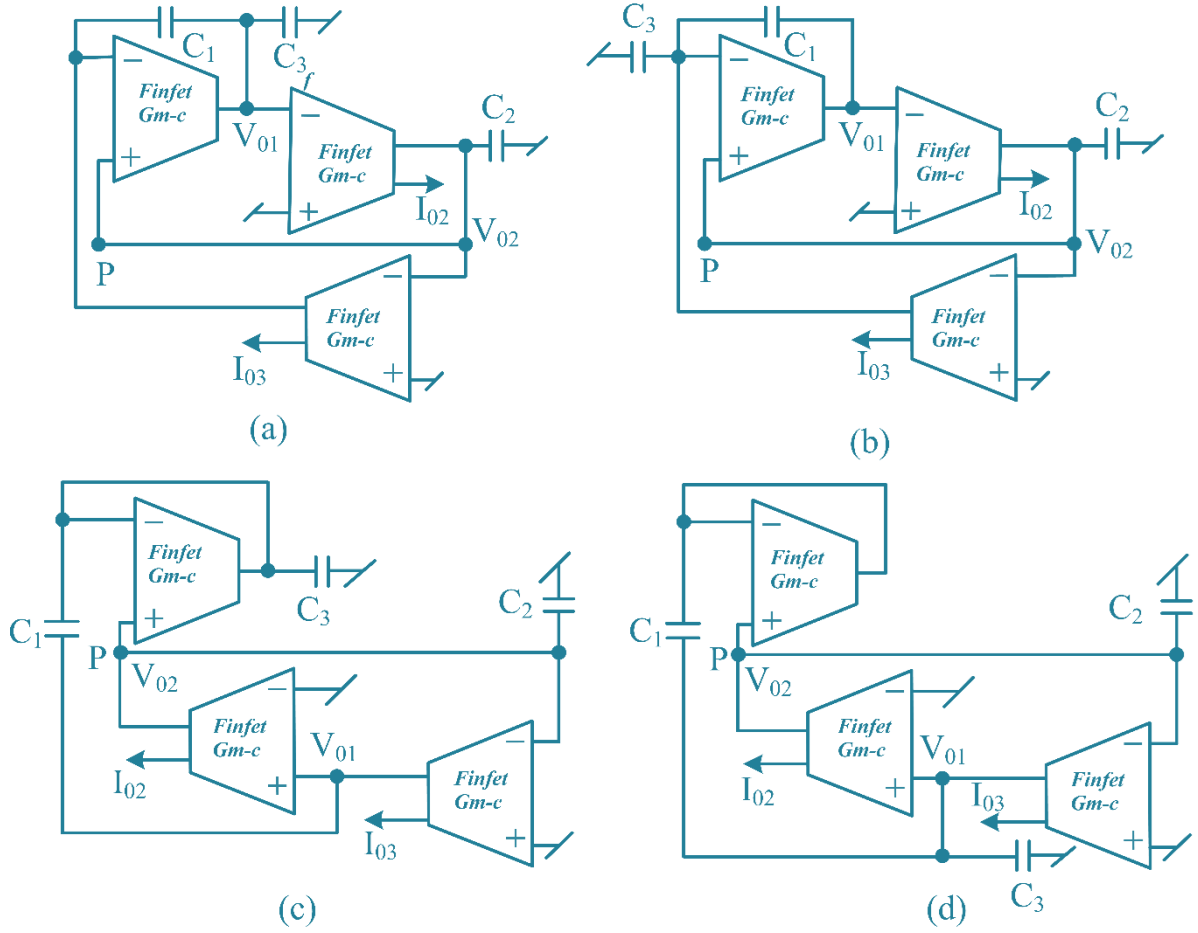
parametreleri kullanılarak simüle edilmiştir. DC bias voltajları seçilir, ön yargı akımları $I_B = 172 \text{ nA}$ olarak seçilir. Şekil 6.24'te verilen ve önerilen osilatör, $C_1 = C_2 = 1 \text{ nf}$ olarak seçilen pasif kapasitörler ile simüle edilir. Osilatörün V_{o1} ve V_{o2} çıkış sinyalleri için simülasyon sonuçları Şekil 6.25'te gösterilmiştir.



Şekil 6.27. Gm-c osilatörünün voltaj çıkışları

6.1.2. Gerilim Modu Gm-c Üçüncü Derece Sinüzoidal Osilatör Konfigürasyonları

Bu bölümde kanonik sayıda aktif ve pasif eleman kullanan dört dirençsiz TOQSO sunulmuştur. Bu devreler hem VM hem de CM'de çalıştırılabilir. Şekil 6.26, ToQSO'ların önerilen yeni konfigürasyonlarını göstermektedir.



Şekil 6.28. Önerilen üçüncü dereceden dörtlü sinüzoidal osilatörler TOQSO

İdeal gm-c varsayılırsa basit bir devre analizi, aşağıda verilen Şekil 6.26'daki dört TOQSO devresinin tümünün karakteristik denklemlerini (CE'ler) verir.

$$s^3 C_1 C_2 C_3 + s^2 C_1 C_2 g_{m1} + s C_1 g_{m2} (g_{m1} - g_{m3}) + g_{m1} g_{m2} g_{m3} = 0 \quad (6.31)$$

$$s^3 C_1 C_2 C_3 + s^2 C_1 C_2 g_{m1} + s C_1 g_{m2} (g_{m1} - g_{m3}) + C_3 g_{m1} g_{m2} + g_{m1} g_{m2} g_{m3} = 0 \quad (6.32)$$

$$s^3 C_1 C_2 C_3 + s^2 C_1 C_2 g_{m1} + (s C_1 g_{m2} (g_{m3} - g_{m1}) + C_3 g_{m2} g_{m3}) + g_{m1} g_{m2} g_{m3} = 0 \quad (6.33)$$

$$s^3 C_1 C_2 C_3 + s^2 C_2 (C_1 g_{m1} + C_3 g_{m1}) + s C_1 g_{m2} (g_{m3} - g_{m1}) + g_{m1} g_{m2} g_{m3} = 0 \quad (6.34)$$

Routh-Hurwitz kriterinin denklemlerde (6.31) -(6.34) verilen türetilmiş karakteristik Denklemler CE'ler üzerine uygulanması, önerilen TOQSO'ların osilatör CO'nun koşulu ve osilatör FO frekansı bulunmuştur ve Çizelge 6.1'de sunulmuştur.

Çizelge 6.1. Şekil 6.26 devresinin CO ve FO

<i>Şekil</i>	<i>Osilatörün Durumu</i>	<i>Osilatör frekansı</i>
Şekil 6.26 (a)	$g_{m1} = g_{m3}(1 + C_3/C_1)$	$\omega_{01} = \sqrt{g_{m2}g_{m3} / C_1C_2}$
Şekil 6.26(b)	$g_{m1} = g_{m3}$	$\omega_{01} = \sqrt{g_{m2}g_{m3} / C_1C_2}$
Şekil 6.26(c)	$g_{m1} = g_{m3}$	$\omega_{01} = \sqrt{g_{m2}g_{m3} / C_1C_2}$
Şekil 6.26(d)	$g_{m3} = g_{m1}(1 + C_1/C_3)$	$\omega_{01} = \sqrt{g_{m2}g_{m3} / C_2(C_1 + C_3)}$

Çizgele 1.1'den CO ve FO'nun dört durumda da etkileşime girmeyen elektronik kontrole sahip olduğu, CO'nun transiletkenlik g_{m1} kullanılarak ayarlanabileceği, FO'nun ise CO'yu etkilemeden g_{m2} üzerinden kontrol edilebildiği görülmektedir. Şekil 6.26 (b) ve Şekil 6.26 (c)'de gösterilen ve önerilen konfigürasyonlardan ikisinin CO'yu rahatsız etmeden FO'nun kapasitör ayarına sahip olduğunu belirtmek ilginçtir. Bu özellik, kapasitif dönüştürücülerle birlikte dönüştürücü osilatörlerinde kullanılabilir [112]. Şekil 6.26'daki devreler için çıkış voltajları (V_{01} ve V_{02}) ve çıkış akımları (I_{02} ve I_{03}) arasındaki kararlı durum ilişkisi sırasıyla Çizgele 6.2 ve Çizgele 6.3'te verilmiştir.

Çizgele 6.2. V_{01} ve V_{02} voltajları arasındaki dörtgen ilişkisi

Şekil 6.26 (a), Şekil 6.26 (b) Şekil	
6.26 (c)	$V_{o2}(j\omega) / V_{o1}(j\omega) = -(g_{m2} / \omega C_2) e^{-j90^\circ}$
Şekil 6.26 (d)	

Çizgele 6.3. Akımlar I_{01} ve I_{02} arasındaki dörtgen ilişkisi.

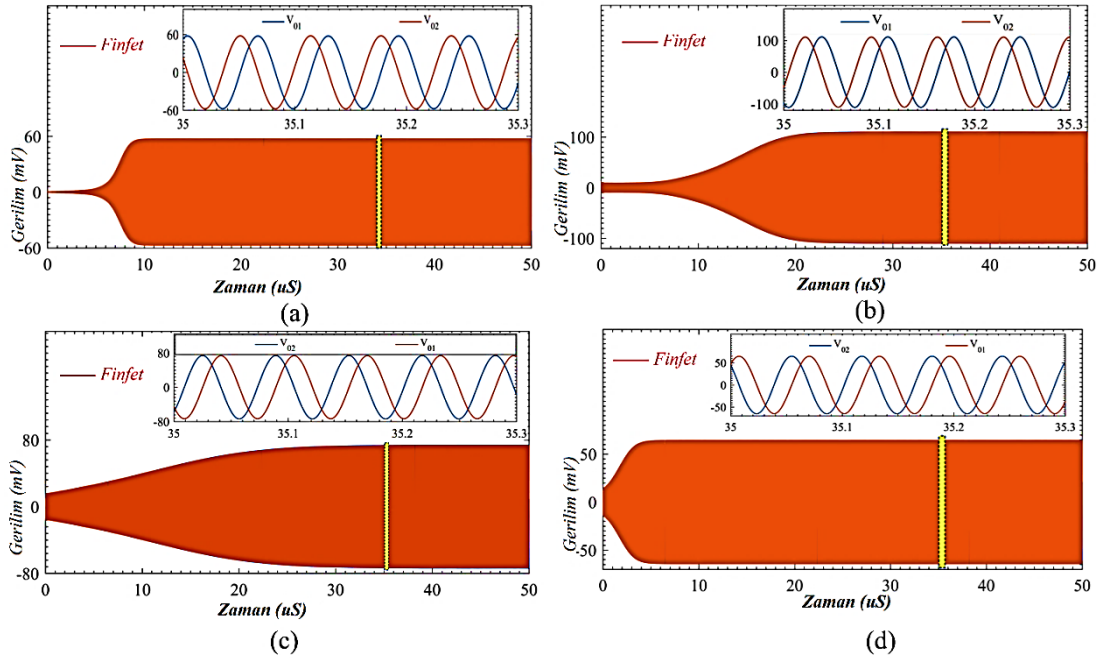
Şekil 6.26 (a), Şekil 6.26 (b) Şekil	
6.26 (c)	$I_{o3}(j\omega) / I_{o2}(j\omega) = -(g_{m3} / \omega C_2) e^{-j90^\circ}$
Şekil 6.26 (d)	

Çizgele 6.2 ve Çizgele 6.3'ten Şekil 6.26'da önerilen osilatörlerin hem VM hem de CM'de aynı anda dörtgen çıkışları sağladığı not edilebilir.

Şekil 6.26'da sunulan osilatör devrelerini simüle etmek için Linear teknoloji SPICE ve Cadence virtüöz simülasyonlarında kullanılan FinFET transistör 7 nm teknoloji parametreleri kullanılmıştır. Kullanılan besleme gerilimleri $VDD = VSS = 0.1V$ idi. Şekil 6.26'da sunulan TOQSO'lar, 1pF değerindeki özdeş kapasitörler ($C1 = C2 = C3$) kullanılarak 20.1 MHz'e eşit nominal bir salınım frekansı için tasarlanmıştır. Şekil 6.26 (a-d) için kullanılan çeşitli transiletkenlik değerleri Çizelge 6.4'te verilmiştir.

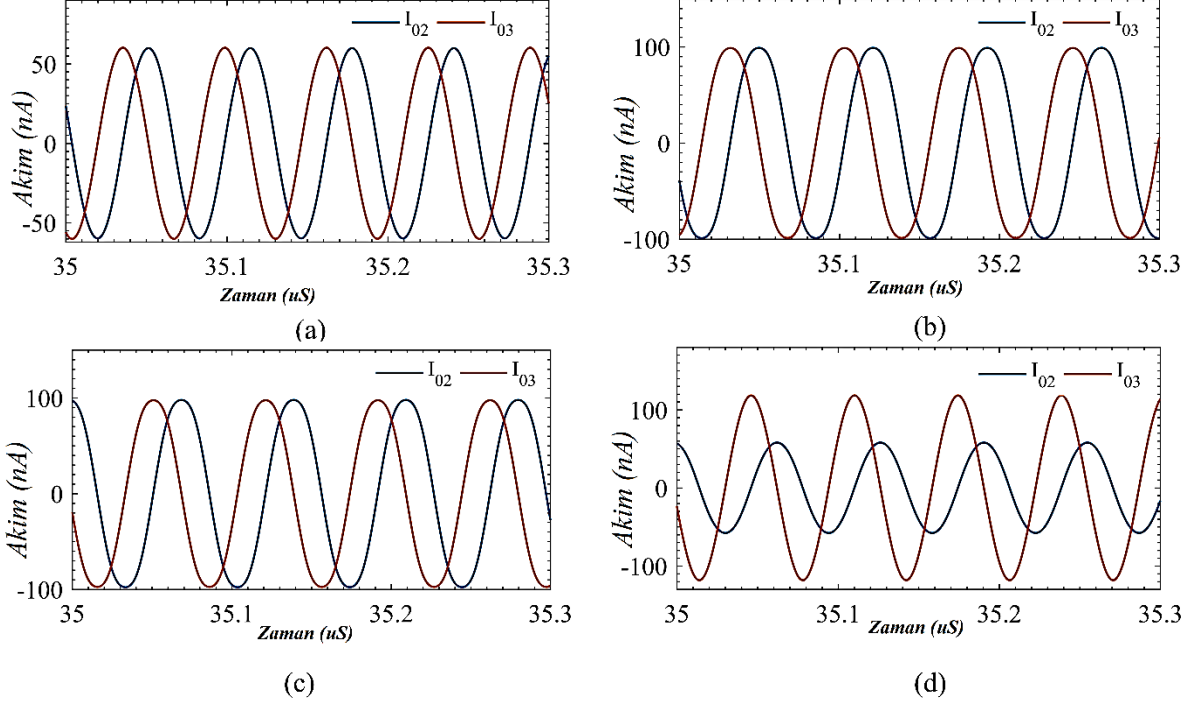
Çizelge 6.4. Şekil 6.26 için kullanılan çeşitli transiletkenlik değerleri

Şekil	$Gm1(mS)$	$Gm2(mS)$	$Gm3(mS)$
Şekil 6.26 (a)	2	1	1
Şekil 6.26(b)	1	1	1
Şekil 6.26(c)	1	1	1
Şekil 6.26(d)	1	1	2



Şekil 6.29. Şekil 6.26'da önerilen TOQSO'ların simüle edilmiş geçici ve kararlı durum yanıtlarını göstermektedir.

Şekil 6.27. Şekil 6.26'daki TOQSO'ların voltajlarının simüle edilmiş geçici ve kararlı durum tepkileri



Şekil 6.30. Şekil 6.26'daki simüle edilmiş geçici akım kareler çıkışları

6.3. Do-VDTA KULLANARAK GERİLİM MODU OSİLATÖRÜ

Bu topoloji, Do-VDTA kullanarak elektronik olarak ayarlanabilen bir voltaj modu üçüncü dereceden kareler osilatörü gösterir. Şekil 6.29, bu osilatörün devre şemasını göstermektedir. Bu, bir döngüde ters çevirici bir kayıpsız entegratör ile ikinci dereceden bir düşük geçiş filtresini basamaklı olarak oluşturulur. Devre, iki Do-VDTA'ya ek olarak üç topraklanmış kapasitör kullanır. Bu devre, yüksek empedanslı terminaller olan çıkış terminallerinde 90° faz farkında gerilim sinyalleri şeklinde iki çıkış sağlar. Salınım frekansının elektronik olarak ayarlanması ve salınım durumu, do-VDTA'nın ön yargı akımları değiştirilerek yapılabilir. Şekil 6.29 devresinin $gm_1 = gm_2 = gm$ ($IB_1 = IB_2$) dikkate alınarak analizi, karakteristik denklemi şu şekilde verir:

$$s^3 C_1 C_2 C_3 + s^2 g_{m1} C_3 (C_1 + C_2) + s g_{m1} g_{m2} C_3 + g_{m1} g_{m2} = 0 \quad (6.35)$$

Bu iletkenliğin değeri 6.36 ila 6.37 denklemlerinde verildiği gibidir. Salınım durumu ve salınım frekansı şu şekilde verilir:

CO:

$$\frac{g_{m1}(C_1 + C_2)}{C_2 C_1} = \frac{g_{m2}}{C_3} \quad (6.36)$$

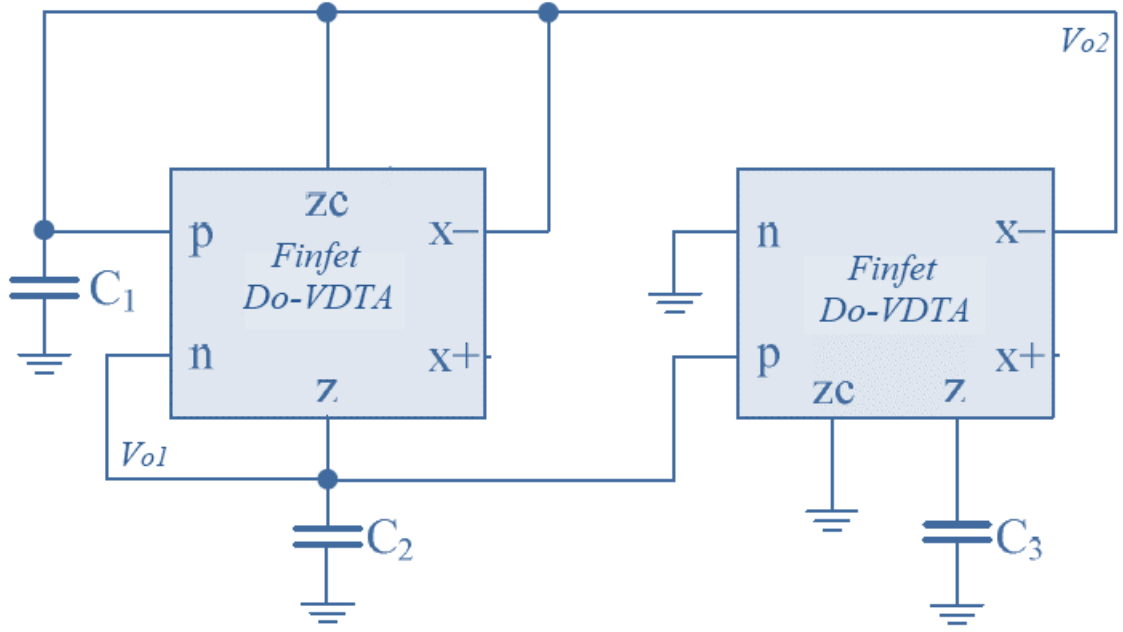
FO:

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{g_{m1} g_{m2}}{C_1 C_2}} \quad (6.37)$$

Yukarıdaki 2 denkleme bakarak salınım durumunun elektronik kontrolü için IBS2 ön yargı akımı kullanarak kontrolü uygulayan g_{m2} 'nin kullanıldığı açık bir gözlem olabilir. Salınım frekansı, Do-VDTA ön yargı akımları kullanılarak, g_m kullanılarak değiştirilebilir ve bu salınım durumunu bozmaz. Bu, C.O ve F.O'nun bağımsız olarak kontrol edildiği anlamına gelir. Osilatör frekansındaki iki karelik çıkış voltajı arasındaki ilişki şöyledir:

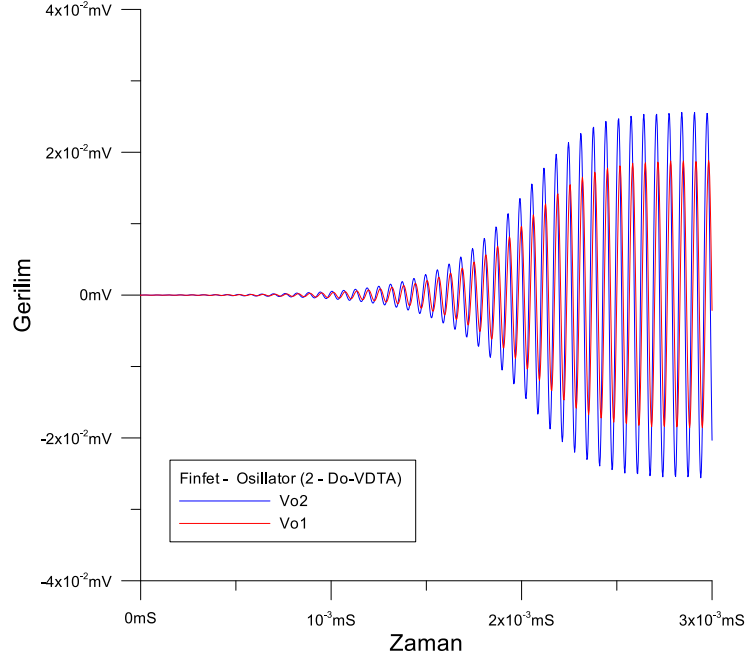
$$\frac{V_{o2}(j\omega)}{V_{o1}(j\omega)} = \frac{g_{m2}}{\omega C_3} e^{-j90^\circ} \quad (6.38)$$

İki akım çıkışı arasındaki 90° 'lık faz kayması, devrenin çıkışları olarak voltaj sinyalleri sağladığını açıkça ortaya koymaktadır. Çıkış, yüksek empedanslı terminaller olan do-VDTA'nın x terminallerinden alındığı için çıkış ek olarak bir tamponlama devresine ihtiyaç duymadan doğrudan bir sonraki aşamaya bağlanabilir. Çıkış sinyallerinin büyüklüğü her iki durumda da aynı olmadığından eşit büyüklükte voltaj sinyallerine ihtiyaç duyan uygulamalar için başka yükseltici devrelere ihtiyaç duyulacaktır.



Şekil 6.31. Gerilim modu Do-VDTA osilatörü

Bu simülasyon için Bölüm 5'te verilen Do-VDTA'nın FinFET uygulaması kullanılır. Simülasyon, Lineer teknoloji SPICE ve Cadence virtüözü üzerinde 7 nm FinFET işlem parametreleri kullanılarak yapılır. Verilen devrede ön yargı sağlamak için kullanılan besleme voltajları $VDD = VSS = 0.1$ Volt'tur. Kapasitörlerin değerleri $C1 = C2 = C3 = 10$ pF olarak seçilir. Transiletkenlik $gm1 = gm2 \approx 210$ nA/V olarak seçilir ve bu transiletkenlik değerlerini ayarlamak için do-VDTA için ön yargı akımları $iB = 175$ nA olarak seçilir. Teorik olarak osilatörün frekansı 1.2 MHz'dir. Zaman alanı simülasyonunun sonuçları, osilatör voltajı $Vo1$ ve $Vo2$ çıkışlarından biri için Şekil 6.30'da gösterilmiştir.

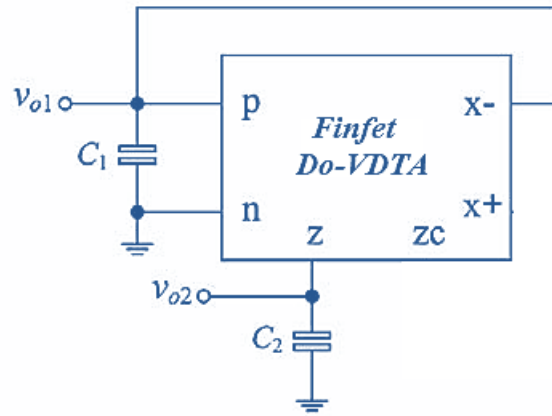


Şekil 6. 32

Şekil 6.33. Gerilim modu DO-VDTA osilatör çıkış dalga formları

6.4. TEK DO-VDTA TABANLI SİNÜZOİDAL KUADRATÜR OSİLATÖR

Sunulan osilatör; tek bir do-VDTA, iki topraklanmış kapasitörden oluşur. Faz 90^0 'de farklılık gösteren iki sinüzoidal dalga formu üretilmiştir. Sunulan devre şekil 6.31'de gösterilmiştir, kare çıkış voltajları sırasıyla Vo1 ve Vo2 olarak tanımlanmıştır.



Şekil 6.34. — Önerilen voltaj modu DO-VDTA osilatörü

Yukarıdaki osilatör karesi için karakteristik denklem şu şekilde elde edilir:

$$s^2 C_1 C_2 + g_{m1} g_{m2} = 0 \quad (6.39)$$

Denklem 6.39'dan CO ve FO'yu aşağıdaki gibi elde etmiştir:

$$\omega_o = 2\pi f_o = \sqrt{\frac{g_{m1} \cdot g_{m2}}{C_1 \cdot C_2}} \quad (6.40)$$

Basitlik için eğer $g_m = g_{m1} = g_{m2}$ ve $C_1 = C_2$ ise denklem 6.40 içindeki ω_o parametresi şu şekildedir:

$$f_o = \frac{g_m}{2\pi C} \quad (6.41)$$

6.39 ve 6.40 denkleminden salınım durumunun ve salınım frekansının birbirinden bağımsız olduğu sonucuna varılmaktadır. G_m ile FO'yu ayarlayabilir.

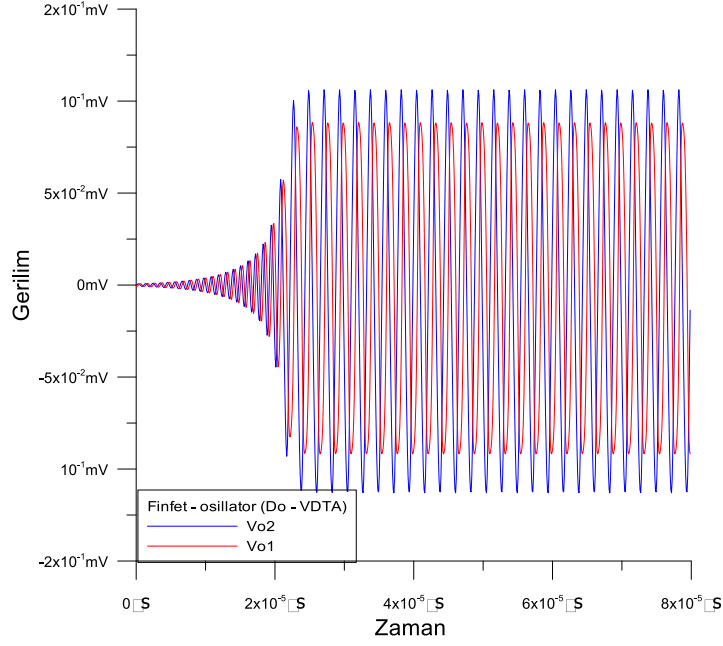
Şekil 6.31 devrelerinin analizinden V_{o1} ve V_{o2} çıkış voltajlarının voltaj transfer fonksiyonu aşağıdaki gibi türetilir:

$$\frac{V_{o2}}{V_{o1}} = -\frac{j\omega C_1}{g_{m1}} \quad (6.42)$$

Denklem 6.42'den V_{o2} ve V_{o1} 'in faz farkının 90° olduğu gözlenir.

Şekil 6.31'de sunulan osilatörü doğrulamak için FinFET 7 nm teknolojisini kullanarak Bölüm 5'te Do-VDTA'yı tasarlamalı ve simüle etmeliyiz. Verilen gerilimler ± 0.1 V olarak ön yargı akımları $I_B = 175$ nA'dır. Dolayısıyla elde edilen trans-iletkenlik değeri $g_m = 32.1$ nA/V'dir. Sunulan devrenin pasif bileşenlerinin değerleri $C_1 = C_2 = 1$ nF olarak kapasitörlerdir.

Simülasyon sonuçlarından salınım frekansının $f_0 = 210$ kHz olduğu bilinmektedir. Ancak teorik salınım frekansı 223 kHz'dir. Dolayısıyla bazı parazit elemanlar ve voltaj izleme hatası nedeniyle salınım frekansında %2 sapma vardır. Şekil 6.32'den osilatör devresinin aralarında 90° faz bulunan iki sinüzoidal dalga formu ürettiği elde edilir. Bu nedenle sunulan devrenin ikinci dereceden bir sinüzoidal osilatör devresi olduğu doğrulanır.



Şekil 6.35. Tek Do-VDTA osilatörünün geçici çıkışı

6.5. AKIM MODU İLE OSİLATÖR TASARIMI FİNFET MU-ZC-CDTA YAPISI

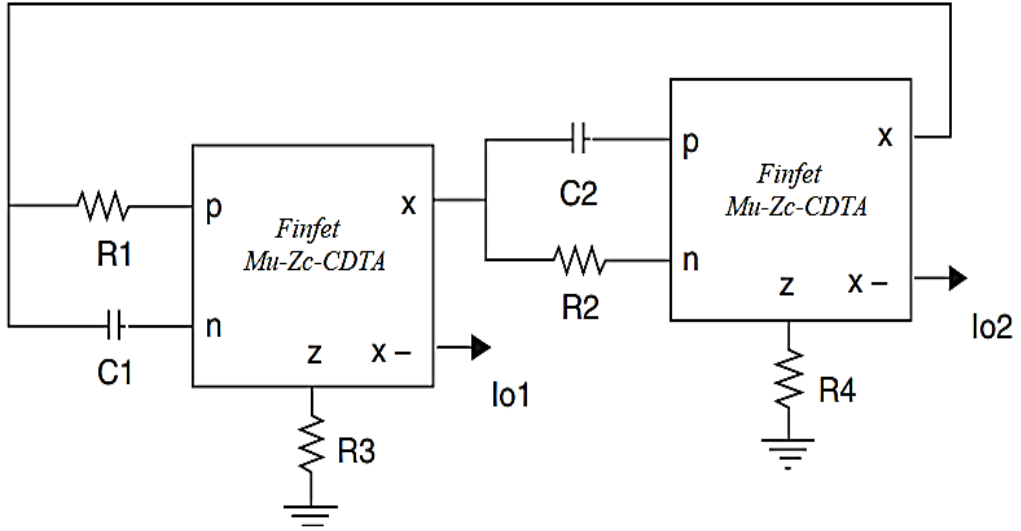
Elektronik sistemlerin tasarımında örneğin sinüzoidal, kare, üçgen veya darbe gibi öngörülen standart dalga biçimine sahip sinyallere ihtiyaç sıklıkla ortaya çıkar. Standart sinyallerin gerekli olduğu sistemler arasında çeşitli dalga biçimlerindeki sinyallerin bilgi taşıyıcıları olarak kullanıldığı, iletişim sistemleri için saat darbelerinin gerekli olduğu bilgisayar ve kontrol sistemleri, elektronik cihazları ve devreleri test etmek ve karakterize etmek için yine çeşitli dalga formlarından sinyallerin kullanıldığı test ve ölçüm sistemlerini içerir.

Standart dalga formlarından en yaygın olarak kullanılan sinüzoidlerin üretimi için iki farklı yaklaşım vardır. Bu bölümde sunulan ilk yaklaşım, bir amplifikatör ve bir RC frekans seçici ağından oluşan pozitif bir geri besleme döngüsü kullanır. Üretilen sinüs dalgalarının genliği, ayrı bir devre ile veya amplifikatör cihazının doğrusal olmayan özellikleri kullanılarak uygulanan doğrusal olmayan bir eylem kullanılarak sınırlandırılır veya ayarlanır. Bu devreler rezonans fenomenlerini kullanarak sinüs dalgaları üretir ve bunlara doğrusal osilatörler denir. Daha popüler olarak gevşeme

osilatörleri olarak bilinen kare, üçgen, darbe dalga formları; doygunluk modunda çalışan amplifikatörler tarafından üretilir ve doğrusal olmayan osilatörler olarak adlandırılır.

Literatür araştırmasında Mu-Zc-CDTA'nın farklı türevlerini kullanan hem voltaj modu hem de akım modu olmak üzere birçok osilatör devresinin tanıtıldığı bulunmuştur. Aşağıda önemli özellikleri ile bu osilatörlerin kısa bir özeti sunulmaktadır.

Şekil 6.33'te verilen osilatör devresi, iki RC frekans seçici ağ ve Mu-ZC-CDTA'lar kullanılarak tasarlanmıştır. Burada osilatör devresi tasarımı için pozitif geri besleme bağlantısı kullanılır.



Şekil 6.36. Mu-Zc-CDTA tabanlı dörtlü osilatörün devre konfigürasyonu

Şekil 6.33'te verilen osilatör devresi için elde edilen karakteristik denklem:

$$g_{m1}g_{m2}R_3R_4\left(\frac{R_2C_2s-1}{R_2C_2s+1}\right)\left(\frac{1-R_1C_1s}{1+R_1C_1s}\right)=1 \quad (6.43)$$

$$g_{m1}g_{m2}R_3R_4 \left[\frac{R_1R_2C_1C_2 s^2 - (R_1C_1 + R_1C_2) s + 1}{R_1R_2C_1C_2 s^2 + (R_1C_1 + R_1C_2) s + 1} \right] = 1 \quad (6.44)$$

$\omega_1 = \omega_2 = \omega_0$ 'daki devrenin toplam faz kayması:

$$\Phi(\omega) = \Pi - 2 \tan^{-1} \left(\frac{\omega_0 R_1 C_1 + \omega_0 R_2 C_2}{1 - \omega_0^2 R_1 R_2 C_1 C_2} \right) \quad (6.45)$$

Elde edilen osilatör frekansı denklem (6.46) ile verilir:

$$\omega_0 = \frac{1}{\sqrt{R_1 R_2 C_1 C_2}} \quad (6.46)$$

Her iki MU-ZC-CDTA'nın da aynı devreye sahip olduğu durum için yani $g_{m1} = g_{m2}$ ve devre tekdüzeliği için $R_1 = R_2 = R$ ve $C_1 = C_2 = C$ ayarlanırsa o zaman salınım frekansı denklemle verilir (Denklem 6.47):

$$\omega_0 = \frac{1}{RC} \quad (6.47)$$

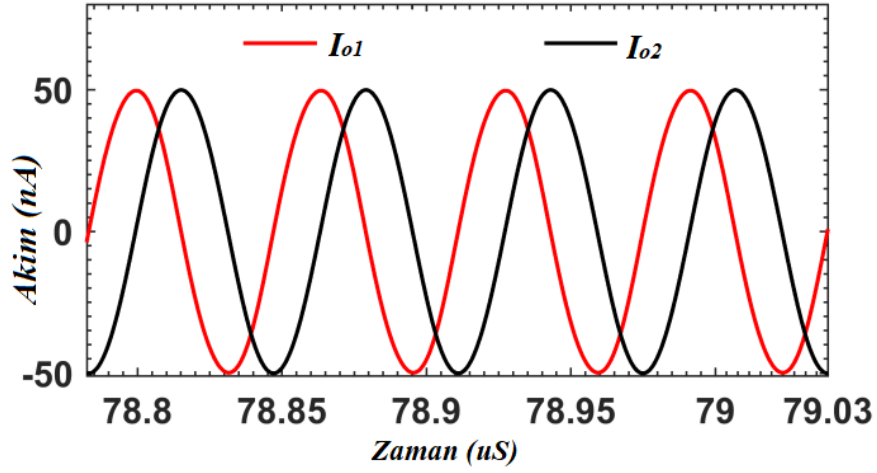
Bu nedenle Şekil 4.8'de sunulan devrenin frekansı; transiletkenlik, R_3 ve R_4 'ün varyasyonundan bağımsızdır.

Bununla birlikte genlik koşulu yerine getirilmelidir.

$$g_{m1}.g_{m2}.R_3.R_4 = 1 \quad (6.48)$$

Burada g_{m1} ve g_{m2} sırasıyla Mu-Zc-CDTA1 ve Mu-Zc-CDTA2'nin transiletkenliğidir.

Osilatör devresinin simülasyonu için kullanılan parametre değerleri şunlardır: $G_{m1} = G_{m2} = 561 \mu A/V$, $R_1 = R_2 = 2.9 K\Omega$, $C_1 = C_2 = 1 nf$, $R_3 = R_4 = 3.8 K\Omega$ Frekans ifadesinde yukarıdaki parametrelerin değerlerinin yerine getirilmesi, elde edilen frekansın teorik değeri teorik olarak = 1m Hz'dir. Böylece $f = 2.1 M HZ$ frekansının osilatörü tasarlanmıştır. Salınımların yumuşak başlangıcını elde etmek için R_3 ve R_4 değerleri 3.8 K Ω olarak ayarlanır.



Şekil 6.37. Mu-Zc-CDTA tabanlı osilatör devresinin X- terminalinde sinüzoidal akım çıkışı

6.6. ZC-CFTA KULLANAN AKIM MODU DİRENÇSİZ OSİLATÖR

Sunulan ve ilk önerilen CM dörtgen osilatörü, Şekil 6.35'teki CM filtresinin Zc-CFTA tabanlı negatif direnç aracılığıyla genişletilmesiyle tasarlanmıştır. Aşağıdaki şekilde önerilen CM dörtgen osilatörü için rutin analiz aşağıdaki karakteristik denklemi (CE) verir:

$$s^2 C_1 C_2 R_{f1} + s C_2 (1 - R_{f1} g_{m2}) + g_{m1} = 0. \quad (6.49)$$

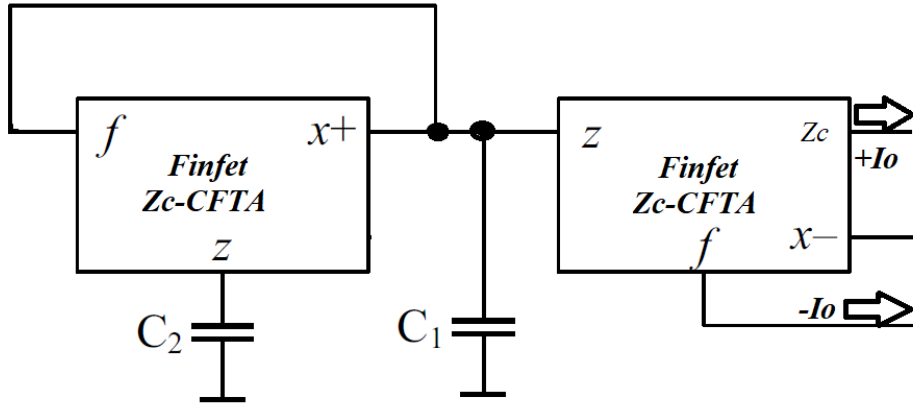
Denklemden (6.49), osilatörün durumu (CO) ve osilatör frekansı (FO) şunlardır:

Co.

$$g_{m2} \geq 1/R_{f1} \quad (6.50)$$

Fo.

$$F0 = \frac{1}{2\pi} \sqrt{\frac{g_{m1}}{R_{f1} C_1 C_2}} \quad (6.51)$$



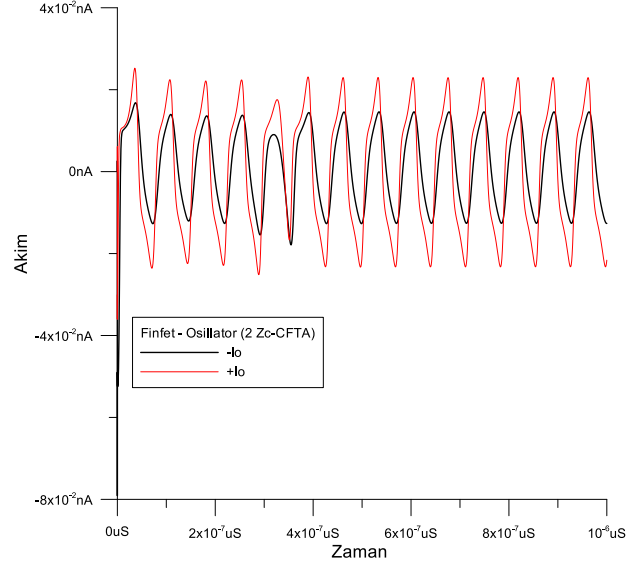
Şekil 6.38. Zc-CFTA'ları kullanan önerilen Akım modlu osilatörü

(6.50) ve (6.51)'den CO'nun transiletkenlik g_{m2} 'nin değişmesi yoluyla FO'dan bağımsız olarak kontrol edilebileceği ve FO'nun kontrol edilebileceği açıkça anlaşılmaktadır. Sırasıyla transiletkenlik g_{m1} 'i ayarlayarak, böylece önerilen osilatör CO ve FO'nun bağımsız kontrolünü sağlar. Şekil 6.35'te işaretlenmiş iki açık kare akım çıkışı şu şekilde ilişkilidir:

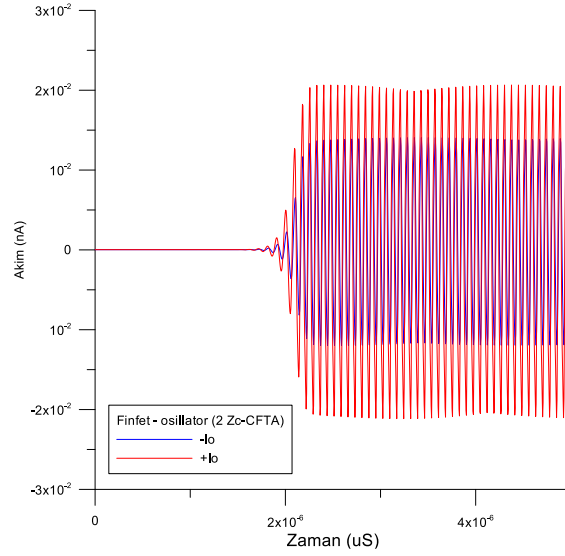
$$\frac{I_{out2}}{I_{out1}} = \frac{g_{m1}}{sC_2 R_{f1} g_{m2}} \quad (6.52)$$

Faz farkının $\varphi = 90^\circ$ olduğu durumlarda mevcut Iout1 ve Iout2'nin osilatör olmasını sağlar.

6.35'te önerilen osilatörün yukarıda verilen teorik analizini doğrulamak için cadence ve doğrusal teknoloji SPICE kullanılarak simüle edilmiştir. Simülasyonlarda Zc-CFTA'nın FinFET uygulaması kullanılmıştır, Önerilen devre aşağıdaki pasif ve aktif bileşen değerleri kullanılarak tasarlanmıştır: $C1 = C2 = 1 \text{ nF}$. Simülasyonlar 7 nm FinFET teknolojisi parametrelerine dayalı olarak gerçekleştirilmiştir ve $f_0 = \omega_0/2\pi \approx 1 \text{ MHz}$ osilatör frekansı ile tasarlanmıştır. Her iki çıkıştaki THD %5'ten azdır. Cadence ve doğrusal teknoloji SPICE simülasyonları, önerilen her iki devrenin fizibilitesini doğrular ve sonuçlar teori ile iyi bir uyum içindedir.



(a)



(b)

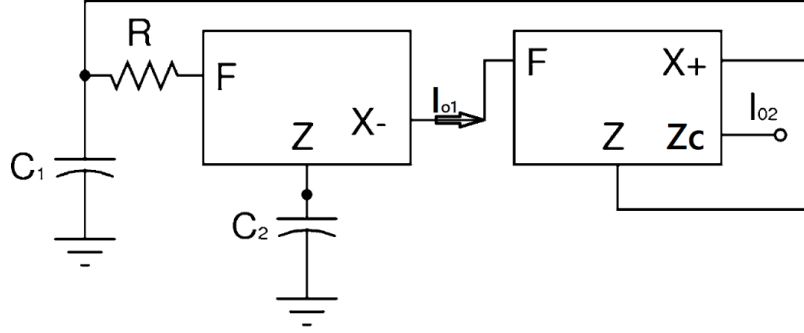
Şekil 6.39. Önerilen osilatörün simülasyon sonuçları ve geçici yanıt edilmiş çıkış dalga formları I_{o1} ve I_{o2}

6.7. İKİ TOPRAKLANMIŞ KAPASİTÖR VE BİR DİRENÇ KULLANAN ÖNERİLEN ZC-CFTA OSİLATÖRÜ

Şekil 6.37, önerilen Zc-CFTA'ya dayanan dörtgen osilatörünü göstermektedir. İki ZC-CFTA, iki topraklanmış kapasitör ve bir dirençten oluşur. Önerilen osilatör, birbirleri arasında 90 faz farkı olan iki çıkış akımı (I_{O1} ve I_{O2}) üretir. Rutin analiz (6.37) aşağıdaki karakteristik denklemini verir.

$$s^2 C_1 C_2 R + s(C_2 - C_2 R g_{m2}) + g_{m1} = 0$$

6.53



Şekil 6.40. Önerilen Zc-CFTA osilatörünün devre şeması

Osilatörün (CO) durumu ve osilatörün frekansı (FO), Denklem (6.53) kullanılarak hesaplanır:

$$R G_{m2} = 1 \quad (6.54)$$

$$\omega_0 = \sqrt{\frac{g_{m1}}{C_1 C_2 R}} \quad (6.55)$$

(6.54)'ten (6.55)'e kadar CO'nun I_{C2} 'nin ayarlanması ile koşullu olarak kontrol edildiği ve FO'nun CO'yu rahatsız etmeden I_{C1} 'in ayarlanması yoluyla G_{m1} değerlerinin değişmesiyle elektronik olarak ayarlanabileceği sonucuna varılmıştır. I_{o1} ve I_{o2} 'den gelen akım aktarım fonksiyonu:

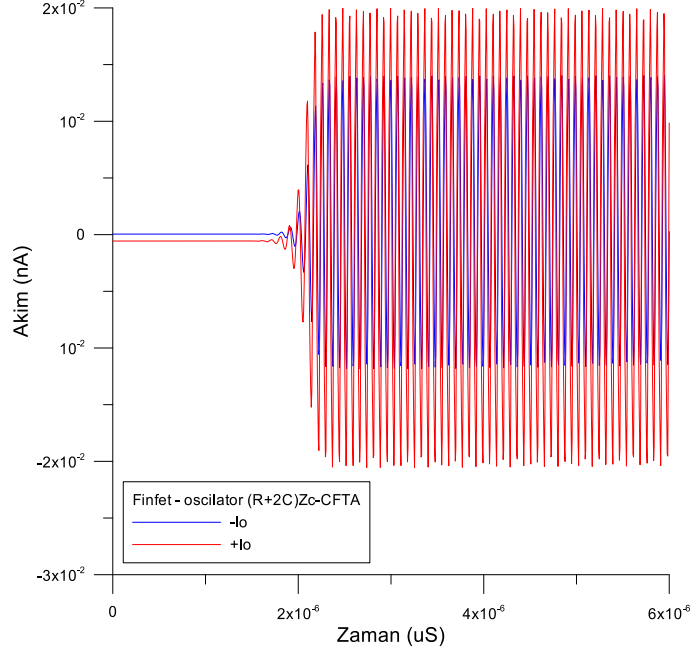
$$\frac{I_{o2}}{I_{o1}} = \frac{g_{m1}}{s C_2} \quad (6.56)$$

Sinüzoidal kararlı durum altında Denklem (6.56) olur.

$$\frac{I_{o2}}{I_{o1}} = \frac{g_{m1}}{\omega_0 C_2} e^{-90^\circ} \quad (6.57)$$

Şekil 6.37'de gösterilen devreler, 7 nm FinFET işlem parametrelerine sahip cadence aracı kullanılarak da simüle edilmiştir. Önerilen dörtgen osilatör, aşağıdaki pasif ve

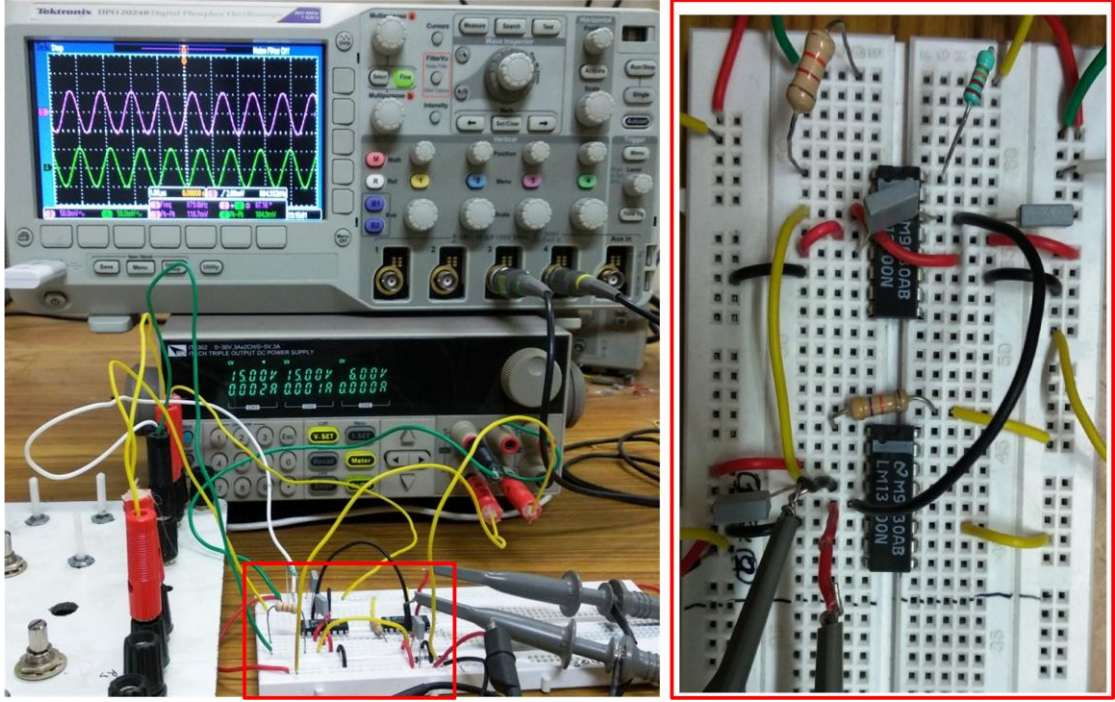
aktif bileşen değerleri kullanılarak 9 MHz'lik bir osilatör frekansı için tasarlanmıştır: $C1 = C2 = 10$ pF, $R = 1$ K ($I_B = 170$ nA'da) önerilen Z_C -CFTA₁ ve Z_C -CFTA₂'nin sırasıyla. İlk ve sabit durumlardaki karatür akımı I_{O1} ve I_{O2} 'nin simüle edilmiş dalga biçimleri Şekil 6.38'de gösterilmiştir.



Şekil 6.41. Kuadratür osilatörün akım dalga formlarının simülasyon sonuçları

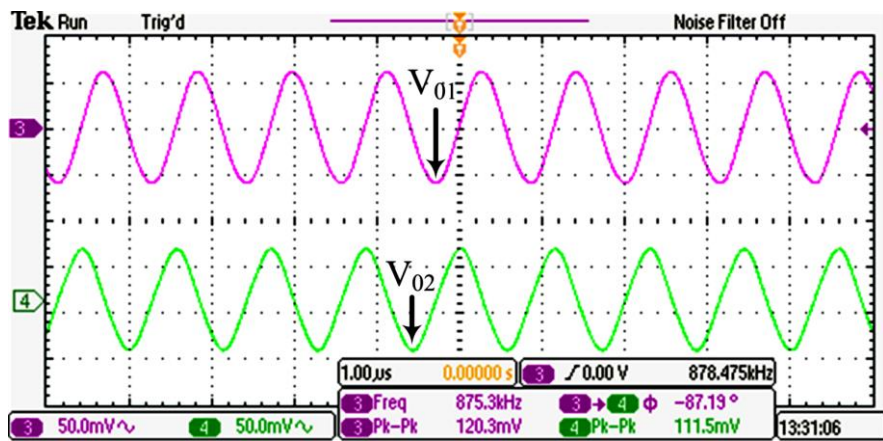
6.8. DENEYSEL SONUÇLAR OTA

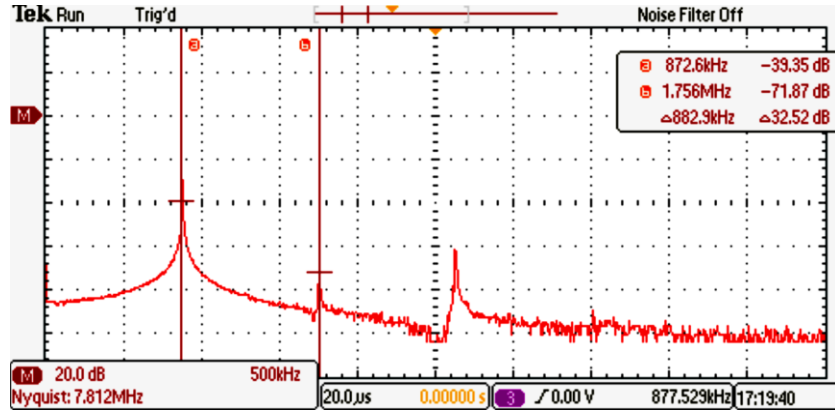
Şekil 6.26'da sunulan üçüncü derece kuadratür sinüzoidal osilatör (TOQSO) devrelerinin işlenebilirliği, ayrı bileşenler kullanılarak deneysel olarak da test edilmiştir. Şekil 6.26'da gösterilen tüm devreler ekmek kartına yerleştirilmiş (kullanıma hazır OTA IC LM13700, %1 tolerans dirençleri ve %10 tolerans kapasitörleri kullanılarak) ve teorinin deneysel olarak doğrulanması için test edilmiştir. LM13700'ün ön yargılaması için VCC, 15V olarak ayarlanmıştır. 880 kHz nominal salınım frekansı için Şekil 6.26'daki dört konfigürasyonun tümü için 1nF değerindeki özdeş kapasitörler kullanılmıştır. Şekil 6.39, deneysel kurulumun anlık görüntüsünü göstermektedir.



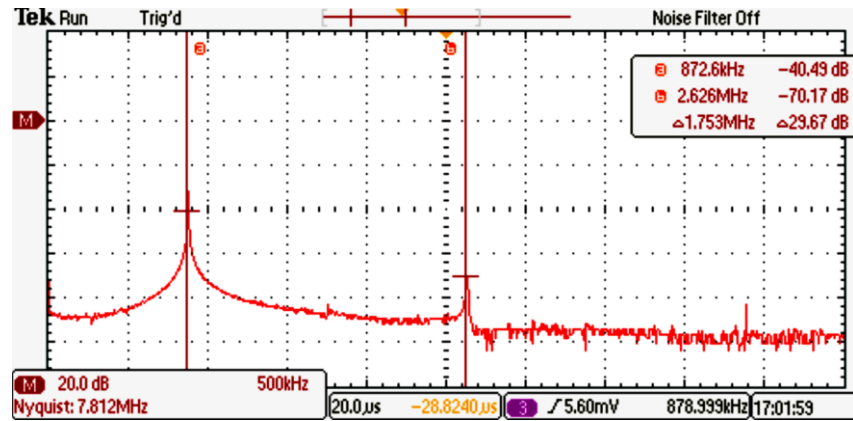
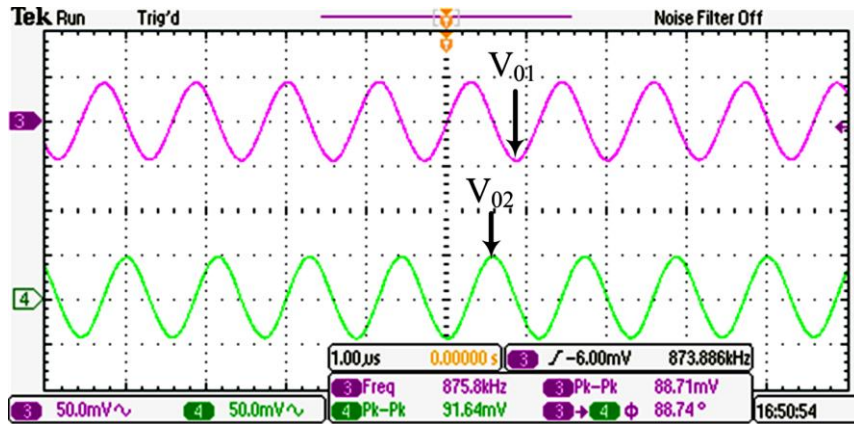
Şekil 6.42. Şekil 6.26 (d)'de gösterilen TOQSO için deneysel kurulum

Şekil 6.40 ila Şekil 6.43, önerilen TOQSO'ların frekans spektrumu ile geçici tepkileri temsil eder. Donanım sonuçlarından elde edilen frekansların sırasıyla 881.3 kHz, 883.8 kHz, 885.5 kHz ve 887.2 kHz olduğu ve F_0 'nun (880 kHz) teorik değerine çok yakın olduğu bulunmuştur.

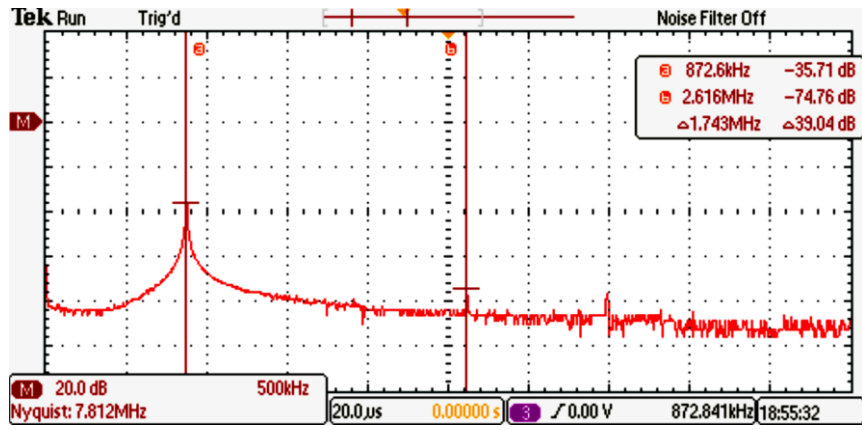
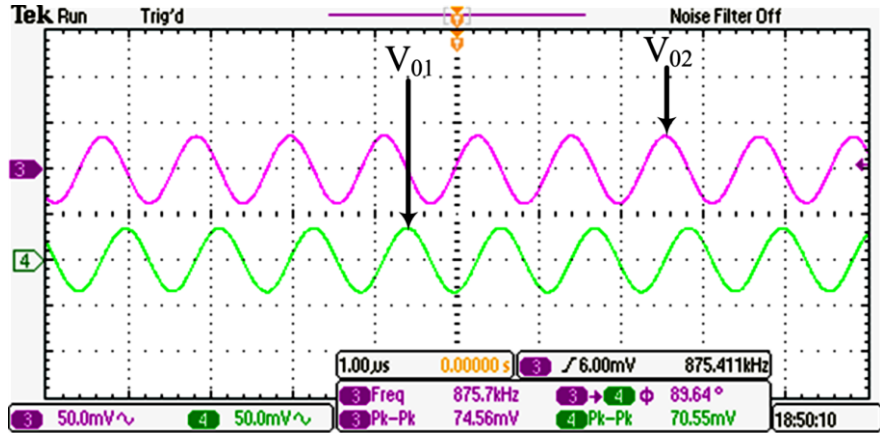




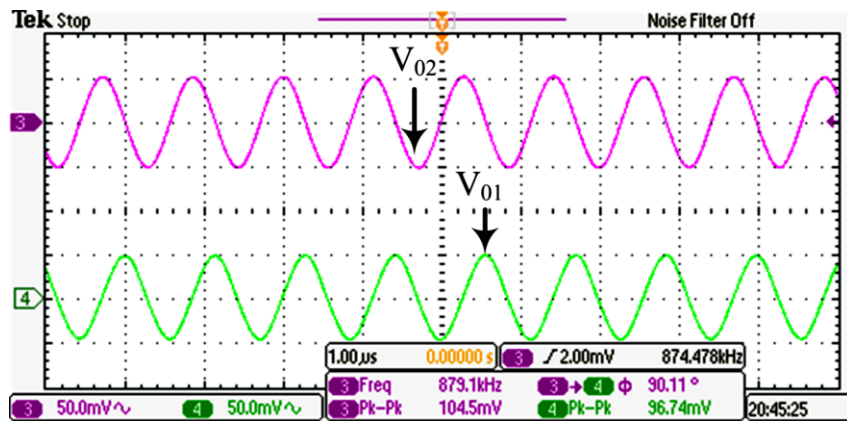
Şekil 6.43. Deneysel VM dörtgen çıkış dalga formları ve Şekil 6.26 (a)'nın frekans spektrumu

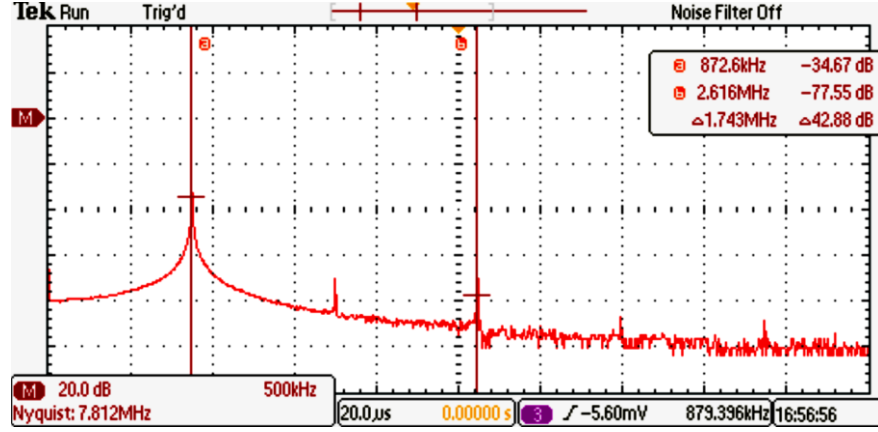


Şekil 6.44. Deneysel VM dörtgen çıkış dalga formları ve Şekil 6.26 (a)'nın frekans spektrumu



Şekil 6.45. Deneysel VM dörtgen çıkış dalga formları ve Şekil 6.26 (a)'nın frekans spektrumu

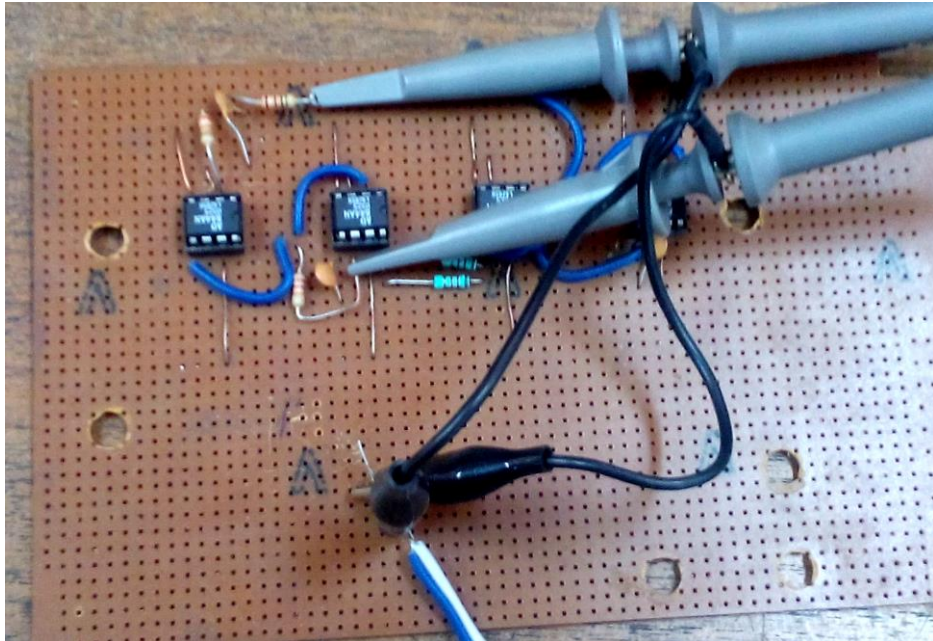




Şekil 6.46. Deneysel VM dörtgen çıkış dalga formları ve Şekil 6.26 (a)'nın frekans spektrumu

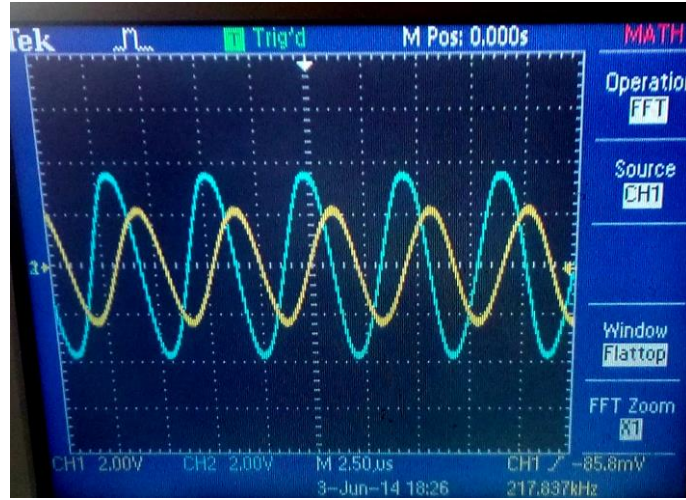
6.9. DENEYSEL SONUÇLAR ZC-CFTA

Şekil 6.37'deki önerilen TOQSO devresinin işlevselliği deneysel olarak da doğrulanmıştır. LPF ve entegratör bloğu, $\pm 5V$ besleme voltajlarına sahip ticari olarak temin edilebilen AD844N IC kullanılarak gerçekleştirilen Zc-CFTA kullanılarak gerçekleştirilir. Şekil 6.44, önerilen TOQSO devresinin donanım uygulamasının resmini göstermektedir.

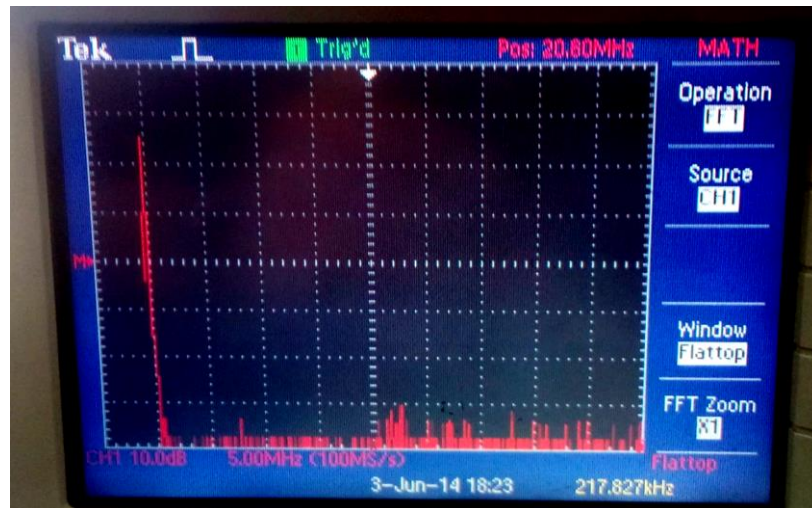


Şekil 6.47. Şekil 6.37'de gösterilen TOQSO için deneysel kurulum

Önerilen devre, iki farklı kapasitans değeri için doğrulanırken geri kalan tüm bileşenler sabit tutulur. Bileşen değerleri $C=C_1=C_2=10\text{pF}$ ve $R=1\text{K}$ seçilmiştir. Şekil 6.45 ve 6.46, kapasitans $C = 10\text{pF}$ değerine sahip denenmiş devre için sırasıyla çıkış dalga biçimini ve çıkış spektrumunu göstermektedir. Gözlendiği gibi dalga formları fazdaki karedir ve osilatörün frekansı 218 kHz 'lik hesaplanan bir değere karşı 217.84 kHz 'dir. %2'lik hata payı bulunmaktadır.



Şekil 6.48. $C = 10\text{pF}$ ile QO için çıkış voltajı dalga formu

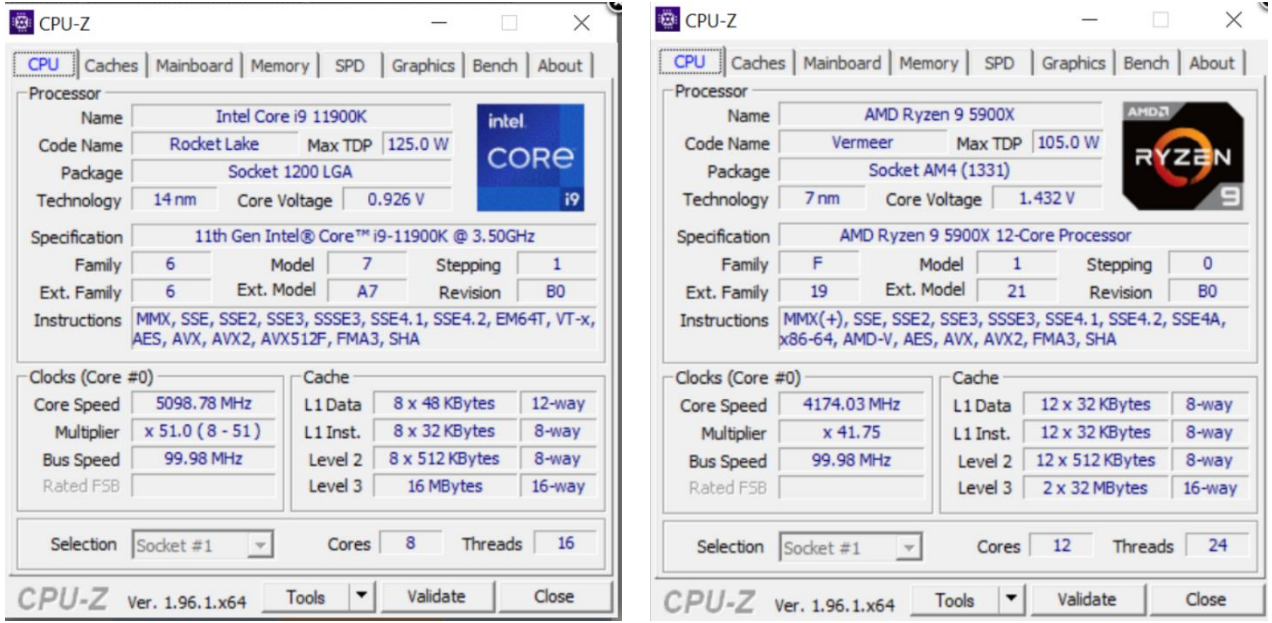


Şekil 6.49. $C = 10\text{pF}$ ile QO için çıkış spektrumu

6.10. INTEL (CORE İ9 11900K) VE RYZEN (9 5900X) SEMICONDUCTOR ARASINDAKİ KARŞILAŞTIRMA

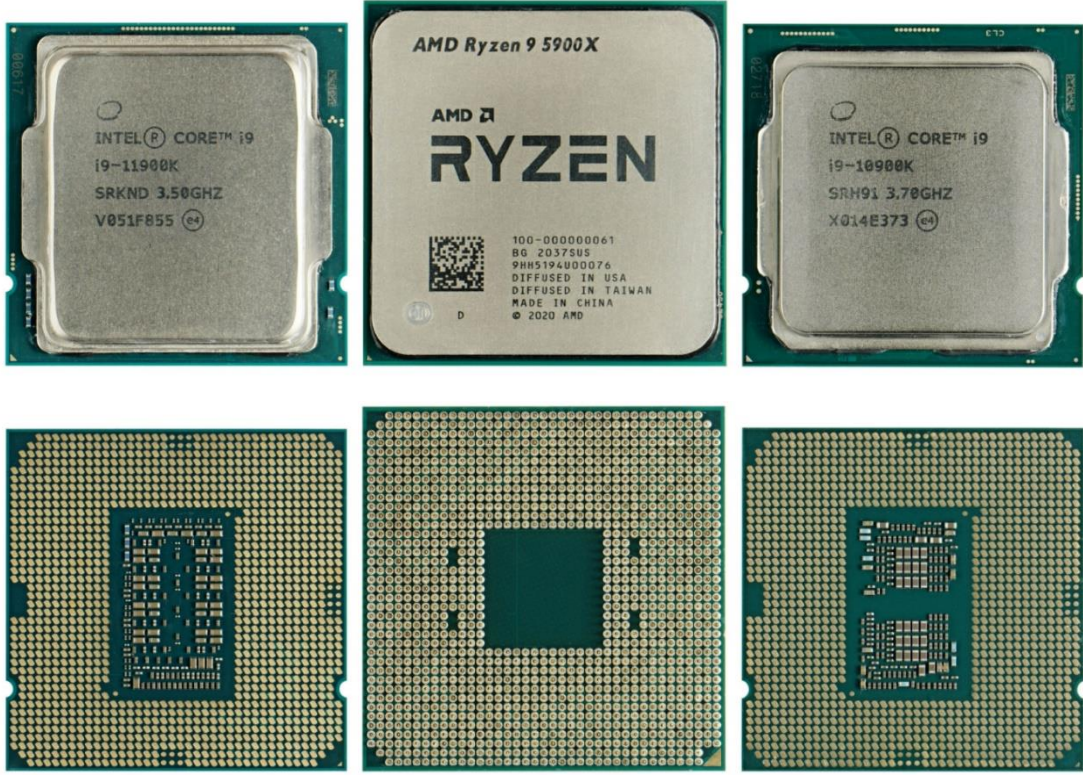
8 çekirdekli 3.5 GHz Intel Core i9 11900K, 12 çekirdekli 3.7 GHz AMD Ryzen 9 5900X'e karşı iki masaüstü işlemcisi karşılaştırılmıştır. Bu tez; hangi işlemcinin karşılaştırmalarda, oyunlarda ve diğer faydalı bilgilerde daha iyi performansa sahip olduğunu göstermektedir. Hem Intel Core i9-11900K hem de AMD Ryzen 9 5900X, güçlü kullanıcıları ve oyuncularını hedefleyen üst düzey işlemcilerdir. Yarı iletkenleri söz konusu olduğunda ikisi arasında bir karşılaştırma yapılırsa:

- Üretim süreci: Intel Core i9-11900K, Intel'in 10nm SuperFin sürecine dayanırken AMD Ryzen 9 5900X, TSMC tarafından 7 nm'lik bir işlem üzerine inşa edilmiştir. AMD tarafından kullanılan daha küçük işlem düğümü potansiyel olarak daha iyi güç verimliliği ve daha yüksek performansa yol açabilir. Intel'in 10nm SuperFin işlemi, önceki 14nm işlemlerine kıyasla gelişmiş transistör yoğunluğu ve performansı sunar ancak AMD'nin 7 nm işlemi kadar verimli olmayabilir. Bununla birlikte Intel, AMD'nin daha küçük düğümü ile rekabet etmek için proses teknolojilerinde ilerlemeler kaydetmiştir. Hem Intel hem de AMD, işlemcilerinde yüksek performans ve güç verimliliği elde etmek için FinFET transistörleri ve çoklu desenli litografi gibi gelişmiş üretim tekniklerini kullanır. Daha küçük işlem düğümü, daha fazla transistörün daha küçük bir alana paketlenmesine izin verir. Bu da performansı ve enerji verimliliğini artırabilir. Genel olarak üretim süreci bir işlemcinin performansını ve verimliliğini belirlemede çok önemli bir faktördür. AMD'nin 7 nm işleminin güç verimliliği ve performansı açısından Intel'in 10nm SuperFin işlemine göre avantajları olsa da Intel pazarda rekabetçi kalmak için proses teknolojilerinde önemli iyileştirmeler yapmıştır. Sonuçta Intel Core i9-11900K ve AMD Ryzen 9 5900X arasındaki performans karşılaştırmaları; mimari, çekirdek sayısı, saat hızları ve termal gibi üretim sürecinin ötesinde çeşitli faktörlere bağlı olacaktır ve şekil 6.47'de sunulmuştur.



Şekil 6.50. INTEL (çekirdek i9 11900k) ve Ryzen 9 5900x

- Mimari: Intel Core i9-11900K, en son Rocket Lake mimarisine sahipken AMD Ryzen 9 5900X, AMD'nin Zen 3 mimarisine dayanmaktadır. Zen 3 mimarisinin son derece verimli ve güçlü olduğu kanıtlanmış ve AMD'ye watt başına performans açısından bir avantaj sağlamaktadır. Şekil 6.48'de gösterilmektedir. Öte yandan Intel'in Rocket Lake mimarisi IPC'de (saat başına talimatlar) ve bireysel çekirdeklerin performansında iyileştirmeler getiriyor. Ayrıca daha yüksek bellek hızları ve geliştirilmiş overclock yetenekleri için destek sunar. Genel olarak her iki mimarinin de güçlü ve zayıf yönleri vardır ve aralarındaki seçim büyük ölçüde kullanıcının özel ihtiyaçlarına ve tercihlerine bağlıdır. Bazı kullanıcılar ham performansa ve hızlandırma potansiyeline öncelik verebilir, bu durumda Core i9-11900K daha iyi bir seçim olabilir. Diğerleri watt başına verimlilik ve performansa öncelik verebilir ve bu da Ryzen 9 5900X'i daha çekici bir seçenek haline getirebilir. Sonuçta her iki mimari de yüksek performans seviyeleri sunar ve zorlu görevleri kolaylıkla halledebilir.

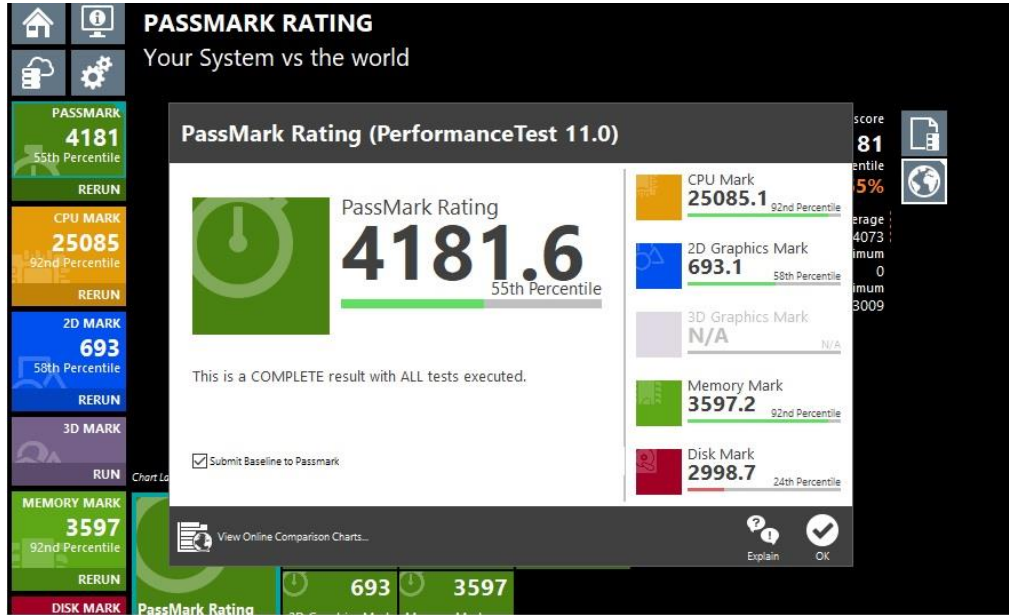


Şekil 6.51. Entegre devre içinde INTEL (çekirdek i9 11900k) ve Ryzen 9 5900x

- Performans: Ham performans açısından AMD Ryzen 9 5900X hem tek çekirdekli hem de çok çekirdekli görevlerde genellikle Intel Core i9-11900K'dan daha iyi performans gösterir. Şekil 6.49'da gösterilmiştir. Ryzen 9 5900X, çoklu görev ve çok iş parçacıklı uygulamalarda avantaj sağlayabilecek daha yüksek çekirdek ve iş parçacığı sayısına sahiptir. Ek olarak Ryzen 9 5900X, belirli görevler için daha yüksek işlem hızına neden olabilecek daha yüksek hızlandırma saat hızına sahiptir. Bununla birlikte Intel Core i9-11900K, daha yüksek temel saat hızı nedeniyle biraz daha iyi tek çekirdekli performansa sahiptir. Genel olarak AMD Ryzen 9 5900X; çoklu görev, içerik oluşturma ve üretkenlik görevlerine öncelik veren kullanıcılar için daha iyi bir seçimdir. Intel Core i9-11900K ise oyun performansına ve tek çekirdekli görevlere öncelik verenler için daha iyi bir seçenek olabilir.



(a)



(b)

Şekil 6.52. (a) Ryzen 9 5900x ve (b) INTEL (çekirdek i9 11900k) arasındaki performans testi

- Hızaştırma: Her iki işlemci de hızaştırma yeteneğine sahiptir, şekil 6.50'de verilmiştir. Ancak Intel Core i9-11900K, Ryzen 9 5900X'e kıyasla daha yüksek güç tüketimi ve ısı çıkışı nedeniyle hızaştırma için daha fazla boşluğa

sahip olabilir. Hızlandırmanın garantiyi geçersiz kılabileceğini, işlemcinin ömrünü kısaltabileceğini ve potansiyel olarak kararlılık sorunlarına neden olabileceğini unutmamak önemlidir. Ayrıca sıcaklıkları kontrol altında tutmak için yeterli bir soğutma çözeltisi gerektirir. Sonuç olarak hangi işlemcinin seçileceği özel ihtiyaçlara, kalite, marka ve platform tercihinin göre belirlenmelidir. Her iki güç, olağanüstü performans sunar ve iş zorluğunu etkin bir şekilde aktif hale getirebilir.



(a)



(b)

Şekil 6.53. (a ve b) INTEL (çekirdek i9 11900k) ve Ryzen 9 5900x arasındaki hız

Genel olarak AMD Ryzen 9 5900X, yarı iletken teknolojisi ve performansı söz konusu olduğunda üstün işlemci olarak kabul edilir. Bununla birlikte Intel Core i9-11900K, Intel'in platformunu veya Intel işlemciler tarafından sunulan belirli özellikleri tercih eden kullanıcılar için hala iyi bir seçenek olabilir.

Passmark Performans Testi puanları açısından Ryzen 9 5900x genellikle çoğu kategoride Intel Core i9 11900k'den daha iyi performans gösterir. Ryzen 9 5900x, Core i9 11900k'den daha yüksek bir genel Passmark puanına sahiptir ve bu da daha iyi bir genel performans göstergesidir. Ryzen 9 ayrıca tipik olarak tek iş parçacıklı performans, çok iş parçacıklı performans, CPU Mark puanı ve 3D grafik performansında daha yüksek puan alır. Core i9 11900k; bellek performansı, disk performansı ve 2D grafik performansı gibi belirli kategorilerde küçük bir avantaja sahip olabilir ancak genel olarak Ryzen 9 5900x çoğu alanda daha iyi performans sunma eğilimindedir.

BÖLÜM 7

SONUÇLAR ve ÖNERİLER

Bu çalışmada, nanometre teknolojisinde analog tasarımın nasıl yapıldığı hakkında çok önemli bilgiler verilmiştir. Nanometre teknolojilerinde iki ana sorun vardır: Bunlardan birincisi, bu teknoloji ile üreten transistörler, amplifikatörler, osilatörler ve filtreler gibi analog devrelerde kullanım için uygun değildir. İkincisi, çok küçük boyutlu transistörler, üretim süreçlerindeki zorluklar, çevre koşulları ve diğer etkilerden dolayı analog devre özelliklerinde önemli ölçüde değişkenlik meydana gelmektedir. Yukarıdaki bu iki sorun göz önünde bulundurulduğunda bu çalışmanın önemi daha iyi anlaşılacaktır.

Bu çalışmanın ana amacı, FinFET transistörün analog devre tasarımında avantajlarını tespit etmektir. Böylece FinFET teknolojisine dayalı chip (IC) üzerinde karma sinyal sistemi (SoC) gelecekte tasarlanabilir. Bunun yanı sıra FinFET transistör parametreleri maksimum analog performansı elde etmek için optimize edilir ve daha sonra analog devrelerde kullanılabilir.

FinFET teknolojisi, yüksek kazanç, yüksek bant genişliği, kısa kanal etkisindeki azalma ve çeşitli boyutlar sağlaması açısından en avantajlı platformdur. Burada FinFET'e dayalı bir operasyonel iletkenlik amplifikatörü (OTA) seçilmiştir. Cadence paket programı, 7 nm'de FinFET transistör tabanlı OTA-C devrelerini tasarlamak için önerilen bu çalışmada kullanılmıştır. FinFET tabanlı OTA-C devresinin diğer klasik devrelere nazaran daha iyi performans gösterdiği ortaya çıkmıştır. FinFET kullanılarak uygulanan tek aşamalı OTA'da devre boyutu azaltılırken kazanç ve bant genişliği artar, bu da genel verimliliğin artmasına neden olur.

Bu çalışma, düşük güç tüketimi gerektiren uygulamalar için akım modu ve voltaj modu devrelerinin yeni tasarım teknikleri ile ilgili konulara odaklanmıştır. İlk olarak

düşük voltajlı ve düşük güç çalışması için yararlı olan farklı türde analog yapı taşları önerilmekte, tasarlanmakta ve simüle edilmektedir. Daha sonra bu yapı taşları, farksal akım transiletkenlik amplifikatörü (CDTA), Z-kopya akım takipçisi transiletkenlik amplifikatörü (ZC-CFTA) gibi akım modu aktif elemanlarını uygulamak için kullanılır. Çoklu çıkış Z kopya gerilim farkı; çok çıkışlı Z kopya farksal gerilim transiletkenlik amplifikatörü (MO-ZC-VDTA) ve kapasitör dengeli operasyonel transiletkenlik amplifikatörleri (DO-OTA-C) gibi voltaj modu aktif elemanlarını uygulamak için kullanılır.

Alçak gerilim düşük güçlü FinFET tabanlı farksal gerilim transiletkenlik amplifikatörü ve farksal akım transiletkenlik amplifikatörü uygulamaları bölüm 5'te anlatılmıştır. Bu aktif blokların uygulamaları, FinFET tekniği kullanılarak gerçekleştirilmelerine ek olarak da tartışılmıştır. Uygulamalar biquad evrensel filtredir. VDTA, ± 0.1 V besleme geriliminde FinFET tekniği kullanılarak uygulanır ve toplam 80nW sessiz güç tüketimi sağlar. $21G\Omega$ giriş empedansı ve 233 MHz bant genişliği elde edilir. Düşük, yüksek ve bant geçiş fonksiyonlarını gerçekleştirmek için bir uygulama olarak FinFET VDTA kullanılarak bir voltaj modu çift giriş ve çıkış filtresi gerçekleştirilir. 10 MHz'lik bir merkez frekansı elde edilir. Bant geçiş işlevi, 2,17MHz ila 91,47MHz frekans aralığında ayarlanabilir. İki dördümlü filtreye ek olarak FinFET VDTA kullanılarak diferansiyel ikinci, dördüncü dereceden filtre uygulanmıştır. Simülasyonlar, 7 nm Finfet teknolojisinde SPICE lineer teknolojisi kullanılarak gerçekleştirilmiştir. Finfet tabanlı CDTA; düşük voltajlı, düşük güçlü analog sinyal işleme uygulamaları için kullanılır. Önerilen Finfet CDTA, 1,40 mW güç dağılımı ile $\pm 0,1$ V besleme voltajında çalışır. Finfet CDTA uygulamaları önerilen ve ikinci, dördüncü ve altıncı dereceden tüm geçiş filtresidir. Devreler, 7 nm Finfet teknolojisinde Cadence Spectre kullanılarak simülasyonlarla doğrulanmıştır.

Altıncı bölümde iki kapılı transformatör elemanının eş değer devresi; iki VDTA, CDTA, ZC-CFTA, direnç ve iki tek uçlu topraklanmış kapasitans elemanı kullanılarak elde edilmiştir. Elde edilen eş değer devrenin her iki kapısının her iki ucu da serbesttir. Önerilen devrenin literatürdeki çalışmalarla karşılaştırılması gösterilmiştir. LTspice simülasyonların ve önerilen devrenin deneysel çalışması ile elde edilen sonuçların teorik sonuçlarla çelişmediği gözlemlenmiştir. Son olarak CO

ve FO'nun tamamen ayrılmış kontrolüne sahip sistematik bir metodoloji (ileri bir yolda ikinci dereceden LPF kullanan bir kapalı döngü devresi ve geri besleme döngüsünde kayıpsız bir ters çevirici entegratör) kullanarak iki yeni TOQSO önerilmiştir. Önerilen devreler voltaj modunu (Gm-c ve Do-VDTA) ve akım modunu (Mu-Zc-CDTA ve Zc-CFTA) kullanır. İdeal olmayan analiz, LTspice simülasyonları ve bu bölümde önerilen farklı devreler için deneysel sonuçlar sunulmuştur.

Bu çalışmanın yapılmasıyla birlikte mevcut çalışmayı geliştirmek için önemli ve yeni konular ortaya çıkabilir. Öte yandan nanometre teknolojilerinde analog devreleri geliştirmek için bazı tasarımlar, simülasyonlar ve analizler yapılmalıdır. Bunlar:

- Kısıtlı boyutlandırma nedeniyle teknolojinin yerleşim aşaması büyük bir endişeyi temsil eder. Bunun nedeni geleneksel teknolojilerden çok daha fazla katman içeren teknoloji ve yerleşim aşamasında karmaşıklığı artıran matris transistörlerin kullanılmasıdır. Bununla birlikte boyutlandırma üzerindeki kısıtlamalar, düzenin dijital devrelerininkine benzer şekilde otomasyonuna izin verebilir.
- Sağlam bir tasarımın daha net bir şekilde yapılmasına izin veren diğer devre türlerinde bazı kriterler belirlenebilir.
- Analog devreleri telafi etmeye çalışmanın en yaygın yolu ön tasarımdır. Bu nedenle herhangi bir tasarımda kolay ve hızlı telafiler yapmak için yaygın olarak karakterize edilen çeşitli ön tasarım devrelerinin geliştirilmesi arzu edilir.
- Devre ofsetini azaltmak için bazı teknikler dâhil edilebilir ve sağlamlığı kaybetmeden güç tüketimi azaltılmaya çalışılabilir.

KAYNAKLAR

1. Jean-Pierre Colinge, "Multiple-gate SOI MOS-FETs," *Solid--State Electronics*, vol. 48., pp. 897--905, 2004.
2. T. Poiroux, M. Vinet, et al., "Multiple-Gate-Devices: Advantages and Challenges," *Micro-Electronic Engineering*, vol. 80, pp. 378-385, Jun. 2005.
3. Vaidy Subramanian, Bertrand Parvais, et al., "Planar Bulk MOSFETs Versus FinFETs: An Analog/RF Perspective," *I.E.E.E. Transactions on Electron Devices*, vol. 53, no. 12, pp. 3071-3079, Dec. 2006.
4. Piet Wambacq, Bob Verbruggen, et al., "The Potential of Fin-FETs for Analog and R.F Circuit Applications," *I.E.E.E. Transactions on Circuits and Systems*, vol. 54, no. 11, pp.2541-2551, Jun. 2007.
5. T. Chiarella, L. Witters, et al., "Benchmarking SOI and bulk FinFET alternatives for Planar CMOS scaling succession," *Solid--State Electronics*, vol. 54, pp. 855-860, May 2010.
6. Chang-Woo Sohn, Chang Yong Kang, et al., "Device Design Guidelines for Nanoscale Fin-FETs in RF/Analog Applications," *I.E.E.E. Electron Devices letters*, vol. 33, no. 9, pp.1234-1236, Sep. 2006.
7. V. Subramanian, A. Mercha, et al., "Impact of fin width on digital and analog performances of n-FinFETs," *Solid--State Electronics*, vol.51, pp. 551-559, Feb. 2007.
8. H. Kawasaki, M. Khater, et al., "Demonstration of Highly Scaled FinFET SRAM Cells with High- κ / Metal Gate and Investigation of Characteristic Variability for the 32 nm node and Beyond," *IEEE International Conference on Electron Devices meeting*, San Francisco, CA, USA, 15-17 Dec. 2008.
9. S. S. Rathod, A.K. Saxena, and S. "Modelling of threshold voltage, mobility, drain current and sub-threshold leakage current in virgin and irradiated siliconon-insulator fin-shaped field effect transistor device," *Journal of Applied Physics*, vol. 109, no. 8, Apr. 2011.
10. Julio C. Tinoco, Silvestre Salas R, et al., "Impact of Extrinsic Capacitances on FinFET RF Performance," *IEEE Transactions on Microwave-Theory and Techniques*, vol. 61, no. 2, pp. 833-840, Feb. 2013.

11. Navid Paydavosi, Srirakumar Veugopalan, et al., "BSIM SPICE Models Enable FinFET and UTB IC Designs," *IEEE Access*, vol. 1, pp. 201-215, May 2013.
12. Neeraj Jain and Balwinder Raj, "Device and Circuit Co-Design Perspective Comprehensive Approach on FinFET Technology- A Review," *Journal of Electron Devices*, vol. 23, no. 1, pp. 1890-1901, Feb. 2016.
13. Yue-GieLiaw, Wen-ShiangLiao, et al., "A High Aspect Ratio Silicon-fin FinFET Fabricated upon SOI wafer," *Solid State Electronics*, vol. 126, pp. 46-50, Dec. 2016.
14. V. Rahin and A. Rahin, "A Low-Voltage and Low-Power Two-Stage Operational Amplifier Using FinFET Transistors," *International Academic Journal of Science and Engineering.*, vol. 3, no. 4, pp. 80-95, 2016.
15. Behzad Razavi, "CMOS Technology Characterization for Analog and RF design," *IEEE journal of Solid-State Circuits*, vol. 34, no. 3, pp. 268-276, Mar. 1999.
16. Ashutosh Nandi, Ashok K. Saxena, and Sudeb Dasgupta, "Design and Analysis of Analog Performance of Dual-k Spacer Underlap N/P-FinFET at 12nm Gate Length," *IEEE Transactions on Electron Devices*, vol. 60, no. 5, pp. 1529 - 1535, May 2013.
17. T. Chiarella, L. Witters, et al., "Benchmarking SOI and bulk FinFET alternatives for planar CMOS scaling succession," *Solid-State Electronics*, vol.54, no. 9, pp. 855-860, Sep. 2010.
18. G. Pei, J. Kedzierski, et al., "FinFET Design Considerations Based on 3-D Simulation and Analytical Modeling," *IEEE Transaction on Electron Devices*, vol. 49, no. 8, pp. Aug. 2002.
19. Tao Chuan Lim, Emilie Bernard, et al., "Analog/RF Performance of Multichannel SOI MOSFET," *IEEE Transactions on Electron Devices*, vol. 56, no. 7, pp. 1473-1482, Jul. 2009
20. Yang Yang and Niraj K. Jha, "Finprin: FinFET Logic Circuit Analysis and Optimization under PVT variations," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 22, no. 12, pp. 2462-2475, Dec. 2014.
21. Balwinder Raj, A.K. Saxena, and S. Dasgupta, "Analytical Modelling for the Estimation of Leakage Current and Subthreshold Swing Factor of Nanoscale Double Gate FinFET Device," *Microelectronics International*, vol. 26, no. 1, pp. 53-63, 2009.
22. Silveira F., Flandre D., and Jespers P.G, "A gm/ID based methodology for the design of CMOS analog circuit and its application to the synthesis of a silicon-on-insulator Micropower OTA," *IEEE Journal of Solid State Circuits*, vol. 31, pp.1314-1319, Sep. 1996.

23. S. K. Mohapatra, K. P. Pradhan, et al., "The Role of Geometry Parameters and Fin Aspect Ratio of Sub-20nm SOI-FinFET: An Analysis Towards Analog and RF Circuit Design," *IEEE transactions on Nanotechnology*, vol.14, no. 3, pp. 546-554, May 2015.
24. Archana Pandey, Harsh Kumar, S. K. Manhas, and Sudeb Dasgupta, "A typical Voltage Transitions in FinFET Multistage Circuits: Origin and Significance," *IEEE Transactions on Electron Devices*, vol. 63, no. 3, pp. 1392-1396, Mar. 2016.
25. Ashutosh Nandi, Ashok K. Saxena, and Sudeb Dasgupta, "Enhancing Low Temperature Analog Performance of Underlap FinFET at Scaled Gate Lengths," *IEEE Transactions on Electron Devices*, vol. 61, no. 11, pp. 3619-3624, Nov. 2014.
26. D.Nirmal and P. Vijaya Kumar, "Fin Field Effect Transistors Performance in Analog and RF for High-k Dielectrics," *Defence Science Journal*, vol. 61, no. 3, pp. 235-240, May 2011.
27. R. Singh, K. Aditya, et al., "Evaluation of 10nm Bulk FinFET RF Performance Conventional Versus NC-FinFET," *IEEE Electron Device Letters*, vol.39, no. 8, pp. 1246-1249, Aug. 2018.
28. Gen Pei, Jakub Kedzierski, et al., "FinFET Design Considerations Based on 3-D Simulation and Analytical Modeling," *IEEE Transaction on Electron Devices*, vol. 49, no. 8, Aug. 2002.
29. Takashi Matsukawa, Yongxun Liu, et al., "Variability Origins of Parasitic Resistance in FinFETs with Silicided Source/Drain," *IEEE Electron Device Letters*, vol. 33, no. 4, pp. 474-476, Apr. 2012.
30. M. Fulde1, J. P. Engelstadter, et al., "Analog circuits using FinFETs: Benefits in Speed-Accuracy-Power Trade-off and Simulation of Parasitic Effects," *Advances in Radio Science*, vol. 5, pp. 285-290, 2007.
31. Abhisek Dixit, Anirban Bandhyopadhyay, et al., "Measurement and Analysis of Parasitic Capacitance in FinFETs with high- κ Dielectrics and Metal- Gate Stack," *22nd International Conference on VLSI Design*, pp. 253-258, New Delhi, India, Jan. 2009.
32. Wen Wu and Mansun Chan, "Analysis of Geometry-Dependent Parasitics in Multifin Double-Gate FinFETs," *IEEE Transactions on Electron Devices*, vol. 54, no. 4, pp. 692-698, Apr. 2007.
33. Ashutosh Nandi, A. Saxena, and Sudeb Dasgupta, "Oxide thickness and S/D junction depth based variation aware OTA design using underlap FinFET," *Microelectronics Journal*, vol. 55, pp. 19-25, May 2016.
34. P. E. Allen and D. R. Holberg, "CMOS Analog Circuit Design," New Delhi, India: *Oxford University Press*, 2016.

35. P. Gowri Sankar and K. Udhaya kumar, "Design and Analysis of Two Stage Operational Amplifier based on Emerging sub-32nm Technology," *International Conference on Advanced Nanomaterials Emerging Engineering Technologies*, pp. 587-591, Chennai, India, 24-26 Jul. 2013.
36. Yongqing Wang, Xiao Zhao, et al., "Adjustably Transconductance Enhanced Bulk Driven OTA with the CMOS technologies scaling," *IEEE Electronics Letters*, vol. 54, no. 5, pp. 276-278, Mar. 2018.
37. Katrine Lundager, Behzad Zeinali, et al., "Low Power Design for Future Wearable and Implantable Devices," *Journal of Low Power Electronics and Applications*, vol. 6, no. 4, pp. 1-26 Oct. 2016.
38. Luca Magnelli, Francesco A. Amoroso, et al., "Design of a 75nW, 0.5V subthreshold complementary metal-oxide-semiconductor operational amplifier," *International Journal of Circuit Theory and Applications*, Jan. 2013.
39. Alfio Dario Grasso, Salvatore Pennisi, et al., "0.9-V Class-AB Miller OTA in 0.35- μ m CMOS With Threshold-Lowered Non-Tailed Differential Pair," *IEEE Transactions on Circuits and Systems-I Regular papers*, vol-64, no.7, pp. 1740-1746, Jul. 2017.
40. Luis H. C. Ferreira, and Sameer R. Sonkusale, "A 60-dB Gain OTA Operating at 0.25- V Power Supply in 130-nm Digital CMOS Process," *IEEE Transactions on Circuits and Systems-I Regular papers*, vol-61, no.6, pp. 1609-1617, Jun. 2014.
41. Davide Marano, Alfio Dario Grasso, et al., "Optimized Active Single-Miller Capacitor Compensation With Inner Half-Feedforward Stage for Very High-Load Three-Stage OTAs," *IEEE Transactions on Circuits and Systems-I Regular papers*, vol-63, no.9, pp. 1349 -1359, Sep. 2016.
42. Alfio Dario Grasso, Gaetano Palumbo, and Salvatore Pennisi, "High-Performance Four-Stage CMOS OTA Suitable for Large Capacitive Loads," *IEEE Transactions on Circuits and Systems-I Regular papers*, vol-63, no.9, pp. 2476 - 2484, Sep. 2016.
43. Alfio Dario Grasso, Davide Marano, et al., "Design Methodology of Subthreshold Three-Stage CMOS OTAs Suitable for Ultra-Low-Power Low-Area and High Driving Capability," *IEEE Transactions on Circuits and Systems Applications -I Regular papers*, vol.-62, no.6, pp. 1453 -1462, Jun. 2015.
44. F. N. L. Opt Eynde, P. F. M. Ampe, et al., "A CMOS Large-Swing Low-Distortion Three-stage Class AB Power Amplifier," *IEEE Journal Solid-State Circuits*, vol. 25, pp. 265 - 273, Feb. 1990.
45. H.-T. Ng, R. M. Ziazadeh, and D. J. Allstot, "A Multistage Amplifier Technique with Embedded Frequency Compensation," *IEEE Journal Solid-State Circuits*, vol. 34, pp. 339 - 341, Mar. 1999.

46. K. N. Leung and P. K. T. Mok, "Nested Miller Compensation in Low Power CMOS design," *IEEE Transactions on Circuits Systems II: Analog Digital Signal Processing*, vol. 48, pp. 388-394, Apr.2001.
47. A. D. Grasso, G. Palumbo and S. Pennisi, "Mutual Coupling Compensation in Small Array Antennas," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 53, no. 10, pp. 1044 - 1048, Oct.2006.
48. S. O. Cannizzaro, A. D. Grasso, et al., "Design procedures for Three-Stage CMOS OTAs with Nested-Miller Compensation," *IEEE Transactions on Circuits and Systems -I Regular papers*, vol.-54, no.5, pp. 933-940, May 2007.
49. Samattachai Tepwimonpetkun, et al., "Graphical Analysis and Design of Multistage Operational Amplifiers with Active Feedback Miller Compensation," *International Journal of Circuit Theory and Applications*, vol. 44, pp. 562-583, May 2015.
50. Hamed Aminzadeh, Khalil Mafinezhad and Reza Lotfi, "Design of Three-stage Nested Miller Compensated Operational Amplifiers Based on Settling Time," *International Journal of Circuits, Systems and Signal Processing*, vol. 3, no.3, pp. 164-172, 2009.
51. [74] Omar Abdelfattah, Gordon W. Roberts, et al., "An Ultra-Low-Voltage CMOS Process-Insensitive Self-Biased OTA With Rail-to-Rail Input Range," *IEEE Transactions on Circuits and Systems-I Regular papers*, vol-62, no.10, pp. 2380 - 2390, Oct. 2015.
52. Davide Marano, Alfio Dario Grasso, Gaetano Palumbo, and Salvatore Pennisi, "Optimized Active Single-Miller Capacitor Compensation With Inner HalfFeedforward Stage for Very High-Load Three-Stage OTAs," *IEEE Transactions on Circuits and Systems-I Regular papers*, vol-63, no.9, pp. 1349 - 1359, Sep. 2016.
53. A.N. Ragheb, and HyungWon Kim, "Ultra-low power OTA based on bias recycling and subthreshold operation with phase margin enhancement," *Microelectronics Journal*,x vol. 60, pp. 94 - 101, Feb. 2017.
54. Lianxi Liu, YuSong, JunchaoMu, et al., "A high accuracy CMOS subthreshold voltage reference with offset cancellation and thermal compensation," *Microelectronics Journal*, vol. 60, pp. 102-108, Feb. 2017.
55. F. Mohd-Yasin, M. T. Yap and M.B.I Reaz, "CMOS Instrumentation Amplifier with Offset Cancellation Circuitry for Biomedical Applications," *In Proc. of 5th WSEAS*, pp.168-171, Dec. 2006.
56. M.A Smither, D.R. Pugh and L.M. Woolard, "C.M.R.R. analysis of the 3-op-amp instrumentation amplifier," *Electronic Letters*, vol. 13, no. 20, pp. 586-594, Sep. 1997.

57. Limei Xiu, and Zheyang Li, "Low-power Instrumentation Amplifier IC Design for ECG System Applications," *Procedia Engineering*, vol. 29, pp. 1533-1538, Jan. 2012.
58. Reid R. Harrison, and Cameron Charles, "A Low-Power Low-Noise CMOS Amplifier for Neural Recording Applications," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 6, pp. 612-623, Jun. 2003.
59. M.S.J Steyaert, W.M.C. Sansen and C. Zhongyuan, "A micropower low-noise monolithic instrumentation amplifier for medical purposes," *IEEE Journal of Solid State Circuits*, vol.22 no. 6, pp. 1163-1169, Dec. 1987.
60. Akshay Goel, and Gurmohan Singh, "A Novel Low Noise High Gain CMOS Instrumentation Amplifier for Biomedical Applications," *International Journal of Electrical and Computer Engineering (IJECE)*, vol. 3, no. 4, pp. 516-523, Aug. 2013.
61. F. Kacar and H. Kuntman. "new current-mode filter using single FDCCIT with grounded resistors and capacitors." *Open Journal of Energy Efficiency* 02.04 (2013): 2169-2645.
62. Tsukutani, Takao, et al. "Electronically Tunable Current-Mode Active-Only Biquadratic Filter." *International Journal of Electronics* 87.3 (2000): 307– 314.
63. Shinde, G. N., and D. D. Mulajkar. "Third Order Current Mode Universal Filter Using Only Op.Amp. and OTAs." *Circuits and Systems* 01.02 (2010): 65–70.
64. Shinde, G. N, and Mulajkar, D. D. "frequency response of electronically tunable current-mode third order high pass filter with central frequency $f_0=10$ KHz with variable circuit merit factor Q." *scholar's research library* 02.03 (2010): 248-252.
65. Chang, Chung-Ming, and Shih-Kuang Pai. "Universal Current-Mode OTA-C Biquad with the Minimum Components." *IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications* 47.8 (2000): 1235– 1238.
66. CHANG, CHUN-MING, and PANG-CHIA CHEN. "Universal Active Filter with Current Gain Using OTAs." *International Journal of Electronics* 71.5 (1991): 805–808.
67. G. N. Shinde, U. N. Chavan, and D. D. Mulajkar. "Novel Current-Mode Electronically Tunable Filter using OTAs for Different Circuit Merit Factors and Center Frequencies." *IJECT* 02.04 (2011): 2230-7109.
68. Radhakrishna, K. R, and Shriniwasan, S. "Low sensitivity active filtering the operational amplifier pole." *IEEE trans. On Circuit and System* 21.00 (1974): 260-267.
69. Schaumann, R. "A note on state variable type active R filters." *Midwest Symp. on Circuits and Systems* 22.00 (1975): 594-597.

70. Soderstrand, M. A. "Design of active-R filter using only resistance and operational amplifier." *Int. Journal of Electronics* 40.05 (1976): 417-432.
71. Sun-Zhi-Xiao. "Active-R filter: a new biquadratic with four terminals." *Int. Journal of Electronics* 54.04 (1983): 523-530.
72. V. Rahin and A. Rahin, "A low-voltage and low-power two-stage operational amplifier using FinFET transistors." *International Academic Journal of Science and Engineering* 3.4 (2016): 80-95.
73. J. Mohseni and J. D. Meindl, "Reliability challenges of FinFET and other multi-gate MOSFETs." *2013 IEEE Conference on Reliability Science for Advanced Materials and Devices*. IEEE, 2013.
74. Matsukawa et al., "Decomposition of on-current variability of nMOS FinFETs for prediction beyond 20 nm." *IEEE Transactions on Electron Devices* 59.8,(2012).
75. [15] Thakker et al., "A novel architecture for improving slew rate in FinFET-based op-amps and OTAs." *Microelectronics Journal* 42.5, (2011).
76. M. Shirazi and H. Alireza, "Design of a low voltage low power self- biased OTA using independent gate FinFET and PTM models." *AEU-International Journal of Electronics and Communications* 82 (2017).
77. Shafaei et al., "Design optimization of sense amplifiers using deeply scaled FinFET devices," *Sixteenth International Symposium on Quality Electronic Design*, Santa Clara, CA, 2015, pp. 280-283.
78. V. Subramaniana et al., "Device and circuit-level analog performance trade-offs: a comparative study of planar bulk FETs versus FinFETs." Electron Devices Meeting, 2005. IEDM Technical Digest. *IEEE International. IEEE*, (2005).
79. D. Bhattacharya and N. K. Jha, "FinFETs: From devices to architectures." *Advances in Electronics* 2014 (2014).
80. Tiansong et al., "7 nm FinFET standard cell layout Computing characterization and power density prediction in near and super-threshold voltage regimes" *in proceedings of Green Conference (IGCC)*, pp.1-7, 3-5. Nov.(2014).
81. V. Trivedi, J. G. Fossum, and M. M. Chowdhury. "Nanoscale FinFETs with gatesource/drain underlap." *IEEE Transactions on Electron Devices*, vol. 52, pp. 56-62, 2004.
82. A. B. Sachid, C. R. Manoj, D. K. Sharma and V. R. Rao, "Gate fringe-induced barrier lowering in underlap FinFET structures and its optimization", *IEEE Electron Device Letters*, vol. 29, pp. 128-130, 2007.
83. V. Kumari, K. Sharmetha, M. Saxena and M. Gupta, "Underlapped FinFET on insulator: Quasi3D analytical model", *Solid-State Electronics*, vol. 129, pp. 138-149, 2017.

84. J. Yang, P. M. Zeitzoff, and H. H. Tseng, "Highly manufacturable double-gate FinFET with gate-source/drain underlap", *IEEE Transactions on Electron Devices*, vol. 54, pp. 1464-1470, 2007.
85. S. -H Kim and J. G. Fossum, "Design optimization and performance projections of double-gate FinFETs with gate-source/drain underlap for SRAM application", *IEEE Transactions on Electron Devices*, vol. 54, pp. 1934-1942, 2007.
86. A. Nandi, A. K. Saxena, and S. Dasgupta, "Impact of dual-k spacer on analog performance of underlap FinFET". *Microelectronics Journal*, vol. 43, pp. 883-887, 2012.
87. A. Kranti and G. A. Armstrong, "Design and optimization of FinFETs for ultra-lowvoltage analog applications", *IEEE Transactions on Electron Devices*, vol. 54, pp. 3308-3316, 2007.
88. A. A. Goud, S. K. Gupta, S. H. Choday and K. Roy, "Atomistic tight-binding based evaluation of impact of gate underlap on source to drain tunneling in 5 nm gate length Si FinFETs". *IEEE 71st Device Research Conference*, pp. 51-52, 2013.
89. A. Nandi, A. K. Saxena and S. Dasgupta, "Oxide thickness and S/D junction depth-based variation aware OTA design using underlap FinFET", *Microelectronics Journal*, vol. 55, pp. 19-25, 2016.
90. A. Chattopadhyay and A. Mallik, "Impact of a spacer dielectric and a gate overlap/underlap on the device performance of a tunnel field-effect transistor", *IEEE Transactions on Electron Devices*, Vol. 58, pp. 677-683, 2011.
91. V. P.-H. Hu, C.-T. Lo, A. B. Sachid, P. Su, C. Hu, "Corner spacer design for performance optimization of multi-gate InGaAs-OI FinFET with gate-to-source/drain underlap", *International Symposium on VLSI Technology, Systems and Application (VLSI-TSA)*, pp. 25-27, Apr. 2016.
92. M. U. Mohammed, Nahid H. and M. H. Chowdhury, "A Disturb Free Read Port 8T SRAM Bitcell Circuit Design with Virtual Ground Scheme", *IEEE, 61st IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, pp. 412-415 2018.
93. M. U. Mohammed, A. Nizam, L. Ali and M. H. Chowdhury "A Low Leakage SRAM Bitcell Design Based on MOS-Type Graphene Nano-Ribbon FET", *International Symposium on Circuits and Systems (ISCAS)*, pp. 1-4, 2019.
94. M. U. Mohammed, A. Nizam and M. H. Chowdhury, "Double-Gate FDSOI Based SRAM Bitcell Circuit Designs with Different Back-Gate Biasing Configurations", *IEEE Nanotechnology Symposium (ANTS)*, pp. 1-4, 2018.
95. F. U. Ahmed, Z. T. Sandhie, M. U. Mohammed, A. H. B. Yousuf and M. H. Chowdhury, "Energy Efficient FDSOI and FinFET based Power Gating Circuit

- Using Data Retention Transistor”, *2018 IEEE Nanotechnology Symposium (ANTS)*, pp. 1-4, 2018.
96. V. Vashishtha, M. Vangala, P. Sharma, and L. T. Clark. “Robust 7-nm SRAM Design on a Predictive PDK.” *IEEE International Symposium on Circuits and Systems*, pp. 1-4, 2017.
 97. M. U. Mohammed, A. Nizam, M. H. Chowdhury, “Performance & Stability Analysis of SRAM Cells Based on Different FinFET Devices in 7 nm Technology” *IEEE SOI-3DSubthreshold Microelectronics Technology Unified Conference (S3S)*, pp. 1-3, 2018.
 98. E. Seevinck, F. J. List, A. J. Lohstroh, “Static-noise margin analysis of MOS SRAM cells”, *IEEE Journal of Solid-State Circuits*, vol. 22, no. 5, pp. 748 – 754, 1987.
 99. G. Evelyn, M. Stucchi, K. Maex, and W. Dehaene. "Read stability and write-ability analysis of SRAM cells for nanometer technologies.", *IEEE Journal of Solid-State Circuits*, vol. 41, no. 11, pp. 2577-2588, 2006. M. Stadelé, R. J. Luyken, M. Roosz, M. Specht, W. Rosner, L. Dreeskornfeld, J.
 100. Hartwich, F. Hofmann, J. Kretz, and E. Landgraf, — A Comprehensive Study of Corner Effects in Tri-Gate Transistors," *Proceeding of the IEEE on 34th European Solid-State Device Research conference*, pp. 165-168, Sept. 2004.
 101. W. Xiong, J. W. Park, and J. P. Colinge, "Corner effect in multiple-gate SOI MOSFETs," *Proceedings of the IEEE International SOI Conference*, pp. 111-113, Oct. 2003.
 102. P. Geens, —Active Supply Control in Static Random-Access Memories, Katholieke University of Leuven, Department of Electrical Engineering, pp. 1-135, 7th April 2009. N. Azizi, F. N. Najm and A. Moshovos, —Low-Leakage Asymmetric-Cell SRAM, *IEEE Transactions on Very Large-Scale Integration (VLSI) Systems*, vol. 11, no. 4, pp. 701-715, Sept. 2003.
 103. K. Zhang, U. Bhattacharya, Z. Chen, F. Hamzaoglu, D. Murray, N. Vallepalli, Y. Wang, B. Zheng, and M. Bohr, —SRAM Design on 65-nm CMOS Technology With Dynamic Sleep Transistor for Leakage Reduction, *IEEE Journal of Solid-State Circuits*, vol. 40, no. 4, pp. 895-901, April 2005.
 104. R. Johri, R. Singh Kushwah, R. Singh and S. Akashe, —Modeling and Simulation of High Speed 8T SRAM Cell, *Proceedings of Springer on Seventh International Conference on Bio-Inspired Computing: Theories and Applications, Advances in Intelligent Systems and Computing*, vol. 202, pp. 245-251, Jan. 2013.
 105. A. Shrivastava, S. Khandelwal and S. Akashe, —Performance Evaluations of Five Stage VCO Ring Oscillator with Reverse Substrate Bias and SAL Technique on 0.7v Power Supply using Nano-Scale CMOS Technology, *Proceedings of IEEE*

- on Advanced Computing and Communication Technologies* (ACCT 2013) , pp. 337-342, 2013.
- 106.J. M. Rabaey, A. Chandrakasan, and B. Nikolic, —Digital Integrated Circuits: A Design Perspective| 2nd edition Pearson Education, Inc, Jan. 2003.
- 107.S. Khandelwal and S. Akashe, Supply Voltage Minimization Techniques for SRAM Leakage Reduction, *Journal of Computational and Theoretical Nanoscience*, vol. 9, no. 8, pp. 1044-1048, Aug. 2012.
- 108.S. Kumar Gupta, G. Panagopoulos, and K. Roy, —NBTI in n-Type SOI Access FinFETs in SRAMs and Its Impact on Cell Stability and Performance, | *IEEE Transactions on Electron Devices*, vol. 59, no. 10, pp. 2603-2609, Oct. 2012.
- 109.H.-S. P. Wong, —Beyond the Conventional Transistor, | *IBM Journal of Research and Development*, vol. 46, no. 2/3, pp. 133-168, March/May 2002.
- 110.C.-Yu. Hsieh, M. -L. Fan, V. Pi-Ho Hu, P. Su and C. -Te Chuang, —Independently-Controlled-Gate FinFET Schmitt Trigger Sub-Threshold SRAMs, | *IEEE Transactions on Very Large-Scale Integration Systems*, vol. 20, no. 7, pp. 1201-1210, July 2012.
- 111.M. Jeong, V. Narayanan, D. Singh, A. Topol, V. Chan and Z. Ren, —Transistor Scaling with Novel Materials, | *Journal of Materials Today*, vol. 9, no. 6, pp. 26-31, June 2006.
- 112.V. Narendar, R. Wanjul Dattatray, S. Rai and R. A. Mishra, —Design of Highperformance Digital Logic Circuits based on FinFET Technology, | *International Journal of Computer Applications*, vol. 41, no. 20, Mar. 2012.

EKLER

FinFET transistör 7 nm parametreleri

CADENCE modelcard

.model n-FET_lvt nmos level = 72

* general *

+version = 107 bulkmod = 1 igcmmod = 1 igbmod = 0
+gidlmod = 1 iimod = 0 geomod = 1 rdsmod = 0
+rgatemod= 0 rgeomod = 0 shmod = 0 nqsmod = 0
+coremod = 0 cgeomod = 0 capmod = 0 tnom = 25
+eot = 1e-009 eotbox = 1.4e-007 eotacc = 1e-010 tfin = 6.5e-
009
+toxp = 2.1e-009 nbody = 1e+022 phig = 4.307 epsrox = 3.9
+epsrsub = 11.9 easub = 4.05 ni0sub = 1.1e+016 bg0sub = 1.17
+nc0sub = 2.86e+025 nsd = 2e+026 ngate = 0 nseg = 5
+l = 2.1e-008 xl = 1e-009 lint = -2e-009 dlc = 0
+dlbin = 0 hfin = 3.2e-008 deltaw = 0 deltawcv= 0
+sdterm = 0 epsrsp = 3.9
+toxg = 1.80e-009

* dc *

+cit = 0 cdsc = 0.01 cdscd = 0.01 dvt0 = 0.05
+dvt1 = 0.475 phin = 0.05 eta0 = 0.068 dsub = 0.35
+k1rsce = 0 lpe0 = 0 dvtshift= 0 qmfactor= 2.5
+etaqm = 0.54 qm0 = 0.001 pqm = 0.66 u0 = 0.0283
+etamob = 2 up = 0 ua = 0.55 eu = 1.2
+ud = 0 ucs = 1 rdswmin = 0 rdsw = 200
+wr = 1 rswmin = 0 rdwmin = 0 rshs = 0
+rshd = 0 vsat = 70000 deltavsat= 0.24 ksativ = 2
+mexp = 4 ptwg = 30 pclm = 0.05 pclmg = 0
+pdibl1 = 0 pdibl2 = 0.002 drout = 1 pvag = 0
+fpitch = 2.7e-008 rth0 = 0.225 cth0 = 1.243e-006 wth0 = 2.6e-
007

```

+lcdscd = 5e-005      lcdscdr = 5e-005      lrdsw = 0.2      lvsat = 0
*****

+aicg = 0.014      bigc = 0.005      cigc = 0.25      dlcigs = 1e-009
+dlcigd = 1e-009      aigs = 0.0115      aigd = 0.0115      bigs = 0.00332
+bigd = 0.00332      cigs = 0.35      cigd = 0.35      poxedge = 1.1
+agidl = 1e-012      agisl = 1e-012      bgidl = 10000000      bgisl =
10000000
+egidl = 0.35      egisl = 0.35
*****

*          rf          *
*****

*          junction    *
*****

*          capacitance  *
*****

+cfs = 0      cfd = 0      cgso = 1.6e-010      cgdo = 1.6e-010
+cgs1 = 0      cgdl = 0      ckappas = 0.6      ckappad = 0.6
+cgbo = 0      cgbl = 0
*****

*          temperature  *
*****

+tbgasub = 0.000473      tbgbsub = 636      kt1 = 0      kt11 = 0
+ute = -0.7      utl = 0      ual = 0.001032      udl = 0
+ucste = -0.004775      at = 0.001      ptwgt = 0.004      tmexp = 0
+prt = 0      tgidl = -0.007      igt = 2.5
*****

*          noise          *
*****

** CADENCE modelcard
.model n-FET_rvt nmos level = 72
*****

```

```

*                general                *
*****
+version = 107      bulkmod = 1      igcmod = 1      igbmod = 0
+gidlmod = 1      iimod = 0      geomod = 1      rdsmod = 0
+rgatemod = 0      rgeomod = 0      shmod = 0      nqsmod = 0
+coremod = 0      cgeomod = 0      capmod = 0      tnom = 25
+eot = 1e-009      eotbox = 1.4e-007      eotacc = 1e-010      tfin = 6.5e-
009      +toxp = 2.1e-009      nbody = 1e+022      phig = 4.372      epsrox
= 3.9      +epsrsub = 11.9      easub = 4.05      ni0sub = 1.1e+016
bg0sub = 1.17
+nc0sub = 2.86e+025      nsd = 2e+026      ngate = 0      nseg = 5
+l = 2.1e-008      xl = 1e-009      lint = -2e-009      dlc = 0
+dlbin = 0      hfin = 3.2e-008      deltaw = 0      deltawcv = 0
+sdterm = 0      epsrsp = 3.9
+toxg = 1.80e-009

```

```

*****
*                dc                *
*****
+cit = 0      cdsc = 0.01      cdscd = 0.01      dvt0 = 0.05
+dvt1 = 0.48      phin = 0.05      eta0 = 0.062      dsub = 0.35
+klrsce = 0      lpe0 = 0      dvtshift = 0      qmfactor = 2.5
+etaqm = 0.54      qm0 = 0.001      pqm = 0.66      u0 = 0.0252
+etamob = 2      up = 0      ua = 0.55      eu = 1.2
+ud = 0      ucs = 1      rdswmin = 0      rdsw = 200
+wr = 1      rswmin = 0      rdwmin = 0      rshs = 0
+rshd = 0      vsat = 70000      deltavsat = 0.28      ksativ = 2
+mexp = 4      ptwg = 30      pclm = 0.05      pclmg = 0
+pdibl1 = 0      pdibl2 = 0.002      drout = 1      pvag = 0
+fpitch = 2.7e-008      rth0 = 0.225      cth0 = 1.243e-006      wth0 = 2.6e-
007
+lcdscd = 5e-005      lcdscdr = 5e-005      lrds = 0.2      lvsat = 0

```

```

*****

```

* *leakage* *

+aigc = 0.014 bigc = 0.005 cigc = 0.25 dlcigs = 1e-009
+dlcigd = 1e-009 aigs = 0.0115 aigd = 0.0115 bigs = 0.00332
+bigd = 0.00332 cigs = 0.35 cigd = 0.35 poxedge = 1.1
+agidl = 1e-012 agisl = 1e-012 bgidl = 1000000 bgisl =
1000000
+egidl = 0.35 egisl = 0.35

* *rf* *

* *junction* *

* *capacitance* *

+cfs = 0 cfd = 0 cgso = 1.6e-010 cgdo = 1.6e-010
+cgsl = 0 cgdl = 0 ckappas = 0.6 ckappad = 0.6
+cgbo = 0 cgbl = 0

* *temperature* *

+tbgasub = 0.000473 tbgbsub = 636 kt1 = 0 kt1l = 0
+ute = -0.7 utl = 0 ual = 0.001032 udl = 0
+ucste = -0.004775 at = 0.001 ptwgt = 0.004 tmexp = 0
+prt = 0 tgidl = -0.007 igt = 2.5

* *noise* *

**

** CADENCE modelcard

.model n-Finfet _slvt nmos level = 72

* general *

+version = 107 bulkmod = 1 igcmod = 1 igbmod = 0
+gidlmod = 1 iimod = 0 geomod = 1 rdsmod = 0
+rgatemod = 0 rgeomod = 0 shmod = 0 nqsmod = 0
+coremod = 0 cgeomod = 0 capmod = 0 tnom = 25
+eot = 1e-009 eotbox = 1.4e-007 eotacc = 1e-010 tfin = 6.5e-009

+toxp = 2.1e-009 nbody = 1e+022 phig = 4.2466 epsrox = 3.9
+epsrsub = 11.9 easub = 4.05 ni0sub = 1.1e+016 bg0sub = 1.17
+nc0sub = 2.86e+025 nsd = 2e+026 ngate = 0 nseg = 5
+l = 2.1e-008 xl = 1e-009 lint = -2e-009 dlc = 0
+dlbin = 0 hfin = 3.2e-008 deltaw = 0 deltawcv = 0
+sdterm = 0 epsrsp = 3.9
+toxg = 1.80e-009

* dc *

+cit = 0 cdsc = 0.01 cdsd = 0.01 dvt0 = 0.05
+dvt1 = 0.47 phin = 0.05 eta0 = 0.07 dsub = 0.35
+klrsce = 0 lpe0 = 0 dvtshift = 0 qmfactor = 2.5
+etaqm = 0.54 qm0 = 0.001 pqm = 0.66 u0 = 0.0303
+etamob = 2 up = 0 ua = 0.55 eu = 1.2
+ud = 0 ucs = 1 rdswmin = 0 rdsw = 200
+wr = 1 rswmin = 0 rdwmin = 0 rshs = 0
+rshd = 0 vsat = 70000 deltavsat = 0.2 ksativ = 2
+mexp = 4 ptwg = 30 pclm = 0.05 pclmg = 0
+pdibl1 = 0 pdibl2 = 0.002 drout = 1 pvag = 0
+fpitch = 2.7e-008 rth0 = 0.225 cth0 = 1.243e-006 wth0 = 2.6e-007

+lcdscd = 5e-005 lcdscdr = 5e-005 lrds = 0.2 lvsat = 0

```

*          leakage          *
*****
+aigc = 0.014    bigc = 0.005    cigc = 0.25    dlcigs = 1e-009
+dlcigd = 1e-009    aigs = 0.0115    aigd = 0.0115    bigs = 0.00332
+bigd = 0.00332    cigs = 0.35    cigd = 0.35    poxedge = 1.1
+agidl = 1e-012    agisl = 1e-012    bgidl = 10000000    bgisl =
10000000
+egidl = 0.35    egisl = 0.35
*****

*          rf          *
*****

*          junction          *
*****

*          capacitance          *
*****

+cfs = 0    cfd = 0    cgso = 1.6e-010    cgdo = 1.6e-010
+cgsf = 0    cgdl = 0    ckappas = 0.6    ckappad = 0.6
+cgbo = 0    cgbl = 0

*          temperature          *
*****

+tbgasub = 0.000473    tbgbsub = 636    kt1 = 0    kt1l = 0
+ute = -0.7    utl = 0    ual = 0.001032    ud1 = 0
+ucste = -0.004775    at = 0.001    ptwgt = 0.004    tmexp = 0
+prt = 0    tgidl = -0.007    igt = 2.5
*****

*          noise          *
*****
**

```

** CADENCE modelcard

model n-Finfet _sram nmos level = 72

* general *

+version = 107 bulkmod = 1 igcmod = 1 igbmod = 0
+gidlmod = 1 iimod = 0 geomod = 1 rdsmod = 0
+rgatemod = 0 rgeomod = 0 shmod = 0 nqsmod = 0
+coremod = 0 cgeomod = 0 capmod = 0 tnom = 25
+eot = 1e-009 eotbox = 1.4e-007 eotacc = 1e-010 tfin = 6.5e-009

+toxpx = 2.1e-009 nbody = 1e+022 phig = 4.45 epsrox = 3.9
+epsrsub = 11.9 easub = 4.05 ni0sub = 1.1e+016 bg0sub = 1.17
+nc0sub = 2.86e+025 nsd = 2e+026 ngate = 0 nseg = 5
+l = 2.1e-008 xl = 1e-009 lint = -3e-009 dlc = 0
+dlbin = 0 hfin = 3.2e-008 deltaw = 0 deltawcv = 0
+sdterm = 0 epsrsp = 3.9
+toxg = 1.80e-009

* dc *

+cit = 0 cdsc = 0.01 cdscd = 0.01 dvt0 = 0.05
+dvt1 = 0.48 phin = 0.05 eta0 = 0.062 dsub = 0.35
+klrsce = 0 lpe0 = 0 dvtshift = 0 qmfactor = 2.5
+etaqm = 0.54 qm0 = 0.001 pqm = 0.66 u0 = 0.025
+etamob = 2 up = 0 ua = 0.55 eu = 1.2
+ud = 0 ucs = 1 rdswmin = 0 rdsw = 200
+wr = 1 rswmin = 0 rdwmin = 0 rshs = 0
+rshd = 0 vsat = 70000 deltavsat = 0.28 ksativ = 2
+mexp = 4 ptwg = 30 pclm = 0.05 pclmg = 0
+pdibl1 = 0 pdibl2 = 0.002 drout = 1 pvag = 0
+fpitch = 2.7e-008 rth0 = 0.225 cth0 = 1.243e-006 wth0 = 2.6e-007

+lcdscd = 5e-005 lcdscdr = 5e-005 lrds = 0.2 lvsat = 0

```

*          leakage          *
*****
+aicg = 0.014    bigc = 0.005    cigc = 0.25    dlcigs = 1e-009
+dlcigd = 1e-009    aigs = 0.0115    aigd = 0.0115    bigs = 0.00332
+bigd = 0.00332    cigs = 0.35    cigd = 0.35    poxedge = 1.1
+agidl = 6e-013    agisl = 1e-012    bgidl = 10000000    bgisl =
10000000
+egidl = 0.35    egisl = 0.35
*****

*          rf          *
*****

*          junction          *
*****/

*          capacitance          *
*****

+cfs = 0    cfd = 0    cgso = 1.45e-010    cgdo = 1.45e-010
+cgsl = 0    cgdl = 0    ckappas = 0.6    ckappad = 0.6
+cgbo = 0    cgbl = 0
*****

*          temperature          *
*****
+tbgasub = 0.000473    tbgbsub = 636    kt1 = 0    kt1l = 0
+ute = -0.7    utl = 0    ual = 0.001032    udl = 0
+ucste = -0.004775    at = 0.001    ptwgt = 0.004    tmexp = 0
+prt = 0    tgidl = -0.007    igt = 2.5
*****

*          noise          *
*****
**

```

** CADENCE modelcard

.model p-Finfet _lvt pmos level = 72

* *general* *

+version = 107 bulkmod = 1 igcmod = 1 igbmod = 0
+gidlmod = 1 iimod = 0 geomod = 1 rdsmod = 0
+rgatemod = 0 rgeomod = 0 shmod = 0 nqsmod = 0
+coremod = 0 cgeomod = 0 capmod = 0 tnom = 25
+eot = 1e-009 eotbox = 1.4e-007 eotacc = 3e-010 tfin = 6.5e-009

+toxpx = 2.1e-009 nbody = 1e+022 phig = 4.8681 epsrox = 3.9
+epsrsub = 11.9 easub = 4.05 ni0sub = 1.1e+016 bg0sub = 1.17
+nc0sub = 2.86e+025 nsd = 2e+026 ngate = 0 nseg = 5
+l = 2.1e-008 xl = 1e-009 lint = -2.5e-009 dlc = 0
+dlbin = 0 hfin = 3.2e-008 deltaw = 0 deltawcv = 0
+sdterm = 0 epsrsp = 3.9
+toxg = 1.85e-009

* *dc* *

+cit = 0 cdsc = 0.003469 cdscd = 0.001486 dvt0 = 0.05
+dvt1 = 0.38 phin = 0.05 eta0 = 0.093 dsub = 0.24
+k1rsce = 0 lpe0 = 0 dvtshift = 0 qmfactor = 0
+etaqm = 0.54 qm0 = 2.183e-012 pqm = 0.66 u0 = 0.0227

+etamob = 4 up = 0 ua = 1.133 eu = 0.05
+ud = 0.0105 ucs = 0.2672 rdswmin = 0 rdsw = 200
+wr = 1 rswmin = 0 rdwmin = 0 rshs = 0
+rshd = 0 vsat = 60000 deltavsat = 0.2 ksativ = 1.592
+mexp = 2.491 ptwg = 25 pclm = 0.01 pclmg = 1
+pdibl1 = 800 pdibl2 = 0.005704 drout = 4.97 pvag = 200
+fpitch = 2.7e-008 rth0 = 0.15 cth0 = 1.243e-006 wth0 = 2.6e-007

+lcdscd = 0 lcdscdr = 0 lrds = 1.3 lvsat = 1441

```

*****
*           leakage           *
*****
+aigc = 0.007      bigc = 0.0015      cigc = 1      dlcigs = 5e-009
+dlcigd = 5e-009    aigs = 0.006      aigd = 0.006      bigs = 0.001944
+bigd = 0.001944   cigs = 1      cigd = 1      poxedge = 1.152
+agidl = 2e-012    agisl = 2e-012    bgidl = 1.5e+008    bgisl =
1.5e+008
+egidl = 1.142     egisl = 1.142
*****
*           rf           *
*****
*****

*           junction           *
*****
*****

*           capacitance           *
*****
+cfs = 0      cfd = 0      cgso = 1.6e-010      cgdo = 1.6e-010
+cgsl = 0      cgdl = 0      ckappas = 0.6      ckappad = 0.6
+cgbo = 0      cgbl = 0
*****
*****

*           temperature           *
*****
+tbgasub = 0.000473    tbgbsub = 636      kt1 = 0      kt1l = 0
+ute = -1.2      utl = 0      ual = 0.001032      udl = 0
+ucste = -0.004775    at = 0.001      ptwgt = 0.004      tmexp = 0
+prt = 0      tgidl = -0.007    igt = 2.5
*****

*           noise           *
*****
**

```

```

** CADENCE modelcard
.model p-Finfet_rvt pmos level = 72
*****
*          general          *
*****
+version = 107      bulkmod = 1      igcmod = 1      igbmod = 0
+gidlmod = 1      iimod = 0      geomod = 1      rdsmod = 0
+rgatemod = 0      rgeomod = 0      shmod = 0      nqsmod = 0
+coremod = 0      cgeomod = 0      capmod = 0      tnom = 25
+eot = 1e-009      eotbox = 1.4e-007      eotacc = 3e-010      tfin = 6.5e-
009
+toxp = 2.1e-009      nbody = 1e+022      phig = 4.8108      epsrox = 3.9
+epsrsub = 11.9      easub = 4.05      ni0sub = 1.1e+016      bg0sub = 1.17
+nc0sub = 2.86e+025      nsd = 2e+026      ngate = 0      nseg = 5
+l = 2.1e-008      xl = 1e-009      lint = -2.5e-009      dlc = 0
+dlbin = 0      hfin = 3.2e-008      deltaw = 0      deltawcv = 0
+sdterm = 0      epsrsp = 3.9
+toxg = 1.9e-009
*****
*          dc          *
*****
+cit = 0      cdsc = 0.003469      cdscd = 0.001486      dvt0 = 0.05
+dvt1 = 0.4      phin = 0.05      eta0 = 0.09      dsub = 0.24
+k1rsce = 0      lpe0 = 0      dvtshift = 0      qmfactor = 0
+etaqm = 0.54      qm0 = 2.183e-012      pqm = 0.66      u0 = 0.0209
+etamob = 4      up = 0      ua = 1.133      eu = 0.05
+ud = 0.0105      ucs = 0.2672      rdswmin = 0      rdsw = 200
+wr = 1      rswmin = 0      rdwmin = 0      rshs = 0
+rshd = 0      vsat = 60000      deltavsat = 0.22      ksativ = 1.592
+mexp = 2.491      ptwg = 25      pclm = 0.01      pclmg = 1
+pdibl1 = 800      pdibl2 = 0.005704      drout = 4.97      pvag = 200
+fpitch = 2.7e-008      rth0 = 0.15      cth0 = 1.243e-006      wth0 = 2.6e-
007
+lcdscd = 0      lcdscdr = 0      lrdsw = 1.3      lvsat = 1441

```

```

*          leakage          *
*****
+aicg = 0.007      bigc = 0.0015      cigc = 1      dlcigs = 5e-009
+dlcigd = 5e-009    aigs = 0.006      aigd = 0.006      bigs = 0.001944
+bigd = 0.001944   cigs = 1      cigd = 1      poxedge = 1.152
+agidl = 2e-012    agisl = 2e-012    bgidl = 1.5e+008    bgisl =
1.5e+008
+egidl = 1.142     egisl = 1.142
*****

*          rf          *
*****

*          junction          *
*****

*          capacitance          *
*****
+cfs = 0      cfd = 0      cgso = 1.6e-010      cgdo = 1.6e-010
+cgsl = 0      cgdl = 0      ckappas = 0.6      ckappad = 0.6
+cgbo = 0      cgbl = 0
*****

*          temperature          *
*****
+tbgasub = 0.000473    tbgbsub = 636      kt1 = 0      kt1l = 0
+ute = -1.2      utl = 0      ual = 0.001032      udl = 0
+ucste = -0.004775    at = 0.001      ptwgt = 0.004      tmexp = 0
+prt = 0      tgidl = -0.007      igt = 2.5
*****

*          noise          *
*****
**

```

```

*****
*          leakage          *
*****
+aicg = 0.007      bigc = 0.0015      cigc = 1      dlcigs = 5e-009
+dlcigd = 5e-009    aigs = 0.006      aigd = 0.006      bigs = 0.001944
+bigd = 0.001944    cigs = 1      cigd = 1      poxedge = 1.152
+agidl = 2e-012     agisl = 2e-012     bgidl = 1.5e+008     bgisl =
1.5e+008
+egidl = 1.142     egisl = 1.142
*****
*          rf          *
*****
*****
*          junction          *
*****
*****
*          capacitance          *
*****
+cfs = 0      cfd = 0      cgso = 1.6e-010      cgdo = 1.6e-010
+cgs1 = 0      cgdl = 0      ckappas = 0.6      ckappad = 0.6
+cgbo = 0      cgbl = 0
*****
+tbgasub = 0.000473      tbgbsub = 636      kt1 = 0      kt1l = 0
+ute = -1.2      utl = 0      ual = 0.001032      udl = 0
+ucste = -0.004775      at = 0.001      ptwgt = 0.004      tmexp = 0
+prt = 0      tgidl = -0.007      igt = 2.5
*****
*          noise          *
*****
**

```

** CADENCE modelcard

.model p-Finfet_sram pmos level = 72

* general *

```

+version = 107      bulkmod = 1      igcmod = 1      igbmod = 0
+gidlmod = 1      iimod = 0      geomod = 1      rdsmod = 0
+rgatemod= 0      rgeomod = 0      shmod = 0      nqsmod = 0
+coremod = 0      cgeomod = 0      capmod = 0      tnom = 25
+eot = 1e-009      eotbox = 1.4e-007      eotacc = 3e-010      tfin = 6.5e-
009
+toxp = 2.1e-009      nbody = 1e+022      phig = 4.78      epsrox = 3.9
+epsrsub = 11.9      easub = 4.05      ni0sub = 1.1e+016      bg0sub =
1.17
+nc0sub = 2.86e+025      nsd = 2e+026      ngate = 0      nseg = 5
+l = 2.1e-008      xl = 1e-009      lint = -4.5e-009      dlc = 0
+dlbin = 0      hfin = 3.2e-008      deltaw = 0      deltawcv= 0
+sdterm = 0      epsrsp = 3.9
+toxg = 1.95e-009
*****
*              dc              *
*****

+cit = 0      cdsc = 0.002      cdscd = 0.0008      dvt0 = 0.05
+dvt1 = 0.4      phin = 0.05      eta0 = 0.09      dsub = 0.24
+klrsce = 0      lpe0 = 0      dvtshift= 0      qmfactor= 0
+etaqm = 0.54      qm0 = 2.183e-012      pqm = 0.66      u0 = 0.0209
+etamob = 4      up = 0      ua = 1.133      eu = 0.05
+ud = 0.0105      ucs = 0.2672      rdswmin = 0      rdsw = 200
+wr = 1      rswmin = 0      rdwmin = 0      rshs = 0
+rshd = 0      vsat = 60000      deltavsat= 0.22      ksativ = 1.592
+mexp = 2.491      ptwg = 25      pclm = 0.01      pclmg = 1
+pdibl1 = 800      pdibl2 = 0.005704      drout = 4.97      pvag = 200
+fpitch = 2.7e-008      rth0 = 0.15      cth0 = 1.243e-006      wth0 = 2.6e-
007
+lcdscd = 0      lcdscdr = 0      lrds = 1.3      lvsat = 1441
*****

```

```

*          leakage          *
*****
+aicg = 0.007    bigc = 0.0015    cigc = 1    dlcigs = 5e-009
+dlcigd = 5e-009    aigs = 0.006    aigd = 0.006    bigs = 0.001944 |
+bigd = 0.001944    cigs = 1    cigd = 1    poxedge = 1.152
+agidl = 6e-012    agisl = 2e-012    bgidl = 76500000    bgisl =
1.5e+008
+egidl = 1.142    egisl = 1.142
*****

*          rf          *
*****

*          junction          *
*****

*          capacitance          *
*****
+cfs = 0    cfd = 0    cgso = 1.45e-010    cgdo = 1.45e-010
+cgsi = 0    cgdI = 0    ckappas = 0.6    ckappad = 0.6

+cgbo = 0    cgbl = 0
*****

*          temperature          *
*****
+tbgasub = 0.000473    tbgbsub = 636    kt1 = 0    kt1l = 0
+ute = -1.2    utl = 0    ual = 0.001032    udl = 0
+ucste = -0.004775    at = 0.001    ptwgt = 0.004    tmexp = 0
+prt = 0    tgidl = -0.007    igt = 2.5
*****

*          noise          *
*****

```

ÖZGEÇMİŞ

Arsen Ahmed Muhammed, Lisans ve yüksek lisans derecelerini Kerkük Üniversitesi Teknik Koleji'nden, 2007 yılında İstanbul Üniversitesi Elektrik-Elektronik Mühendisliği bölümünden 2011 yılında almıştır. Halen Kerkük Üniversitesi Elektrik Mühendisliği bölümünde öğretim görevlisidir ve aynı zamanda Karabük Üniversitesi'nde doktora öğrencisidir. Araştırma alanları aktif ağ sentezi, FinFET transistörüdür.